EiceDRIVER™紧凑型

高压门极驱动 IC

2EDL 系列

技术说明

应用说明

AN2013-11

1.0 版，2014-07-18

发布日期：**2015-09-07**
发布者：
英飞凌科技股份公司
81726，德国慕尼黑
© **2015** 英飞凌科技股份有限公司
保留所有权利。

法律免责声明

本应用说明中给出的信息仅作为关于使用英飞凌科技器件的建议，不得被视为就英飞凌科技器件的任何特定功能、条件或质量作出的任何说明或保证。本应用说明的使用者必须在实际应用中验证本文档描述的任何功能。英飞凌科技在此声明，未就本应用说明中给出的任何及所有信息作出任何性质的保证，也不承担任何性质的责任，包括但不限于没有侵犯任何第三方的知识产权的保证。

信息查询

若需获得关于技术、交付条款和价格的更多信息，敬请就近联系英飞凌办事处(**www.infineon.com**)。

警告

由于技术要求，器件可能包含有害物质。如对器件的成分有疑问，请就近联系英飞凌办事处。

如果可以合理地预计英飞凌的某个器件失效可能会导致生命支持设备或系统失效，或者影响该等设备或系统的安全性或有效性，那么在将这些器件用于生命支持设备或系统之前，必须获得英飞凌的明确书面同意。生命支持设备或系统意指用于植入人体内部，或者支持和/或维持、维系和/或保护人类生命的设备或系统。如果这些设备或系统失效，可以合理推定其用户或其他人的健康将受到威胁。

修订记录	1 版，2013-01-08
页码或项目	主题（上次修订以来的重大变更）
所有	更正正字法

英飞凌科技股份公司商标

AURIX™、BlueMoon™、C166™、CanPAK™、CIPOS™、CIPURSE™、COMNEON™、EconoPACK™、CoolMOS™、CoolSET™、CORECONTROL™、CROSSAVE™、DAVE™、EasyPIM™、EconoBRIDGE™、EconoDUAL™、EconoPIM™、EiceDRIVER™、eupec™、FCOS™、HITFET™、HybridPACK™、I²RF™、ISOFACE™、IsoPACK™、MIPAQ™、ModSTACK™、my-d™、NovalithIC™、OmniTune™、OptiMOS™、ORIGA™、PRIMARION™、PrimePACK™、PrimeSTACK™、PRO-SIL™、PROFET™、RASIC™、ReverSave™、SatRIC™、SIEGET™、SINDRION™、SIPMOS™、SMARTi™、SmartLEWIS™、SOLID FLASH™、TEMPFET™、thinQ!™、TRENCHSTOP™、TriCore™、X-GOLD™、X-PMU™、XMM™、XPOSYS™。

其他商标

Advance Design System™ (ADS)是 Agilent Technologies 的商标。AMBA™、ARM™、MULTI-ICE™、KEIL™、PRIMECELL™、REALVIEW™、THUMB™、µVision™是 ARM Limited, UK 的商标。AUTOSAR™由 AUTOSAR 开发合作伙伴授权。Bluetooth™是 Bluetooth SIG Inc.的商标。CAT-iq™是 DECT Forum 的商标。COLOSSUS™、FirstGPS™是 Trimble Navigation Ltd.的商标。EMV™是 EMVCo, LLC (Visa Holdings Inc.)的商标。EPCOS™是 Epcos AG 的商标。FLEXGO™是 Microsoft Corporation 的商标。FlexRay™由 FlexRay Consortium 授权。HYPERTERMINAL™是 Hilgraeve Incorporated 的商标。IEC™是 Commission Electrotechnique Internationale 的商标。IrDA™是 Infrared Data Association Corporation 的商标。ISO™是 INTERNATIONAL ORGANIZATION FOR STANDARDIZATION 的商标。MATLAB™是 MathWorks, Inc.的商标。MAXIM™是 Maxim Integrated Products, Inc.的商标。MICROTEC™、NUCLEUS™是 Mentor Graphics Corporation 的商标。Mifare™是 NXP 的商标。MIPI™是 MIPI Alliance, Inc.的商标。MIPS™是 MIPS Technologies, Inc., USA 的商标。muRata™是 MURATA MANUFACTURING CO.的商标。MICROWAVE OFFICE™ (MWO)是 Applied Wave Research Inc.的商标。OmniVision™是 OmniVision Technologies, Inc.的商标。Openwave™是 Openwave Systems Inc.的商标。RED HAT™是 Red Hat, Inc.的商标。RFMD™是 RF Micro Devices, Inc.的商标。SIRIUS™是 Sirius Satellite Radio Inc.的商标。SOLARIS™是 Sun Microsystems, Inc.的商标。SPANSION™是 Spansion LLC Ltd.的商标。Symbian™是 Symbian Software Limited 的商标。TAIYO YUDEN™是 Taiyo Yuden Co.的商标。TEAKLITE™是 CEVA, Inc.的商标。TEKTRONIX™是 Tektronix Inc.的商标。TOKO™是 TOKO KABUSHIKI KAISHA TA 的商标。UNIX™是 X/Open Company Limited.的商标。VERILOG™、PALLADIUM™是 Cadence Design Systems, Inc.的商标。VLYNQ™是 Texas Instruments Incorporated 的商标。VXWORKS™、WIND RIVER™是 WIND RIVER SYSTEMS, INC.的商标。ZETEX™是 Diodes Zetex Limited 的商标。

商标最后更新日期 2010-10-26

目录

1 范围和产品系列 6

2 技术特性 7

3 2EDL系列技术说明 8
3.1 控制输入部分 8
3.1.1 高压侧输入引脚(HIN)、低压侧输入引脚(LIN) 8
3.1.2 使能和故障引脚（EN-/FLT，仅限 2EDL23x06PJ） 9
3.2 IC电源部分 10
3.2.1 IGBT类型 10
3.2.2 MOSFET类型 10
3.3 输出部分 11
3.3.1 低压侧门极驱动器 11
3.3.2 高压侧部分 11
3.3.3 高压侧基准（引脚VS）上的负瞬态 12
3.4 自举 12
3.4.1 自举二极管的温度稳定性和应用范围 12
3.4.2 计算电源电压范围 13
3.4.3 计算自举电容C_{BS} 13
3.5 保护 15
3.5.1 过流保护（OCP，仅限 2EDL23x06PJ） 15
3.5.2 死区时间和直通预防 16
3.5.3 欠压闭锁(欠压闭锁) 16
3.6 计算功耗和热参数 17
3.7 爬电距离 18
3.8 布局注意事项 18

4 使用的参数列表 20
4.1 一般规则 20

参考资料 21

插图目录

图 1 采用SOI技术的FET横截面 7
图 2 控制输入引脚结构 8
图 3 短脉冲抑制（左侧：短ON脉冲；右侧：短OFF脉冲） 8
图 4 EN-/FLT引脚结构原理图 9
图 5 ITRIP到FAULT传播延时时间图 9
图 6 IGBT类型的典型工作区 10
图 7 MOSFET类型的典型工作区 11
图 8 低压侧门极驱动器部分的结构 11
图 9 低压侧门极驱动器部分的结构 12
图 10 LS晶体管在稳态条件与占空比条件下的自举电压压降 13
图 11 一个半桥的自举电路 14
图 12 电压纹波为 0.1 V时，自举电容器大小与用于驱动IKD10N60R的开关频率f_P的关系（依据公式(5)） 15
图 13 ITRIP和EN-/FLT部分的内部结构 16
图 14 欠压闭锁滤波时间 17
图 15 布局中的寄生电感 19

表格目录

表 1 2EDL系列成员 6
表 2 使用的参数 20

1 范围和产品系列

2EDL 系列是最大阻断电压高达 600V 的高压半桥门极驱动 IC。典型应用包括消费电子和工业驱动器、风扇、泵、感应烹饪设备或开关电源。例如，这些转换器可在基于感应电机(IM)或无刷直流电机的驱动应用中使用。2EDL 系列采用了绝缘体上硅技术(SOI)。该技术针对负桥臂中点电压尖峰和噪声具有出色的稳健性。

此应用说明将概述此产品的技术特性。此外，还将从应用的角度描述产品最重要的部分，并提供确保该器件在应用中正常工作的设计建议。本文档涵盖下列产品：

表1 2EDL 系列成员

销售名称	EN-/FLT	死区时间和互锁	典型欠压闭锁阈值	自举二极管	封装
2EDL05I06PF、2EDL05I06PJ	否	是	12.5 V / 11.6 V	是	DSO-8 DSO-14
2EDL05I06BF	否	否	12.5 V / 11.6 V	是	DSO-8
2EDL05N06PF 2EDL05N06PJ	否	是	9.1 V / 8.3 V	是	DSO-8 DSO-14
2EDL23I06PJ	是	是	12.5 V / 11.6 V	是	DSO-14
2EDL23N06PJ	是	是	9.1 V / 8.3 V	是	DSO-14

2EDL 系列具有正向控制逻辑，以及针对 MOSFET 和 IGBT 的不同欠压闭锁电平。必须参照相应元件来理解本应用说明中描述的引脚分配、控制信号、阈值和参数。

在本应用说明中，2EDL 0.5A 版本（2EDL05I06PF、2EDL05I06PJ、2EDL05I06BF、2EDL05N06PF 和 2EDL05N06PJ）的参数值需参考 2EDL 0.5A 初步数据表，2EDL 2.3A 版本（2EDL23I06PJ 和 2EDL23N06PJ）的参数值需参考 2EDL 2.3A 目标数据表。

目标应用全部都是消费电子和低端工业领域的成本敏感型应用。因此，所有器件甚至兼容使用 3.3 V 电源电压的微控制器。2EDL 可兼容市场中其他多款采用相同封装的门极驱动 IC。尽管如此，凭借内置的多项特性，这些器件仍为应用提供了附加价值。另请参阅此处，了解 2EDL 系列的产品规格。

2 技术特性

SOI 是绝缘体上硅（一种先进的 MOS/CMOS 制造工艺）的缩写。它与传统的体工艺之间的区别在于，它在绝缘体上面放置有源晶体管层（如**图 1** 所示）。

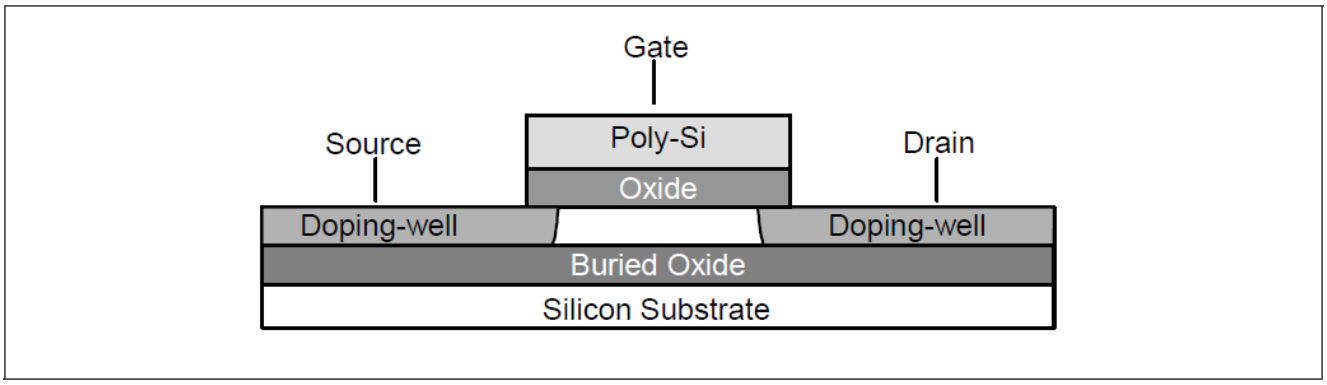

图1 采用 SOI 技术的 FET 横截面

硅被二氧化硅氧化埋层一分为二，一层位于顶部，另一层位于底部。顶部一层为硅薄膜，用于形成晶体管；底部一层用作硅衬底。二氧化硅埋层在有源层与硅衬底之间提供绝缘层，从而大幅减小寄生电容。而且，此绝缘层还能阻止邻近器件之间的漏电流和闩锁电流。

这种薄膜 SOI 技术的主要技术优势在于能够在硅薄膜内的元素之间轻松实现横向绝缘。利用该薄膜技术，每个器件只需借助简单的局部氧化(LOCOS)工艺就能与其他所有器件实现隔离。因此无需使用 CMOS 阱来预防“闩锁”效应和减小芯片尺寸。

硅薄膜内的小尺寸 PN 结可实现更高的开关速度、更低的漏电流，进而获得更高的温度稳定性。为了让 SOI-MOS 薄膜晶体管获得适当的体触头，沟道掺杂延伸并连接到了共源极触头（分离式源触头）。SOI-MOS 薄膜晶体管因此具有反向并联二极管的特性，可在发生极性反转时保护器件。

尽管硅薄膜内的漂移区较薄，但仍达到了合理的低单位面积导通电阻，因而能够实现高性价比的输出驱动晶体管布局。

600 V 电平转换晶体管和高压二极管同样实施了 SOI 技术。600V-NMOSFET 基于低压 SOI-NMOSFET 结构，并配合了超长的漏极延伸。埋入的氧化绝缘层切断了衬底与硅薄膜之间的寄生电流路径，从而防止了在任意引脚的电压哪怕为负电压或超过电源电压 V_{DD} 时出现闭锁效应。即使在较高的 dv/dt 开关条件或高温条件下，该 IC 也能稳定地工作，因而具有更强的稳健性。

除上述改进以外，薄膜 SOI 技术还带来了其他好处，例如更低的功耗和更高的放射性辐射或宇宙射线抗扰性。

3 2EDL 系列技术说明

3.1 控制输入部分

所有控制输入引脚（HIN、LIN、PGND、EN）都包含对电源电压 VDD 的箝位二极管。这些二极管的用途是提供静电放电保护。因此，它们仅用于控制低能量单脉冲应力。禁止在超出最大绝对额定值的条件下连续工作。可以使用 0 Ω上拉电阻对电源电压 VDD 进行硬上拉，但它会导致 IC 的功耗增加。请注意，这种做法会造成额外的损耗，在计算损耗时必须予以考虑。

3.1.1 高压侧输入引脚(HIN)、低压侧输入引脚(LIN)

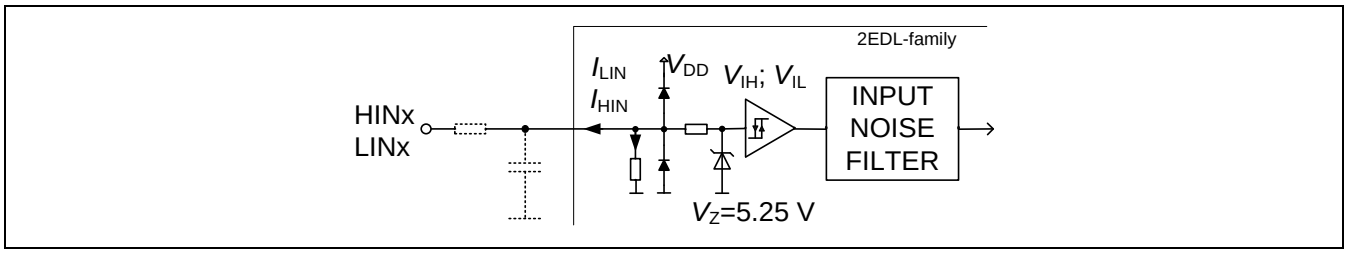

图2 控制输入引脚结构

所有门极控制输入引脚都配备了一个内部集成的二极管箝位，该二极管箝位在输入信号超过引脚 VDD 时激活（参见图 2）。应用设计必须保证，这些二极管不会承受超过 VDD 的过高电压应力。总之，由于串扰或其他低能注入引起的电压尖峰可箝定为不超过 VDD。请注意，集成式齐纳二极管使用一个串联电阻器去耦，它用于提供内部保护，而不是过压保护。输入施密特触发器的 HIGH 电平参考值为 V_{IH} = 2.1 V，LOW 电平参考值为 V_{IL} = 0.9 V。此电平设置完全符合 LSTTL 和 3.3V CMOS 电平要求，因此 2EDL 系列可兼容通用微控制器输出引脚。一些竞争对手的元器件不完全符合上述电压电平要求，导致与微控制器的连接性存在问题。电磁干扰(EMI)可能导致控制信号失真，因此输入引脚的 RC 滤波可以增强系统的信号完整性。RC 滤波器不得造成控制信号失真，而应保持陡峭的信号边缘。一种有效的设计是使用 100 Ω电阻器和 1 nF 电容器。请注意，RC 滤波器的阻抗必须匹配微控制器的 I/O 引脚特性，以便控制器能够充分驱动 RC 滤波器。

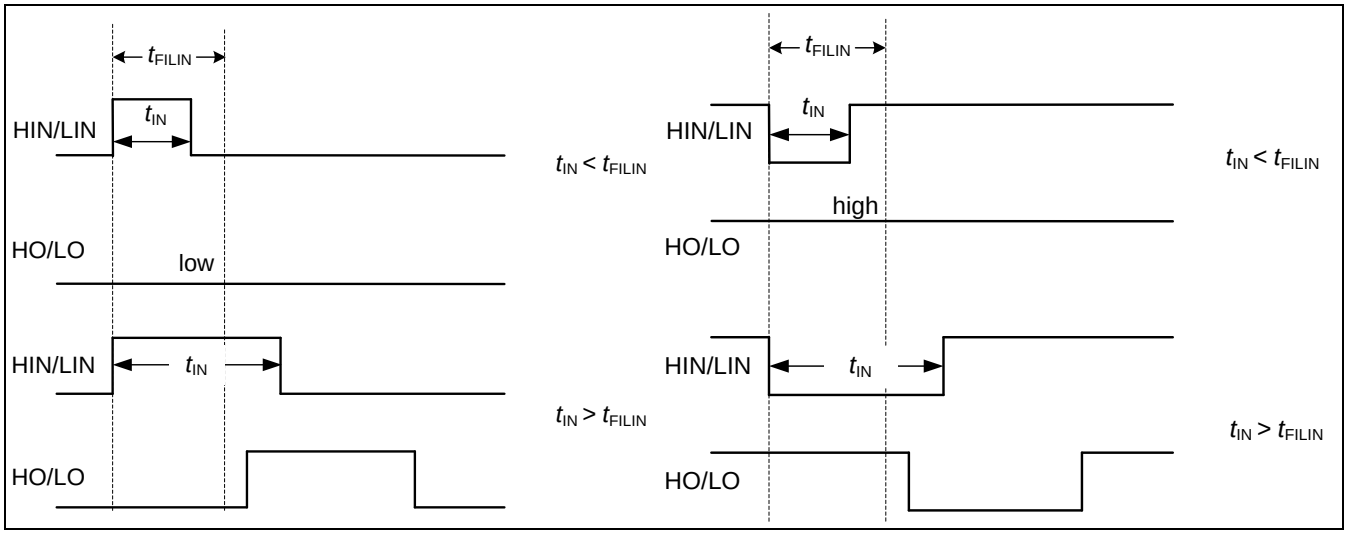

图3 短脉冲抑制（左侧：短 **ON** 脉冲；右侧：短 **OFF** 脉冲）

所有输入部分（HIN；LIN、EN-/FLT）也都包含下拉电阻器。不过，此电阻器为高阻值（约 100 kΩ）电阻器，并被视为针对 PCB 迹线断裂的保护措施，从而确保器件输出在发生这类情况时不会收到影响。

输入噪声滤波器可抑制短脉冲，防止所驱动的功率晶体管由于工作在线形区而造成过大开关损耗。对于 IGBT 版本的驱动 IC，输入 LIN 或 HIN 的输入噪声滤波时间参考值为 t_{FILIN} =192 ns。对于 MOSFET 版本，高压侧输入 HIN 的参考值为 100ns，低压侧输入 LIN 的参考值为 150ns。这意味着为了正确处理状态变化，输入信号必须在该时段内保持其电平不变（参见图 3）。请注意，当输入脉冲持续时间与滤波时间近似时，输入和输出之间的信号失真会稍稍偏高。不过，对于 IGBT，建议无论如何应保持至少 1 µs 的脉冲持续时间，以获得指定的 IGBT 特性。

3.1.2 使能和故障引脚（EN-/FLT，仅限 2EDL23x06PJ）

仅 2EDL23x06PJ 器件提供此引脚。它是双向开漏输出引脚，可在输入模式下关断 IC，在输出模式下指示欠压闭锁(欠压闭锁)或过流。

在输入模式下使用时，应用于 EN 引脚的信号将直接控制输出部分。当此信号低于参考值 V_{EN-} = 0.9 V 时，所有输出都将设为 LOW；当信号电平高于参考值 V_{EN+} = 2.1 V 时，将使能输出。此引脚的内部结构类似于图 2 b)。下拉电阻器的参考值为 100 kΩ。从 EN 到输出部分的典型传播延时时间为 t_{EN} = 500 ns。

当 EN 引脚电压被上拉至逻辑部分电源电压（即+5V / +3.3V）时，IC 将以稳态启用。这种情况下，需要使用一个几 kΩ范围（例如 4.7 kΩ）的外部上拉电阻器（图 4 中的 R_{pu}）对此开漏引脚实施偏置。在将此引脚电压上拉至 VDD（即+15V）时，建议使用至少 20kΩ, 的上拉电阻器。发生（双重）故障或第一层关断（例如 PGND）偶然失效的情况下，该引脚还可用作关断应用的冗余方法。

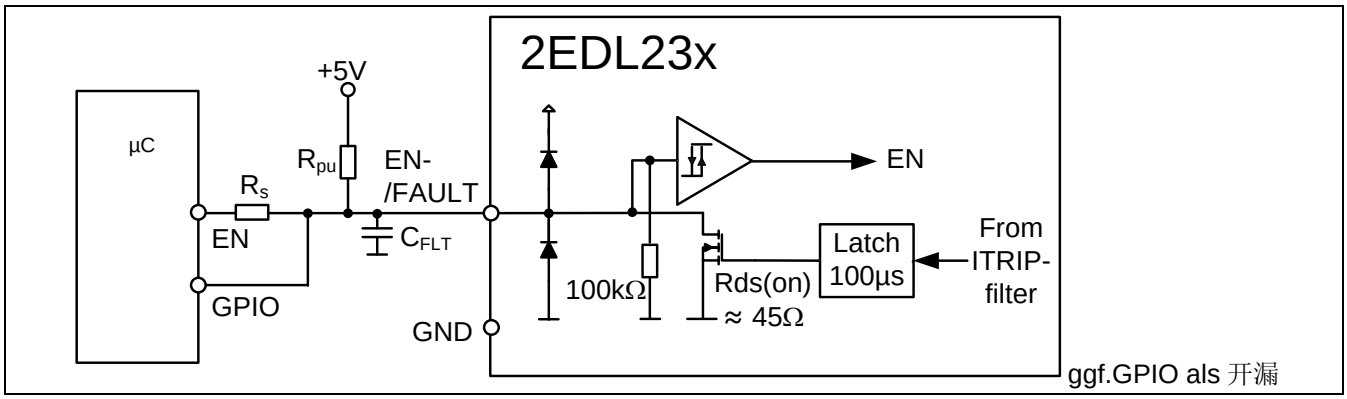

图4 EN-/FLT 引脚结构原理图

此引脚指示 IC 的故障状态。此引脚在欠压闭锁或触发过流保护时的电平为 LOW。如图 4 中的内部结构所示，此引脚的电压在内部已箝定为不超过 VDD。内部下拉 FET 的典型电阻值为 $R_{on,FLT}$ = 45 Ω。从过流触发事件到 EN-/FLT 引脚改变状态的典型延迟时间为 t_{FLT} = 2 µs（参见图 5 所示的时序图）。

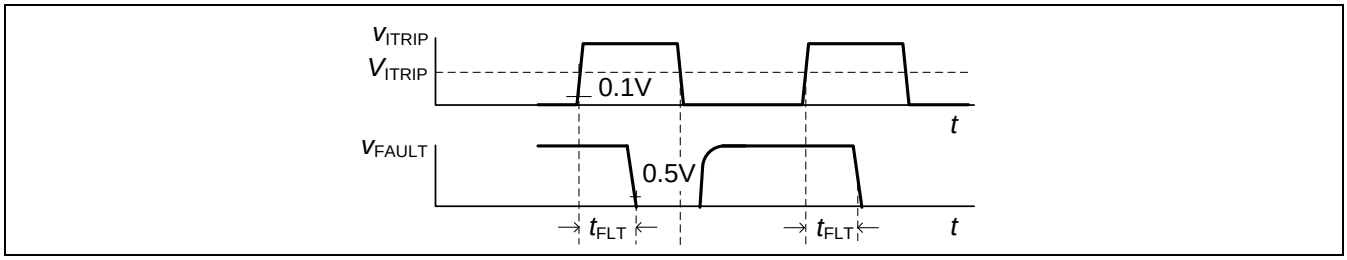

图5 ITRIP 到 FAULT 传播延时时间图

3.2 IC 电源部分

IC 在输入侧由引脚 VDD 和 GND 供电，在高压侧部分由引脚 VB 和 VS 供电。其中包含了多个滤波器，可帮助避免因感应电压降或噪声影响导致的意外欠压闭锁。典型滤波时间为 T_{FILVDD} = T_{FILVB} = 1.8 µs，并且对 V_{DD} = V_{BS}> 7.5 V 有效。任何情况下，当 V_{DD} 降至 7.5 V 以下，输出都会关断。

2EDL 系列支持驱动 IGBT 以及功率 MOSFET。在驱动门极方面，两类功率晶体管之间存在明显的差别。IGBT 的门极阈值电压通常为 $V_{GE(th)}$ = 4.5 V … 5 V，而功率 MOSFET 的门极阈值电压为 $V_{GS(th)}$ = 3 V … 4 V。因此，通常使用栅源电压 V_{GS} = 10 V 便足以驱动 MOSFET，而且不会损耗导通性能；而 IGBT 则需建议门极-发射极电压 V_{GE} = 15 V。2EDL 系列的两种不同欠压闭锁(欠压闭锁)电平正是考虑了这一差别。不论欠压闭锁电平如何，所有情况下的绝对最大额定值均为 $V_{DD,max}$ = 20 V。

3.2.1 IGBT 类型

IC 最初的电源电压 V_{DD} 在低压侧（输入侧）和高压侧电源必须分别至少达到典型电压 V_{DDUV+}和 V_{BSUV+}，IC 才能进入工作状态。这些电平是不对称的，这在使用集成式自举二极管时有利于实现自举。以上电平参数分别为 V_{DDUV+} = 12.5 V 和 V_{BSUV+} = 11.6 V（参见图 6）。建议为 V_{DDUV+}和 V_{BSUV+}保留至少 1 V 的余量，以免由于噪声导致意外关断。欠压闭锁功能的关断电平也是不对称的。当相关电源电压降至低于参考值 V_{DDUV-} = 11.6 V 或参考值 V_{BSUV-} = 10.7 V 时，IC 将关断相应的门极部分。这可以防止所驱动的晶体管在导通期间出现过低的门极电压电平，从而避免过高的功耗。更多信息，请参阅第 3.5.3 节。

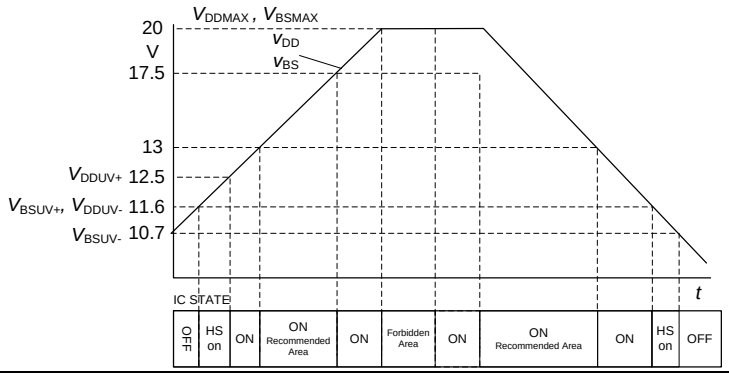

图6 IGBT 类型的典型工作区

3.2.2 MOSFET 类型

MOSFET 类型没有不对称的欠压闭锁电平。欠压闭锁功能在低压侧和高压侧电源的开通电平为 V_{DDUV+} = V_{BSUV+} = 9.1V。在相关电源电压低于 V_{DDUV-} = V_{BSUV-} = 8.3 V 时，IC 将关断相应的门极部分。更多信息，请参阅第 3.5.3 节。

图 7 显示了不同低压侧电源电压 V_{DD} 和高压侧电源电压 v_{BS} 下的 IC 状态及相关工作区。IGBT 和 MOSFET 类型的驱动 IC 具有不同的限值。高于 20 V 的电源电压为禁止区，因为在此区域，内部箝位结构开始击穿，IC 将面临因局部功耗过高发生损坏的危险。

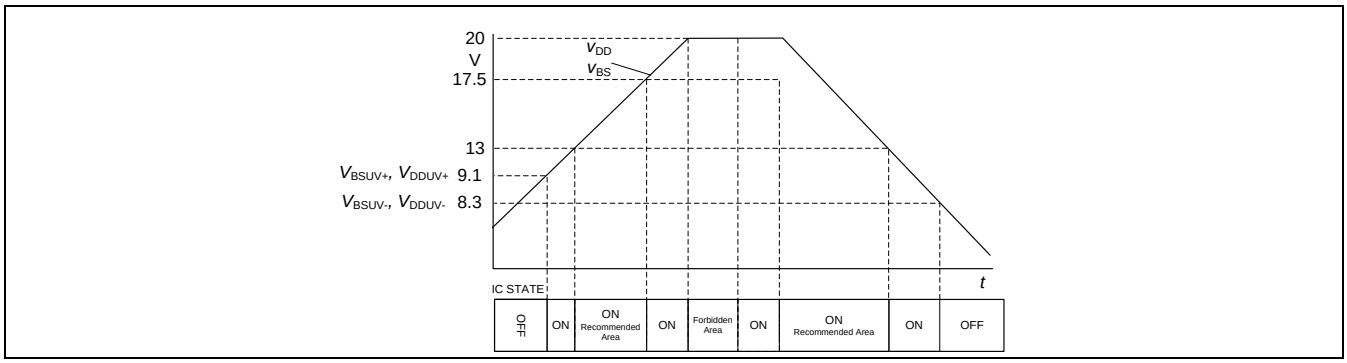

图7 MOSFET 类型的典型工作区

3.3 输出部分

3.3.1 低压侧门极驱动器

低压侧门极驱动器部分包含采用推挽式配置的 FET。源型晶体管为 p 沟道晶体管，吸收晶体管为 n 沟道晶体管，以便实现轨对轨特性。对于 0.5A 类型，典型开通电流为 I_{O+} = 230 mA，典型关断电流为 I_{O-} = 480 mA。具有较大输出电流的版本的典型开通电流为 I_{O+} = 1800 mA，典型关断电流为 I_{O-} = 2300 mA。2EDL 系列的 PGND 和 GND 电平之间包含电平移位结构，以实现以引脚 PGND (2EDL23x06PJ)或 GND（其他型号）为基准的正确门极驱动信号输出。

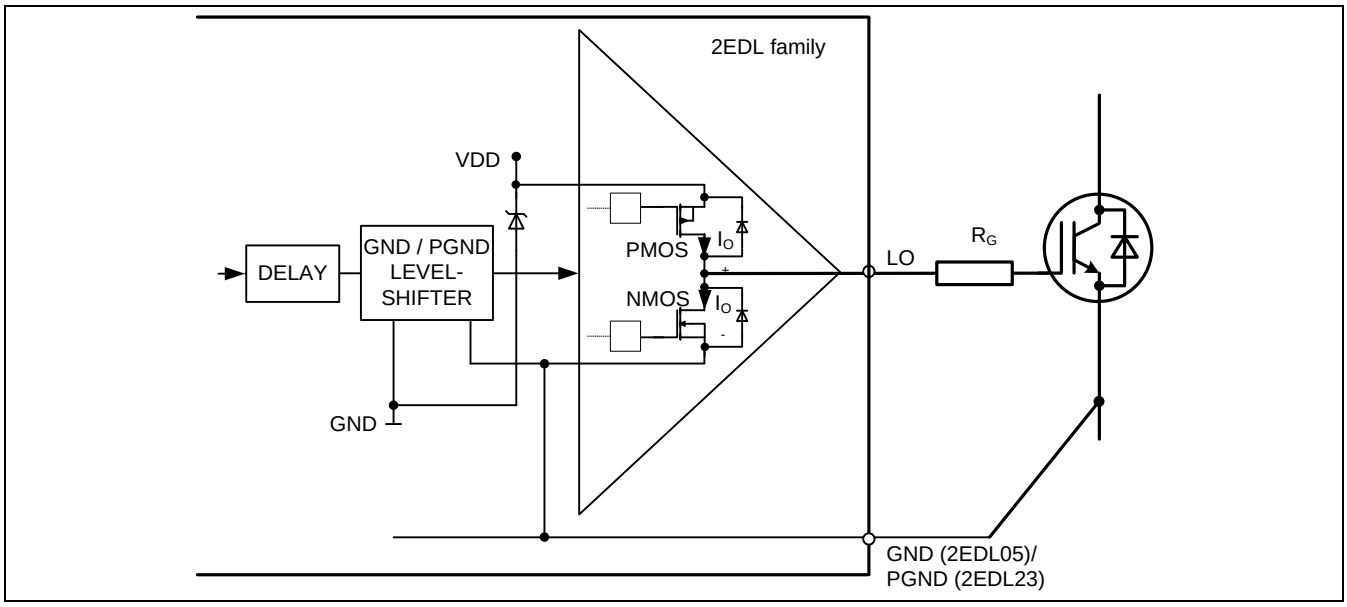

图8 低压侧门极驱动器部分的结构

输出引脚 LO 通过 FET 的体二极管箝定为不超过 IC 的电源电压 VDD。这可以防止输出引脚承受可能耦合到门极迹线的过高脉冲电压。此外，GND 和 VDD 之间还有一个推挽式内部齐纳箝位电路。

3.3.2 高压侧部分

高压侧门极驱动器部分如图 9 所示。控制信号通过高压电平移位部分，并存储在门极驱动器触发-锁存器中。传入的信号 HIN 以及输出门极驱动信号 HO 在内部通过集成二极管箝定为不超过基准电压（引脚 VS）和偏置电压（引脚 VB）（在低压侧部分，这两个电压相等）。

请注意，每个高压侧到低压侧控制区域都存在寄生连接。根据 2EDL 系列数据表中的最大额定值，相关应用设计必须保证，引脚 VS 不会出现持续时间超过 500ns，相对 GND 低于-50 V 的负电压。负电压还可能影响电平移位结构上的信号传输。当引脚 VB 上的电压相对 GND 低于 7V（即 V_{BGND}< 7.0 V）时，将无法传输信号。

2EDL 系列的所有成员都包含集成式自举二极管。有关集成式自举二极管的更多信息，请参阅第 3.4 节。

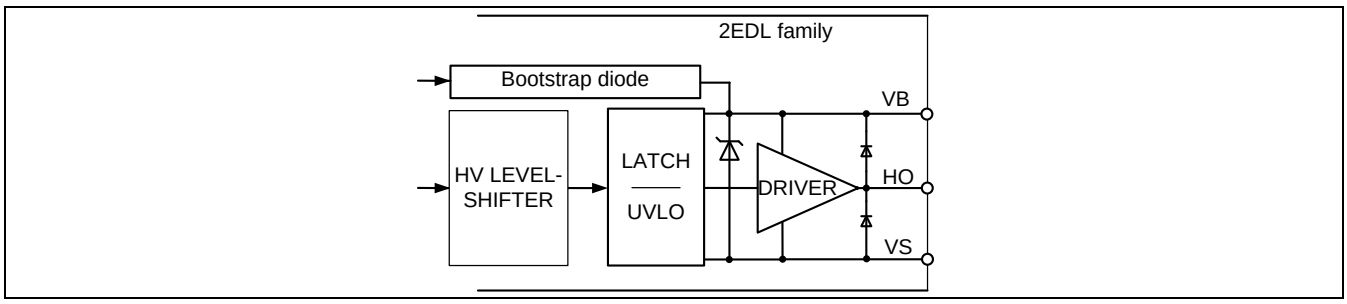

图9 低压侧门极驱动器部分的结构

3.3.3 高压侧基准（引脚 VS）上的负瞬态

得益于 SOI 技术固有的氧化绝缘层，2EDL 系列对负瞬态电压具有很强的承受力。因此，引脚 VS 上规定的最低电压为-50 V，持续时间 500 ns。此持续时间足以涵盖驱动器和开关模式电源应用中常见的应力要求。但是，任何设计都应该绝对避免出现这样的负电压。

寄生电感可能会感应电压，使得引脚 VS 的电势相对引脚 GND 变为负值。这些负电压将迫使电流流过衬底材料，这是其他驱动 IC 技术存在的一种众所周知的失效机制。衬底电流可能导致高压侧门极驱动器发生闭锁或其他故障，从而降低其对所有控制信号的灵敏度。最终导致 IGBT 短路，产生过高的功耗以及击穿系统。

一般而言，负电压还可能增大流经内部自举二极管的脉冲电流，或者增大或导致过高的自举电压。因此，设计应该以完全避免此类负瞬态电压为目标，或者至少将其控制在最大绝对额定值以下。

3.4 自举

3.4.1 自举二极管的温度稳定性和应用范围

2EDL 系列的所有元件都包含集成式自举二极管和低阻值限流电阻器。尤其是低阻值限流电阻器，与使用高阻值自举结构的其他竞争对手器件相比，具有重大优势。利用类似 2EDL 系列所用的低阻值电阻器，在低压端晶体管以较小占空比周期工作时可以更快地为自举电容器充电。此类工作点出现在例如驱动装置以高转矩低速工作期间，这一特性可以更完美的对永磁同步或无刷直流感应电机的实现磁场定向控制。小占空比周期内通常无法实现完整的充电过程，因而导致自举电容器 C_{BS} 的自举电压下降。应用设计必须确保始终为门极正确地供电，以避免过高的导通损耗，进而损坏 IGBT。依据图 10，当 LS 晶体管以 2%的占空比工作时，类似 2EDL 系列所用的低阻值限流电阻器可以提供充足的自举电源。实线代表室温条件下的 PWM 调制纹波。依据经验规则，当温度升高 100°C 时，所有自举 FET 的 $R_{ds(on)}$将会加倍。125°C 时的结果曲线如虚线所示。不难发现，在 125°C 条件下，使用 FET 结构的竞争对手器件面临的状况更为严峻。这种情况下，只有当占空比超过约 10%甚至更高时，才能获得充足的电源。而 2EDL 系列所用的二极管的温度稳定性要高得多。在高温条件下，2EDL 系列在低压侧晶体管占空比为 2%时仍能使用！

该自举二极管可用于所有种类的电力电子转换电路。它是真正的 pn 二极管，没有任何类似变通方案所用的 FET 结构。2EDL 系列的自举二极管适用于现代电力电子的所有控制模式，例如梯形或正弦驱动控制、连续或不连续 PWM 方案等。在使用集成式自举二极管时，应用设计或 PWM 方案不会受到任何限制。

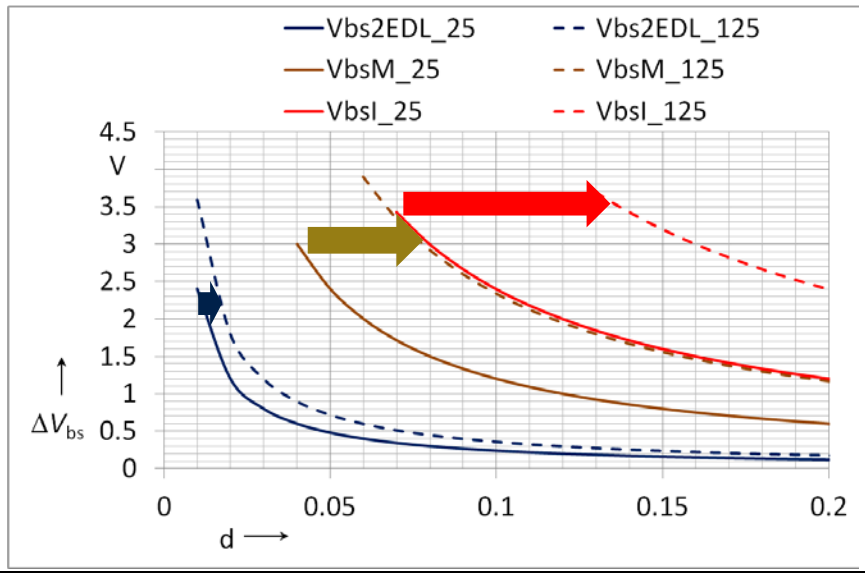

图10　　LS 晶体管在稳态条件与占空比条件下的自举电压压降

3.4.2　　计算电源电压范围

IGBT 类型的欠压闭锁限值设计为既支持正常启动，也支持 PWM 模式的省电模式操作。启动期间，自举电容器的初次充电必须确保超过最大限值 V_{BSUV+}，以使得高压侧部分做好工作准备。依据图 11，这意味着在低压侧晶体管 T2 开通时，自举电容器 C_{BS} 尚未充电。在充电周期结束时，IGBT 类型相关的最小电源电压为

$$V_{DDminIGBT} = V_{BSUV+max} + V_{FBSmax} + V_{CE,LS} = 12.4\,V + 1.2\,V + 0.5V = 14.1\,V \quad (1)$$

其中，$V_{BSUV+max}$ 是高压侧部分正向欠压闭锁电平的最大值，V_{FBSmax} 是最大自举电压，而 $V_{CE,LS}$ 则是低压侧 IGBT 电压。初次充电时的电流取样电阻电压可以忽略不计。不难发现，电源电压 V_{DD} = 15 V 便已足够。

对于 MOSFET 类型，

$$V_{DDminMOSFET} = V_{BSUV+max} + V_{FBSmax} = 9.9\,V + 1.2\,V = 11.1\,V \quad (2)$$

这意味着，电源电压 $V_{DD} \approx 12$ V 便已足够。

另一个工作点出现在驱动系统以满负载低速工作时。这种情况下，可以假定 PWM 频率远高于电机频率（即 $f_p \gg f_{Mot}$），因此存在低压侧 IGBT 几乎连续处于导通状态的时段。这时 IC 不会进入欠压闭锁保护模式。计算公式为

$$\begin{aligned} V_{BS,IGBT} &= V_{VDD} - 1.2\,V - V_{CE,LS}(I_{nom}) - V_{Sh} = \\ &= 15\,V - 1.2\,V - 1.8\,V - 10A \cdot 20m\Omega = 11.8\,V > V_{BSUV-max} \end{aligned} \quad (3)$$

此公式假定为 10A IGBT 使用 R_{Sh} = 20 mΩ的电流取样电阻。

在 $V_{BS,IGBT} < V_{BSUV-max}$ 的情况下，应相应地选择高于 15V 的 V_{VDD} 值。

3.4.3　　计算自举电容 C_{BS}

自举是将电荷从较低的电势泵压到较高电势的常用方法。利用这种方法，可以轻松地建立门极驱动器浮空高压侧部分的电源电压（参见图 11）。所显示的电路是一项驱动应用中三个半桥中的一个。

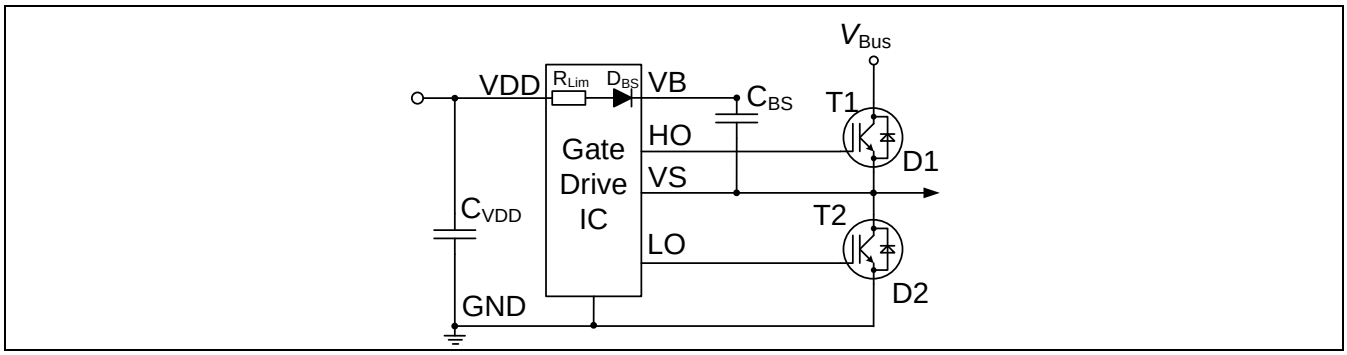

图11　　一个半桥的自举电路

晶体管 T2 的第一个脉冲将迫使引脚 VS 的电势变为 GND。自举电容器电压 V_{CBS} 与 V_{DD} 之间现有的电压差使得充电电流 i_{BS} 流入电容器 C_{BS}。i_{BS} 为脉冲电流，因此电容器 C_{BS} 的 ESR 必须非常小，以免电容器中出现损耗，并导致缩短电容器的使用寿命。

在晶体管 T2 关断并且 T1 或 D1 通电后，该引脚将再次恢复高电势。但现在自举二极管 D_{BS} 会阻断反向电流，使得电容器中的电荷无法回流到电容器 C_{VDD}。自举二极管 D_{BS} 还会负责反向阻断引脚 VB 和 VDD。为功率晶体管 T1 和外部自举二极管选择相同的阻断电压是一种好的设计做法。自举电容器的电压现在可以为高压侧门极驱动器部分供电。

自举电容器 C_{BS} 必须尽量靠近 IC 安装，这是一条通用的设计规则。否则，寄生电阻器和电感可能引起电压尖峰，进而触发相应高压侧驱动器部分的欠压闭锁阈值。不过，2EDL 系列中所有具有 IGBT 欠压闭锁功能的元件同时也在每个电源部分包含了滤波器，以便主动避免发生此类意外的欠压闭锁触发。

自举电容器的电压约为

$$V_{CBS} \approx V_{DD} - V_{FBS} - V_{CE,LS} \tag{4}$$

限流电阻器 R_{Lim}（参见图 11）用于减小晶体管 T2 开通期间的脉冲电流峰值。每次开通晶体管 T2 都会出现脉冲电流，因此开关频率越高，电容 C_{BS} 的充电就越频繁。所以，当开关频率较高时，适合使用较小的电容器。自举电容器主要通过两种效应放电：高压侧静态电流和待开通晶体管的门极电荷。自举电容器电容的计算公式为

$$C_{BS} = \frac{i_{QBS} \cdot t_P + Q_G}{\Delta v_{BS}} \cdot 1.2 \tag{5}$$

其中，i_{QBS} 为高压侧部分的静态电流，t_P 为开关周期，Q_G 为门极总电荷，Δv_{BS} 为一个开关周期内自举电容器产生的压降。另外增加了 20%的余量作为自举电容器的容差。请注意，Q_G 值可能在最大值范围内变化，并且电容器电容会表现出与电压相关的减额特性。公式(5)适用于逐个脉冲的情形。不难发现，当 T2 或 D2 以较小的占空比连续工作时，例如在不连续导通模式下工作时，需要较高的电容值。

图 12 显示了在电压纹波Δv_{BS} = 0.1 V 时，公式(5)所对应的连续正弦调制曲线。因此，对于多数开关频率，建议使用不超过 4.7 µF 的自举电容。集成式自举二极管的性能可满足较小自举电容的要求。因此，建议不要超过最大电容 C_{BS} = 47 µF。

请注意，公式(5)适用于以一定的开关频率连续开关的情形。使用空间向量调制可能导致不超过 60°的周期（电气），这种情况下不会开关半桥低压侧晶体管，因此必须单独考虑。这会影响到自举电容器的大小，对于较低的输出电流（电机电流）频率而言尤其如此。这种情况下，必须将 t_P 变量设为最长的无充电周期。

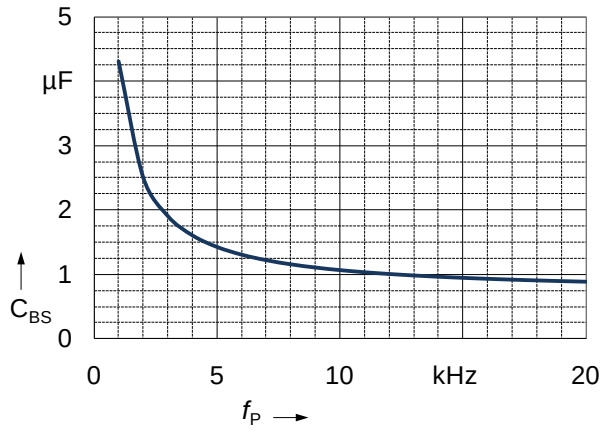

图12 电压纹波为 **0.1 V** 时，自举电容器大小与用于驱动 **IKD10N60R** 的开关频率 f_P 的关系（依据公式(5)）

3.5 保护

3.5.1 过流保护（OCP，仅限 2EDL23x06PJ）

对直流环节基准的电流信号进行测量，以识别过流或半桥短路事件。电流取样电阻会产生电压降，从而触发阈值为 $V_{ITRIP,TH+}$ = 0.44 V 的比较器（参见图 13）。在低压侧开关二极管换向时，具有 2 µs 时间常量的集成式滤波器会抑制由于非最佳布局或反向恢复事件导致的潜在电压尖峰。

此触发电流的计算公式如下

$$I_{ITRIP} = \frac{V_{IT,TH+}}{R_{SH}} \tag{6}$$

其中，R_{SH} 是电流取样电阻的值。

一般而言，作为一种良好的设计做法，建议使用无感贴片电流取样电阻。市场中有大量此类电流取样电阻，它们仅产生较小的瞬态感应电压。此类电压可能会干扰电流检测信号等，以及干扰电流检测放大器或比较器的正常工作。

比较器的输出会通过噪声滤波器，后者会抑制寄生电压尖峰所造成的过流关断。噪声滤波器的典型滤波时间为 $t_{ITRIPMIN}$ = 2 µs。这是一个较大的滤波器，但电流取样电阻检测迹线到引脚 PGND 的连接（它是门极电流的返回路径）不允许任何外部滤波。一个置位优先的锁存器将会持续存储过流事件（持续时间通常不短于 200 µs），直至外部上拉电阻器或微控制器提供的信号将其重置为止。重置是通过将引脚 EN-/FLT 的电压上拉至高于输入高电平电压 V_{IH} 来实现的。

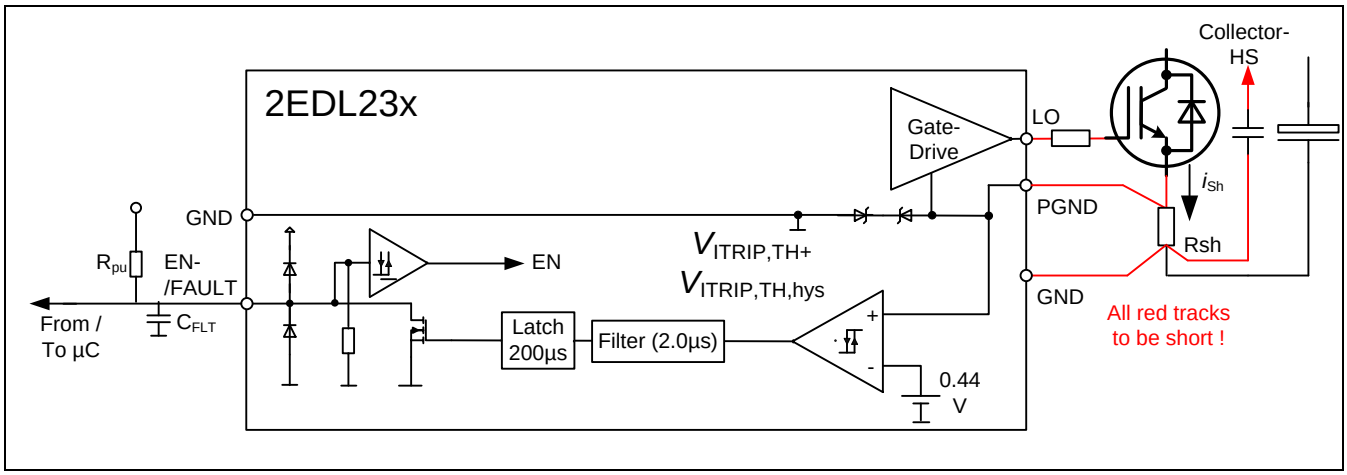

图13　　ITRIP 和 EN-/FLT 部分的内部结构

ITRIP 锁存器会在 EN-/FLT 引脚激活 NMOS-FET 放电。FET 的典型 $R_{DS(on)}$为 45 Ω，这样就得出一条相对外部电容器 C_{FLT} 的放电特性曲线。时间常量取决于外部电容器 C_{FLT} 和 FET 的 $R_{DS(on)}$。当比较器恢复低电平时，放电阶段结束。此电平对应于比较器上的电压电平 $V_{IT,TH+}$ - $V_{IT,HYS}$ = 440 mV – 70 mV = 370 mV，其中 $V_{IT,HYS}$ = 70 mV 为 ITRIP 比较器的滞后。

3.5.2　　死区时间和直通预防

2EDL 系列可预防直通并在每个半桥的相应 IGBT 之间生成固定的死区时间。死区时间参考值为 DT = 380 ns。但有必要检查所驱动的 IGBT 的瞬态时间。这些时间包括开通延迟时间 $t_{d(on)}$、上升时间 t_r、关断延迟时间 $t_{d(off)}$以及下降时间 t_f。它们共同定义了预防直通所必需的时序和死区时间。对于大多数应用，1 µs 到 1.5 µs 的死区时间便足够了。请注意，根据结温、集电极电流和门极电阻，功率晶体管的瞬态特性可能对最小死区时间形成极大的限制。

唯一没有内置死区时间和内部互锁的类型是 2EDL05I06BF。此元件是适合以下应用的最佳驱动 IC：开关磁阻电机(SRM)；使用双管正激拓扑的焊接系统；以及其他要求同时开通高压侧输出和低压侧输出的应用。

3.5.3　　欠压闭锁（欠压闭锁）

当引脚 VDD 出现欠压闭锁条件时，将通过阻断到低压侧和高压侧部分的信号来关断两个输出部分。仅高压侧提供了额外的欠压检测，因此高压侧部分也可以独立于低压侧进行关断。该电平在控制端为 V_{DDUV+}，在高压侧部分为 V_{BSUV+}。请参阅 2EDL 系列相应类型正确的绝对电平。更多信息，请参阅第 3.2 节。

在欠压闭锁关断某个输出部分后，必须再次达到 V_{DDUV+}和 V_{BSUV+}的启动电平（参见第 3.2 节）。低压侧和高压侧部分具有独立的欠压闭锁功能，这使得在包含自举电源的情况下可以重启受影响的高压侧部分，因为低压侧晶体管的开关模式操作会将电荷连续泵压到相应的自举电容器，使其升高至自举电压 V_{BS}。

2EDL 系列所有 IGBT 类型的驱动 IC 都包含用于电源电压电平 VDD 和高压侧电源电压电平 VBS 的滤波器。这样可以避免由于噪声或串扰造成的欠压闭锁事件（如图 14 所示）。2EDL23I06PJ 和 2EDL23N06PJ 类型通过将引脚 EN-/FLT 下拉至低电平指示欠压闭锁。2EDL05I06PF 和 2EDL05I06PJ 类型还对电源电平进行滤波，但没有通过特定引脚指示此状态。

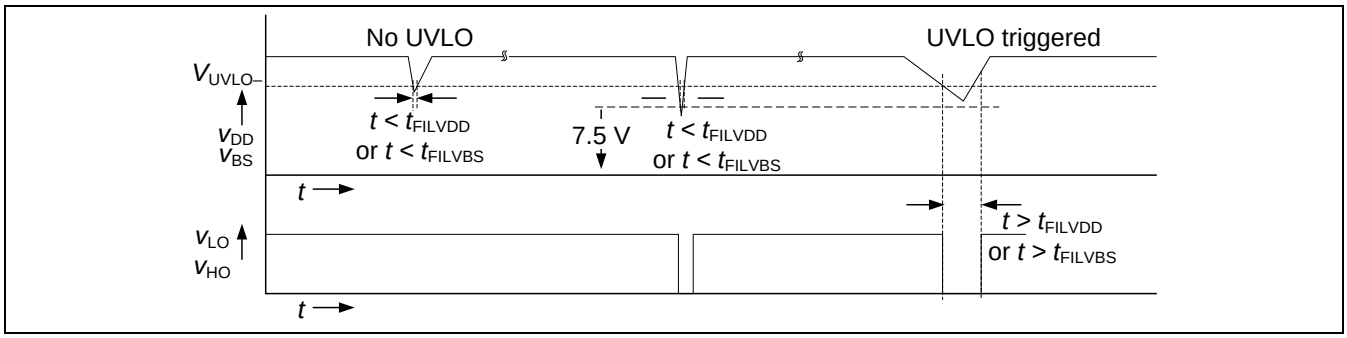

图14　　欠压闭锁滤波时间

所有 MOSFET 类型（2EDL23N06PJ 和 2EDL05N06PF）都具有约 150 ns 的滤波时间。

3.6　　计算功耗和热参数

2EDL 系列提供两种封装：PG-DSO-8 和 PG-DSO-14。两种封装均符合 RoHS 规范。有关绝缘配合方面的更多信息，请参阅第 3.7 节。最重要的是，确保元器件不会发生热过载。这一点可以通过结-环境热阻以及计算或测量功耗的方法进行检查。请参阅数据表（第 4 节）中提供的热阻以及具体布局。更改此布局可能导致热阻增加，从而减小驱动 IC 的总功耗。因此，设计人员应通过温度测量，避免在应用相关的环境温度和壳体条件下发生热过载。

最高芯片温度 T_j 可使用以下公式计算

$$T_j = P_d \cdot R_{th(ja)} + T_{amb,max} \tag{7}$$

其中，$T_{amb,\,max}$ 是最高环境温度。

功耗 P_d 是多个功耗源的组合。总功耗包括以下各项：

- IC 的静态电流（高压侧和低压侧）（P_{d1VDD}、P_{d1BS}）
- 输出部分（P_{d2on}、P_{d2off}）
- IC 的输入部分(P_{d3})
- 任何高压侧部分到控制部分的漏泄损耗(P_{d4})

相应项目可针对最坏情形，按照下列方法分别计算：

1.测量应用在最高开关频率下的工作电流 I_{DD}。连接两个控制引脚，并且不连接功率晶体管。

$$P_{d1VDD} = I_{DD,max} \cdot V_{DD,max} \tag{8}$$

每个高压侧部分都会产生静态电流相关的持续功耗。计算公式如下

$$P_{d1BS} = I_{QBS} \cdot V_{BS,max} \tag{9}$$

2.通过功率晶体管的门极总电荷 Q_{Gtot}、电源电压 V_{DD}、开关频率 f_P 以及外部门极电阻器，计算输出部分的损耗。必须考虑不同的开通和关断情形，因为许多设计针对开通和关断使用不同的电阻器。这会导致损耗相对输出部分的外部门极电阻器 $R_{Gxx,ext}$ 和内部电阻呈现特定的分布。我们以 2EDL 0.5A 版本为例

$$P_{d2on} = \frac{2}{2} Q_{G,tot} \cdot V_{DD} \cdot f_P \cdot \frac{22.5\Omega}{R_{Gon,ext} + 22.5\Omega} \quad \text{，针对开通情形} \tag{10}$$

$$P_{d2off} = \frac{2}{2} Q_{G,tot} \cdot V_{DD} \cdot f_P \cdot \frac{6.5\Omega}{R_{Goff,ext} + 6.5\Omega} \quad \text{，针对关断情形} \tag{11}$$

P_{d2on} 和 P_{d2off} 两个部分共同构成了输出部分的损耗。

3.输入部分通过其输入结构产生损耗。它们是约 100 kΩ的下拉电阻。

$$P_{d3} = \frac{2}{2} \cdot \frac{{V_{in}}^2}{100k\Omega} \tag{12}$$

4.漏泄损耗由穿过绝缘层的电流造成。相关参数包括所有高压侧的漏电流 I_{LVS} 以及应用的直流总线电压 V_{DC}。高压侧部分在工作期间处于正总线电势或负总线电势。因此，这两个值产生的损耗大体上各占一半。但是，可能存在一种静态工作状态，其中所有三个高压侧部分均处于高电势。因此，我们得出

$$P_{d4} = I_{LVS} \cdot V_{DC,max} \tag{13}$$

其余所有组成部分可估算为上述部分总和的约 20%。工作期间的最终功耗为两个部分的总和

$$P_d = 1.2\left(P_{d1VDD} + P_{d1QBS} + P_{d2on} + P_{d2off} + P_{d3} + P_{d4}\right) \tag{14}$$

数据表中显示了给定结-环境热阻($R_{th(j-a)}$)对应的具体布局。数据表中提供的热阻是在两个功率晶体管等量工作的情况下指定的。需要了解的是，不同布局可能导致不同的热阻。因此，通过实验方法额外检查封装温度始终是一种好的设计做法。

3.7 爬电距离

根据封装图纸，DSO-8 封装（2EDL05I06PF、2EDL05N06PF 和 2EDL05I06BF）的爬电距离为 **2.140 mm**。2EDL05I06PJ 的相关参数为 **2.865 mm**，2EDL23I06PJ 和 2EDL23N06PJ 为 **2.105 mm**。系统的相关要求取决于相应的应用标准（例如[3]或[4]）、最终设备的安全概念，以及应用条件（例如污染程度等）。

所述的标准和类似资料详细说明了正确计算目标系统爬电距离的相关注意事项。

3.8 布局注意事项

接地电路或门极电路中的寄生电感以 PCB 迹线回路的方式存在。它们可能导致相应迹线中出现震荡。这可能是 IC 出现异常工作的根本原因。图 15 显示了这些电感和迹线回路。

首先，连接引脚 HO 和 LO 与相应的功率晶体管门极端子的门极迹线，以及连接功率晶体管的发射极/源极端子与 IC 的 VS 或 PGND 的迹线都必须尽可能地短。必须尽量减小这些迹线的面积。这样可以确保高压侧晶体管与低压侧晶体管具有近似甚至相等的开关速度。应尽量减小由引脚 PGND、电流取样电阻和引脚 GND 构成的回路。图 15 显示了单个电流取样电阻的设计案例。一些系统可能会在驱动器的每一级使用一个电流取样电阻，该电阻位于低压侧晶体管的源极/发射极与引脚 PGND 之间。通常通过低阻抗电容器（可能是陶瓷型）来稳定驱动 IC。引脚 VDD、电容器和 GND 之间的回路也应尽可能地小。这有助于最大限度减小门极电路电感以及自举电路电感。

对于高压侧电源电路也必须做类似的考虑。引脚 VB、自举电容器 C_{BS} 以及引脚 VS 构成的回路也必须很小。否则，开通时的门极充电过程中可能出现感应电压降，从而导致高压侧部分出现自发性欠压闭锁事件。

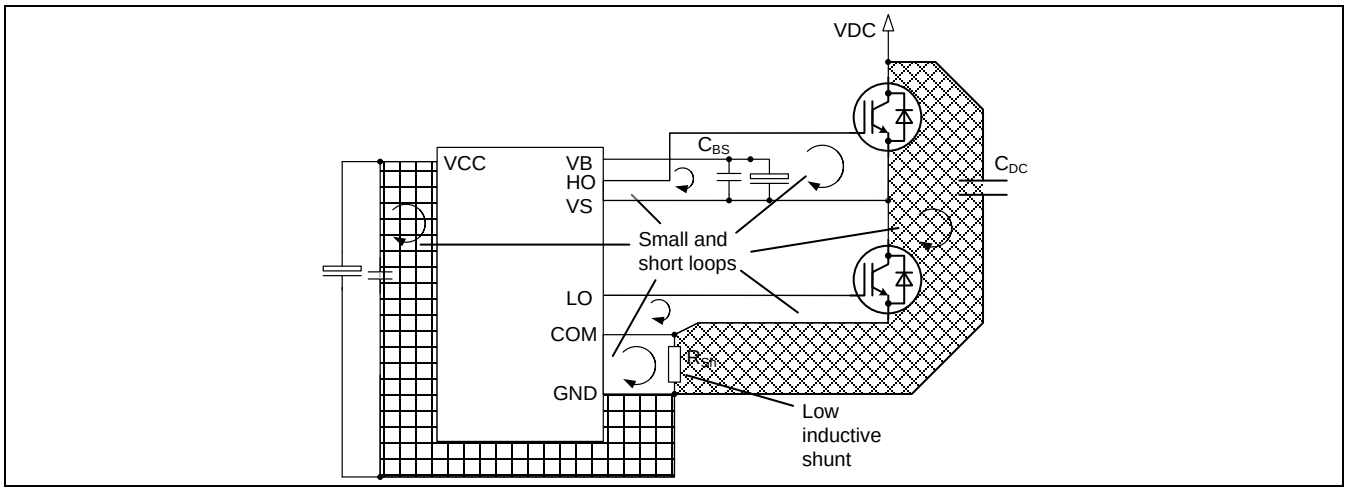

图15 布局中的寄生电感

最后，如果在正轨与负轨之间靠近晶体管端子的位置放置一个低阻抗薄膜电容器 C_{DC}，将可以部分抵消直流环节迹线的电感（如图 15 所示）。

4 使用的参数列表

4.1 一般规则

大写字母	时间常量参数
小写字母	时变参数
斜体字母	物理参数
正体字母	电路中的元器件

表2 使用的参数

参数	说明	参数	说明
A	面积	*p*、*P*	功率
b、*B*	磁通密度	*r*、*R*	电阻
C	电容	*t*、*T*	时间、时间间隔
d、*D*	占空比	*v*、*V*	电压
f	频率	*w*、*W*	能量
i、*I*	电流	η	能效
l、*L*	电感		
C	电容器	L	电感器
D	二极管	R	电阻器
IC	集成电路	TR	变压器
AC	交流电值	i	运行变量
avg	平均值	in	输入值
DC	直流电值	max	最大值
BE	基极-发射极	min	最小值
C	集电极值	off	关断/关断状态值
E	发射极值	on	开通/导通状态值
G	门极值	out	输出值
P	初级侧值	p	脉冲
Pk	峰值		
S	次级侧值		

参考资料

[1] KOA corporation:“Handling precautions for flat chip resistors”, Revision B 1.1, application note, KOA corporation, Japan, 2007

[2] KOA corporation:“Flat chip thick film resistors general purpose RK73B”, Revision 10.11.2006, data sheet, KOA corporation, Japan, 2006

[3] IEC 60335-1:"Household and similar electrical appliances – Safety – Part 1:General requirements”, Ed. 4, 2001-05; International Electrotechnical Commission; Geneva, Switzerland, 2001

[4] IEC 664-1:"Insulation coordination for equipment within low-voltage systems – Part 1:Principles, requirements, tests”, Ed. 1, 1992-10; International Electrotechnical Commission; Geneva, Switzerland, 1992

www.infineon.com

英飞凌科技股份公司发布