VSC7513/14

硬件设计检查清单

1.0 简介

本文档提供了Microchip VSC7513/14的硬件设计检查清单。在新设计中使用VSC7513/14时，应遵循检查清单中的各项内容。第13.0章“硬件检查清单汇总”（第19页）对这些内容进行了汇总。有关各项主题的详细信息，可参见相应的章节：

- 第2.0章“一般注意事项”
- 第3.0章“电源”
- 第4.0章“参考时钟”
- 第5.0章“CPU系统”
- 第6.0章“端口配置”
- 第7.0章“内部铜PHY端口”
- 第8.0章“SerDes接口”
- 第9.0章“串行GPIO控制器”
- 第10.0章“其他接口”
- 第11.0章“系统复位”
- 第12.0章“SyncE和PTP”

2.0 一般注意事项

2.1 所需参考资料

VSC7513/14实现者手头应备有以下文档：

- *VSC7513 Data Sheet*
- *VSC7514 Data Sheet*
- *Microsemi VSC7514EV Ocelot Managed Hardware Manual*

2.2 引脚检查

- 对照数据手册检查器件的引脚分配。确保所有引脚均符合数据手册的要求，并将其配置为输入、输出或双向以进行错误检查。
- 如果客户计划使用Microchip的一站式软件包，Microchip建议使用其中一张参考设计原理图作为基础，并尽可能保留参考设计中GPIO（并行和串行）的用途，从而最大程度地减少软件更改。将主要更改（如端口编号、PHY地址、GPIO和SGPIO）记录为日志文件，并在执行设计审查或开始软件自定义时提供该日志。

2.3 配置脚

上电时使用的部分GPIO引脚为配置脚，用于配置PLL参考时钟频率和选择CPU启动模式。有关配置脚以及相应配置和模式的说明，请参见图2-1和表2-1。建议使用1 kΩ–4.7 kΩ的电阻将配置脚相应地拉为高电平或低电平。

图2-1： 配置脚与GPIO引脚复用

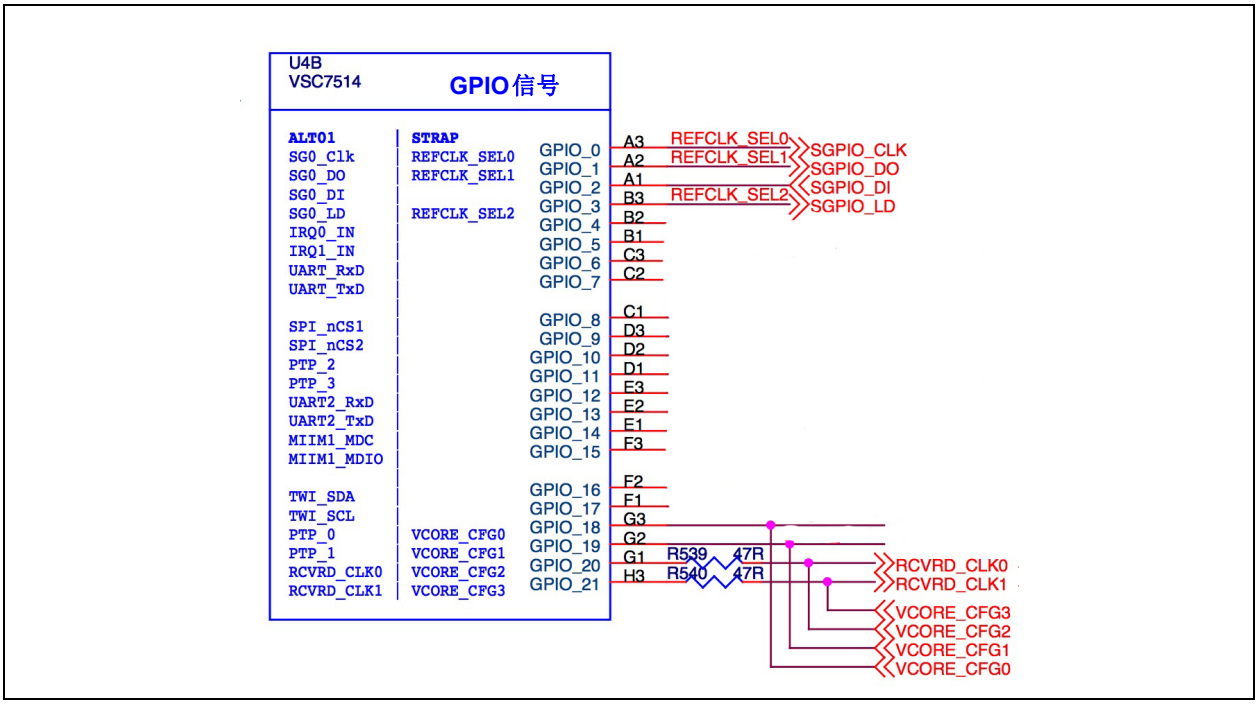


表2-1： VSC7513/14配置脚说明

引脚	说明
REFCLK_CONF[2:0]	PLL的参考时钟频率配置 000：125 MHz 001：156.25 MHz 010：250 MHz 100：25 MHz 所有其他值都被保留，且不能使用。
VCORE_CFG[3:0]	VCore系统启动条件配置 0000：使能VCore-III CPU（小尾数法）并从SI引导（禁止SI从模式）。 1001：使能PCIe® 1.x端点。禁止VCore-III CPU自动引导并使能SI从模式。 1010：使能MIIM从模式且MIIM地址为0（MIIM从模式点与GPIO复用）。禁止VCore-III CPU自动引导并使能SI从模式。 1011：使能MIIM从模式且MIIM地址为31（MIIM从模式引脚与GPIO复用）。禁止VCore-III CPU自动引导并使能SI从模式。 1100：使能VCore-III CPU（大尾数法）并从SI引导（禁止SI从模式）。 1111：禁止VCore-III CPU自动引导并使能SI从模式。 所有其他值都被保留，且不能使用。

2.4 地

- 应至少创建一个完整的地平面（GND）。
- **GND**也是VSC7513/14散热的主要路径。因此，务必确保在VSC7513/14接地位置的下方有足够的过孔且均匀分布。

© 2025 Microchip Technology Inc. 及其子公司

3.0 电源

3.1 电源

- VSC7513/14需要的电源如下：
  - **VDD_IO**引脚上的I/O电路需要2.5V。
  - **VDD_AH**引脚上的内部铜PHY模拟电路需要2.5V。
  - **VDD_AL**引脚上的内部铜PHY模拟电路需要1.0V。
  - **VDD**引脚上的内部内核需要1.0V。
  - **VDD_A**引脚上的内部模拟电路需要1.0V。
  - **VDD_VS**引脚上的所有串化器/解串器（SerDes）接口需要1.0V或1.2V。
  - **VDD_IODDR**引脚上的双倍数据速率（Double Data Rate，DDR）接口需要1.35V或1.5V电源（请注意，在工业级温度应用中应使用1.5V DDR电源）。
- 每个电源电压都应配有大容量电容和高频去耦电容。建议使用10 µF的大容量去耦电容，但由于上电期间的初始负载，VDD_A应使用47 µF。此外，还建议使用0.1 µF的高频去耦电容。表面贴装去耦电容应尽可能靠近电源引脚放置。
- 模拟电源必须与使用铁氧体磁珠的其他电路板电源隔离。

3.2 电源排序

- 在上电和掉电期间，**VDD_A**和**VDD_VS**不得比**VDD**高300 mV以上。
- **VDD_VS**必须上电，即使未使用相关接口时也是如此。这些电源不得保持接地或悬空。
- **VDD_IODDR**先于**VDD**上电时建议间隔时间不得超过100 ms。**VDD**先于**VDD_IODDR**上电时没有要求。

4.0 参考时钟

器件参考时钟可以是25 MHz、125 MHz、156.25 MHz或250 MHz的时钟信号。频率通过REFCLK_CONF[2:0]进行选择，如表2-1所述。

参考时钟可以是差分参考时钟或单端时钟。请注意数据手册中规定的最大时钟抖动要求，在电路板设计中选择时钟源（振荡器）和时钟分配（缓冲器）元件时必须考虑这一点。

4.1 差分时钟

使用差分时钟时，输入与低电压差分信号（Low Voltage Differential Signaling，LVDS）最为兼容。时钟输入的每个P/N引脚都内置一个连接到0.7V的50R终端电阻，因此P与N之间具有100Ω差分终端电阻，固有偏置为2/3 VDD。建议在使用内部终端电阻作为偏置的情况下，通过交流耦合来满足参考时钟输入规范中的共模电压要求。

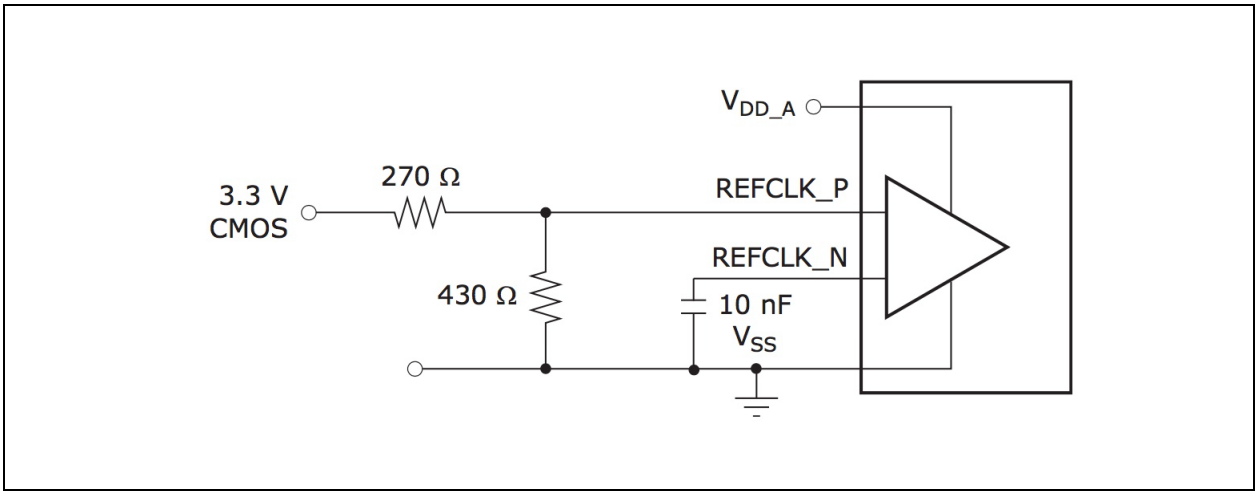
数据手册中规定P/N信号的电压上限为1200 mV。这通过在输入端连接ESD钳位二极管来实现。由于存在终端电阻或偏置为2/3 VDD（通常是共模电压），因此会对P或N的单端摆幅施加2 * (1200 mV - 700 mV) = 1000 mV的限制。某些低电压正射极耦合逻辑（Low Voltage Positive Emitter-Couple Logic，LVPECL）的差分摆幅可能大于400 mV，因此应使用电阻分压器对其进行衰减，以满足输入规范中的电压摆幅要求。

为了满足QSGMII要求，建议至少使用125 MHz的差分参考时钟。

4.2 单端REFCLK输入

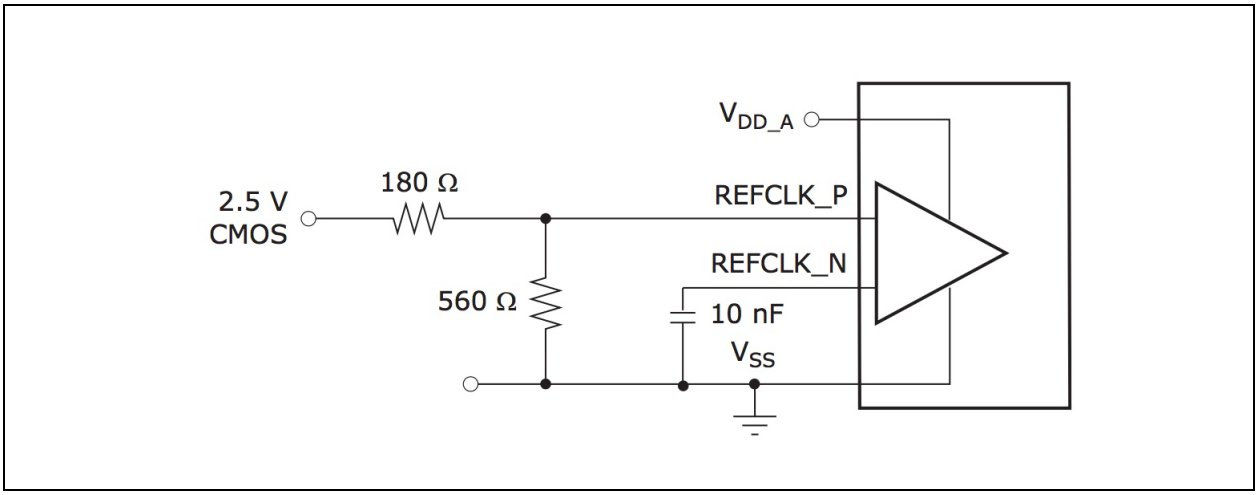
尽管VSC7514参考时钟输入为差分输入，但同样可以将其与单端时钟源一起使用。实现方法是将一个差分输入设置为共模电压，并对用于驱动另一个差分输入的单端信号进行整形，这样就能围绕该共模电压进行切换，电压摆幅与LVDS相当。参考时钟差分输入缓冲器将其视为有效的差分信号。为此，需要一个外部电阻网络。该电阻网络用于限制幅值以及调整摆动中心。图4-1和图4-2分别给出了用于3.3V和2.5V CMOS单端时钟信号的电阻网络和电阻建议值。

图4-1： 用于3.3V CMOS单端时钟的电阻网络



© 2025 Microchip Technology Inc. 及其子公司

图4-2： 用于2.5V单端时钟的电阻网络



5.0 CPU 系统

VSC7513/14 可以通过内部 VCore-III MIPS CPU 或外部 CPU 进行管理。具体使用内部 CPU 还是外部 CPU 则由 VCORE_CFG[3:0] 配置脚选择（如**第 2.3 节 “配置脚”** 所述）。

5.1 内部 CPU 模式

当 VCore-CFG[3:0] 配置脚配置为 0000 或 1100 时，将使能内部 CPU 并从 SPI 闪存进行引导。内部 VCore-III CPU 系统基于兼容 MIPS24KEc 的强大微处理器，该微处理器配备 16 条目 MMU、32 KB 指令高速缓存和 32 KB 数据高速缓存。VCore-III CPU 系统包含 SPI 引导控制器和 DDR3 存储器控制器。通过配置脚使能自动引导时，VCore-III CPU 将自动开始执行 SPI 闪存中字节地址 0 处的代码。以下是典型的自动引导序列：

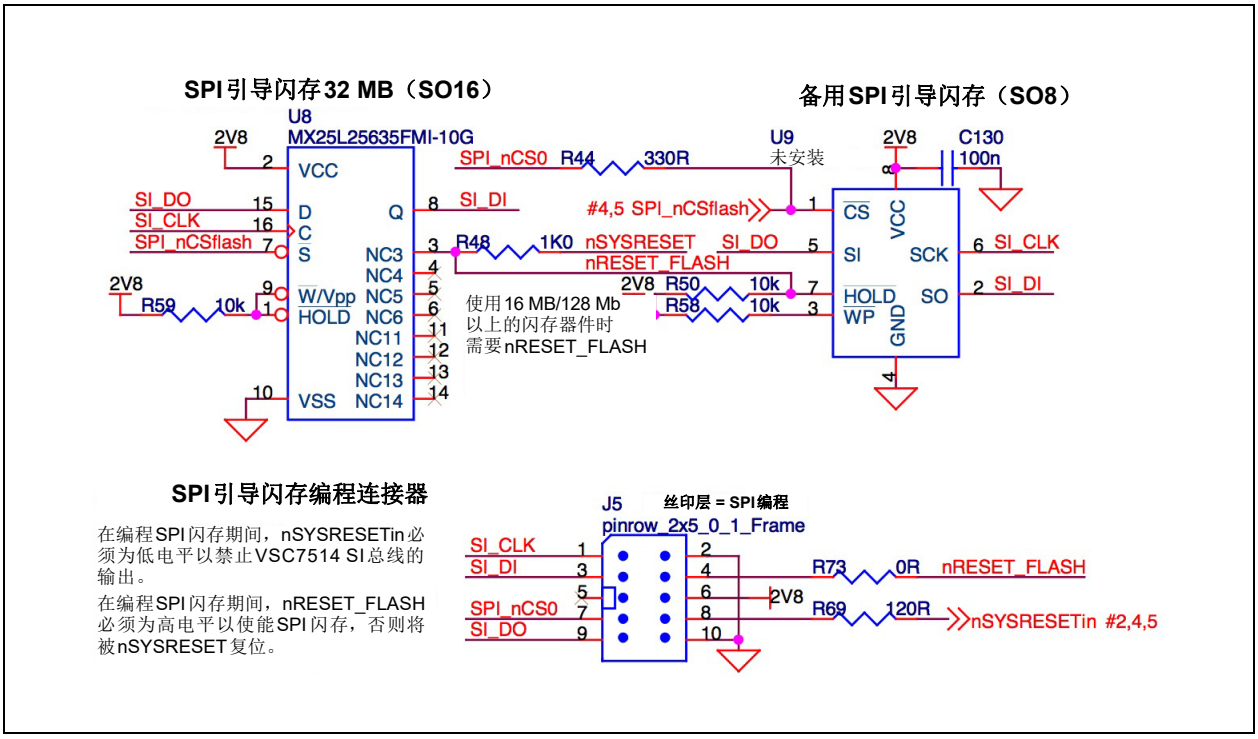
1. 加快 SPI 引导接口的速度并执行闪存中的代码。
2. 初始化 DDR3/DDR3L 控制器。
3. 将代码映像从闪存复制到 DDR3/DDR3L 存储器。
4. 将存储器映射从引导模式更改为正常模式，并执行 DDR3 存储器中的代码。

使能内部 CPU 模式后，始终需要 SPI 闪存和 DDR3。

5.1.1 闪存

该交换芯片支持四个 SPI 片选引脚。这四个片选引脚都支持 NOR 闪存或 NAND 闪存，但 SI_nCS0 上的引导控制器仅支持 NOR 闪存。默认情况下，SPI 引导控制器以 24 位地址模式工作。在该模式下，可以寻址 16 MB 闪存。大多数闪存使用扩展地址寄存器（Extended Address Register，EAR）来选择闪存内的 16 MB 页，以支持大于 16 MB 的闪存，这种模式通常建议用于 VSC7513/14 托管解决方案。为了确保上电后 EAR 始终选择页 0（硬件复位按钮），建议将电路板复位信号（nSYSREST）连接到闪存的复位输入，如图 5-1 所示。

图 5-1： SPI 引导闪存和编程连接器



© 2025 Microchip Technology Inc. 及其子公司

Microchip 参考设计中的闪存编程连接器用于支持在PCB上进行闪存编程。闪存编程连接器的引脚8是图5-1中的nSYSRESET，它是复位发生器的输入。该信号的作用是在闪存编程期间使nSYSRESET输出为低电平，以将VSC7513/14保持在复位状态，防止其驱动SPI信号。否则，VSC7514与闪存编程器都会驱动SPI信号，进而导致闪存编程失败。

SI_nCS0上的引导控制器仅支持NOR闪存，但在CPU启动后，软件将在DDR存储器中运行，并且可以在SI_nCS1-SI_nCS3上使能成本较低的SPI NAND闪存。

建议将SPI_nCSx和SPI_CLK信号上拉，这样当交换芯片未驱动这两个信号时，这两个信号将为高电平。

注： VSC7513/14交换芯片为2.5V I/O器件，其输出高电平电压（Voh）在最坏情况下可低至1.7V。这可能不符合电源电压为3.3V的SPI闪存的Vih要求。建议使用电源电压较低的闪存，或者在VSC7513/14与闪存之间的SPI总线上放置一个缓冲器进行电压转换。

5.1.2 DDR3

当使能内部CPU来管理交换芯片时，需要DDR3存储器。建议至少使用128 MB的16位DDR3或DDR3L存储器。

建议使器件与DDR3存储器共用一个参考电压。使用电阻分压器（阻值为1 kΩ，精度为1%或更高）基于VDD_IODDR电源生成DDR_Vref。在该电源上使用至少0.1 µF的去耦电容（与VDD_IODDR和VSS类似）以确保跟踪电源变化；但是，电阻分压器和去耦电容的时间常数不应超过上电后的nRESET有效时间。VDD_IODDR引脚不得共用过孔。每个VDD_IODDR引脚至少使用一个过孔。共用过孔会产生额外电感，可能导致DDR接口出现位错误。

建议将其中一个GPIO引脚（参考设计中使用GPIO_19）连接到DDR3存储器的复位输入，以便DDR3存储器可通过软件复位。请注意，交换芯片（2.5V）与DDR3（1.5V或1.35V）的I/O电压不同，因此需要通过电阻网络进行分压（请注意，在工业级温度应用中应使用1.5V）。

5.1.2.1 布线建议

由于器件会吸收反射，因此应尽可能缩短所有SDRAM接口信号之间的物理距离。地址、命令、控制和时钟线路上应省去外部分立式终端电阻。

- DDR_CK/DDR_CKn必须作为差分特性阻抗为100Ω的差分对进行布线。
- DDR_xDQS/DDR_xDQSn必须作为差分特性阻抗为100Ω的差分对进行布线。
- 为了最大程度地减少串扰，单端信号的特性阻抗应主要由与参考平面的距离来决定，而不是与相邻走线的距离。
- 串扰应低于-20 dB。
- 在对DDR接口进行布线时，必须注意遵循*VSC7513/14 Data Sheet*的*“Recommended Skew Budget”*表中列出的偏移值。

当交换芯片由外部CPU管理时，不需要DDR3存储器。在这种情况下，VDD_IODDR电源可保持接地或悬空。如果VDD_IODDR接地，则DDR_Vref也必须接地。

5.2 外部CPU模式

一些VCORE_CFG配置脚选项（见表2-1）会禁止内部CPU，并允许外部CPU通过SPI从接口、MIIM从接口或PCIe®接口来控制交换芯片。

5.2.1 SPI从接口

SI从接口与SPI引导控制器接口共用相同的引脚。在片选信号中，只有SI_nCS0支持从模式。

当外部CPU使用SPI从接口读取交换芯片寄存器时，VSC7513/14需要在接收到最后一个地址位后准备好待读数据。在移出待读数据的第一个位之前，必须满足寄存器的访问时间（即读取），因此最后一个地址位与第一个数据位之间必须有一段延时。下面给出了一些可以满足所需延时的方法：

- 使用SI_CLK，其周期至少为目标寄存器访问时间的两倍。例如，对于交换芯片内核通用寄存器（单主器件）：1/(2 × 1 µs) = 500 kHz（最大值）。

- 在移动串行地址bit 0与第一个数据位之间暂停SI_CLK，以留出足够的时间来满足目标寄存器的访问时间。
- 将器件配置为先发送填充字节再发送待读数据，以满足目标寄存器的访问时间。例如，1个空字节可以为SI时钟留出足够的读取时间，使其在单主器件系统中的运行速度最高可达6 MHz。

5.2.2 MIIM从接口

器件上的MIIM从模式引脚为GPIO接口的复用功能。可通过配置适当的VCore_CFG配置脚使能MIIM从模式。可使用ICPU_CFG::GENERAL_CTRL.IF_MIIM_SLV_ADDR_SEL或VCore_CFG配置脚（见表2-1）将MIIM从接口配置为响应两个不同的PHY地址之一。

建议通过1.5 kΩ电阻将MIIM_SLV_MDIO拉为高电平。

注： MIIM从接口的带宽远低于SPI和PCIe接口，因为所有访问都要经过两个地址寄存器和两个数据寄存器，以便在使用16位访问宽度的MIIM与使用32位访问宽度的交换芯片内核寄存器接口之间进行转换。

5.2.3 PCIE接口

外部CPU也可以使用PCIe接口来读取/写入交换芯片寄存器，以及向/从交换芯片发送/接收以太网帧。建议在交换芯片与外部CPU之间的PCIe链路上使用交流耦合。

为确保时钟PLL正常工作，可能需要在交换芯片上电后重启PLL，并且必须在未使用PCIe接口的情况下重启PLL，因为重启会断开PCIe接口。因此，当使用PCIe接口时，建议在交换芯片与外部CPU之间使用SPI从接口或MIIM从接口。外部CPU可根据需要使用SPI从接口或MIIM从接口来重启PLL。更多详细信息，请参见*AN1272——Using the PCIe Endpoint Controller*。

© 2025 Microchip Technology Inc. 及其子公司

6.0 端口配置

6.1 VSC7514端口配置

VSC7514最多具有4个内部铜PHY端口和9个SerDes（6个1G SerDes和3个6G SerDes）接口。并非所有铜PHY端口和SerDes接口都可以同时使能作为独立的交换芯片端口工作。在内部，VSC7514为11端口交换芯片。铜PHY端口和SerDes接口通过端口多路开关映射到11个交换芯片端口和1个PCIe接口。端口多路开关通过MACRO_CTRL::HW_CFG寄存器进行配置。表6-1列出了该寄存器的定义。

表6-1： VSC7514的HW_CFG寄存器说明

Bit	名称	访问	说明	默认值
6	DEV2G5_10_MODE	R/W	配置器件DEV2G5_10的模式。它可以连接到SerDes1G_5或SerDes6G_2。 将PCIE_ENA置1会阻止DEV2G5_10连接到SerDes6G_2。 0：DEV2G5_10连接到SerDes6G_2。 1：DEV2G5_10连接到SerDes1G_5。	0x0
5	DEV1G_9_MODE	R/W	配置器件DEV1G_9的模式。它可以连接到SerDes1G_4或断开连接。 0：DEV1G_9断开连接。 1：DEV1G_9连接到SerDes1G_4。	0x0
4	DEV1G_6_MODE	R/W	配置器件DEV1G_6的模式。它可以连接到SerDes1G_3，或者在使能QSGMII模式时连接到SerDes6G_0。 将HW_CFG.QSGMII_ENA置1会强制设为QSGMII模式，并忽略DEV1G_6_MODE设置。 0：DEV1G_6断开连接。 1：DEV1G_6连接到SerDes1G_3。	0x0
3	DEV1G_5_MODE	R/W	配置器件DEV1G_5的模式。它可以连接到SerDes1G_5或SerDes1G_1，或者在使能QSGMII模式时连接到SerDes6G_0。 将HW_CFG.QSGMII_ENA置1会强制设为QSGMII模式，并忽略DEV1G_5_MODE设置。 0：DEV1G_5连接到SerDes1G_5。 1：DEV1G_5连接到SerDes1G_1。	0x0
2	DEV1G_4_MODE	R/W	配置器件DEV1G_4的模式。它可以连接到SerDes1G_4或SerDes1G_2，或者在使能QSGMII模式时连接到SerDes6G_0。 将HW_CFG.QSGMII_ENA置1会强制设为QSGMII模式，并忽略DEV1G_4_MODE设置。 0：DEV1G_4连接到SerDes1G_4。 1：DEV1G_4连接到SerDes1G_2。	0x0
1	PCIE_ENA	R/W	设置是否使能SerDes6G_2的PCIe®模式。 0：禁止PCIE 1：使能PCIE	0x0
0	QSGMII_ENA	R/W	通过SerDes6G_0将bit 0置1可使能器件DEV1G_4、DEV1G_5、DEV1G_6和DEV1G_7的QSGMII模式。 0：禁止QSGMII 1：使能QSGMII	0x0

下表列出了交换芯片的一些典型配置。

表6-2： VSC7514典型端口配置

SerDes/CuPHY编号 SerDes类型			0 Cu	1 Cu	2 Cu	3 Cu	0 1G	1 1G	2 1G	3 1G	4 1G	5 1G	6 6G	7 6G	8 6G	最大带宽 包括NPI
配置	VSC7514	D0-D10														
2	8 + NPI	4 x dual + 2 x 1G SGMII + 2 x 2.5G SGMII + 2.5G NPI	D0	D1	D2	D3	D0	D1	D2	D3	D4	D5	D7	D8	D10	13.5
b	8 + PCIe®	4 x dual + 2 x 1G SGMII + 2 x 2.5G SGMII + PCIe	D0	D1	D2	D3	D0	D1	D2	D3	D4	D5	D7	D8	PCIe	11
0	10 + NPI	4 x dual + 1 x 1G SGMII + 1 x QSGMII + 1 x 2.5G SGMII + 2.5G NPI	D0	D1	D2	D3	D0	D1	D2	D3	D9		Q0	D8	D10	14
c	11 + PCIe	4 x dual + 2 x 1G SGMII + 1 x QSGMII + 1 x 2.5G SGMII + PCIe	D0	D1	D2	D3	D0	D1	D2	D3	D9	D10	Q0	D8	PCIe	12.5
d	11 + PCIe	1 x dual + 3 x CUPHY + 5 x 1G SGMII + 2 x 2.5G SGMII + PCIe	D0	D1	D2	D3	D0	D5	D4	D6	D9	D10	D7	D8	PCIe	14
e	10 + NPI	2 x dual + 2 x CUPHY + 4 x 1G SGMII + 2 x 2.5G SGMII + 2.5G NPI	D0	D1	D2	D3	D0	D1	D4	D6	D9	D5	D7	D8	D10	15.5

- 表6-2中的配置2表示将交换芯片配置为4-combo + 5-SerDes。这是交换芯片的默认配置（HW_CFG = 0x0），其中：
  - 禁止QSGMII和PCIe。
  - 前四个交换芯片端口连接到内部铜PHY（Cu0-Cu3）和SerDes接口（S0-S3）。例如Cu0和S0。
  - Cu0和S0映射到D0（交换芯片端口0），并且同一时刻只有一个介质可以工作。这被称为组合端口。
  - SerDes S4-S8映射到交换芯片端口D4、D5、D7、D8和D10。
- 配置b通过仅设置HW_CFG = 0x2使能PCIe来使能。使能PCIe后，HW_CFG的bit 6将不起作用。只能在SerDes s8上使能PCIe接口。
- 配置0是将交换芯片配置为4-combo + 3-SerDes + 1-QSGMII。该配置通过使能QSGMII接口（HW_CFG = 0x21）来使能。只能在s6上使能QSGMII接口。使能QSGMII后，QSGMII接口将始终映射到交换芯片端口D4、D5、D6和D7，并且HW_CFG的bit 2、bit 3和bit 4将不起作用。出于时序方面的考虑，建议为QSGMII中的所有四个端口使能TX，无论这些端口是否都连接到外部PHY。
- 配置c通过将HW_CFG设置为0x63来使能。
- 配置d是将交换芯片配置为1-combo + 3-Cu + 7-SerDes + 1* PCIe。该配置通过将HW_CFG设置为0x7e来使能。
- 配置e是将交换芯片配置为2-combo + 2-Cu + 7-SerDes。该配置通过将HW_CFG设置为0x74来使能。

© 2025 Microchip Technology Inc. 及其子公司

6.2 VSC7513端口配置

VSC7513最多具有4个内部铜PHY端口和8个SerDes（6个1G SerDes和2个6G SerDes）接口。S6只能用作QSGMII接口；只有VSC7514上提供S7。并非所有铜PHY端口和SerDes接口都可以同时使能作为独立的交换芯片端口工作。在内部，VSC7513为9端口交换芯片。铜PHY端口和SerDes接口通过端口多路开关映射到9个交换芯片端口和1个PCIe接口。端口多路开关通过MACRO_CTRL::HW_CFG寄存器进行配置。表6-3列出了该寄存器的定义。

表6-3： VSC7513的HW_CFG寄存器说明

Bit	名称	访问	说明	默认值
6	DEV2G5_10_MODE	R/W	配置器件DEV2G5_10的模式。它可以连接到SerDes1G_5或SerDes6G_2。 将PCIE_ENA置1会阻止DEV2G5_10连接到SerDes6G_2。 0：DEV2G5_10连接到SerDes6G_2。 1：DEV2G5_10连接到SerDes1G_5。	0x0
5	RESERVED	R/W	将器件配置为默认模式	0x0
4	DEV1G_6_MODE	R/W	配置器件DEV1G_6的模式。它可以连接到SerDes1G_3，或者在使能QSGMII模式时连接到SerDes6G_0。 将HW_CFG.QSGMII_ENA置1会强制设为QSGMII模式，并忽略DEV1G_6_MODE设置。 0：DEV1G_6断开连接。 1：DEV1G_6连接到SerDes1G_3。	0x0
3	DEV1G_5_MODE	R/W	配置器件DEV1G_5的模式。它可以连接到SerDes1G_5或SerDes1G_1，或者在使能QSGMII模式时连接到SerDes6G_0。 将HW_CFG.QSGMII_ENA置1会强制设为QSGMII模式，并忽略DEV1G_5_MODE设置。 0：DEV1G_5连接到SerDes1G_5。 1：DEV1G_5连接到SerDes1G_1。	0x0
2	DEV1G_4_MODE	R/W	配置器件DEV1G_4的模式。它可以连接到SerDes1G_4或SerDes1G_2，或者在使能QSGMII模式时连接到SerDes6G_0。 将HW_CFG.QSGMII_ENA置1会强制设为QSGMII模式，并忽略DEV1G_4_MODE设置。 0：DEV1G_4连接到SerDes1G_4。 1：DEV1G_4连接到SerDes1G_2。	0x0
1	PCIE_ENA	R/W	设置是否使能SerDes6G_2的PCIe®模式。 0：禁止PCIE 1：使能PCIE	0x0
0	QSGMII_ENA	R/W	通过SerDes6G_0将bit 0置1可使能器件DEV1G_4、DEV1G_5、DEV1G_6和DEV1G_7的QSGMII模式。 0：禁止QSGMII 1：使能QSGMII	0x0

表6-4列出了交换芯片的一些典型配置。

表6-4： VSC7513典型端口配置

SerDes/CuPHY编号 SerDes类型			0 Cu	1 Cu	2 Cu	3 Cu	0 1G	1 1G	2 1G	3 1G	4 1G	5 1G	6 6G	7 6G	8 6G	最大带宽 包括NPI
配置	VSC7513	D0-D10														
2	6 + NPI	4 x dual + 2 x 1G SGMII + 2.5G SGMII + 2.5G NPI	D0	D1	D2	D3	D0	D1	D2	D3	D4	D5			D10	8.5
b	6 + PCIe®	4 x dual + 2 x 1G SGMII + PCIe + PCIe	D0	D1	D2	D3	D0	D1	D2	D3	D4	D5			PCIe	6
0	8 + NPI	4 x dual + 1 x QSGMII + 2.5G NPI	D0	D1	D2	D3	D0	D1	D2	D3			Q0		D10	10.5
c	9 + PCIe	4 x dual + 1G SGMII + 1 x QSGMII + PCIe	D0	D1	D2	D3	D0	D1	D2	D3		D10	Q0		PCIe	9
d	8 + PCIe	1 x dual + 3 x CUPHY + 4 x 1G SGMII + PCIe	D0	D1	D2	D3	D0	D5	D4	D6		D10			PCIe	8
e	7 + NPI	2 x dual + 2 x CUPHY + 3 x 1G SGMII + 2.5G NPI	D0	D1	D2	D3	D0	D1	D4	D6		D5			D10	9.5

- 表6-4中的配置2表示将交换芯片配置为4-combo + 3-SerDes。这是交换芯片的默认配置（HW_CFG = 0x0），其中：
  - 禁止QSGMII和PCIe。
  - 前四个交换芯片端口连接到内部铜PHY（Cu0-Cu3）和SerDes接口（S0-S3）。例如Cu0和S0。
  - Cu0和S0映射到D0（交换芯片端口0），并且同一时刻只有一个介质可以工作。这被称为组合端口。
  - SerDes S4、S5和S8映射到交换芯片端口D4、D5和D10。
- 配置b通过仅设置HW_CFG = 0x2使能PCIe来使能。使能PCIe后，HW_CFG的bit 6将不起作用。只能在SerDes s8上使能PCIe接口。
- 配置0是将交换芯片配置为4-combo + 1-SerDes + 1-QSGMII。该配置通过使能QSGMII接口（HW_CFG = 0x1）来使能。只能在s6上使能QSGMII接口。使能QSGMII后，QSGMII接口将始终映射到交换芯片端口D4、D5、D6和D7，并且HW_CFG的bit 2、bit 3和bit 4将不起作用。出于时序方面的考虑，建议为QSGMII中的所有四个端口使能TX，无论这些端口是否都连接到外部PHY。
- 配置c通过将HW_CFG设置为0x43来使能。
- 配置d是将交换芯片配置为1-combo + 3-Cu + 4-SerDes + 1-PCIe。该配置通过将HW_CFG设置为0x5e来使能。
- 配置e是将交换芯片配置为2-combo + 2-Cu + 4-SerDes。该配置通过将HW_CFG设置为0x54来使能。

© 2025 Microchip Technology Inc.及其子公司

7.0 内部铜PHY端口

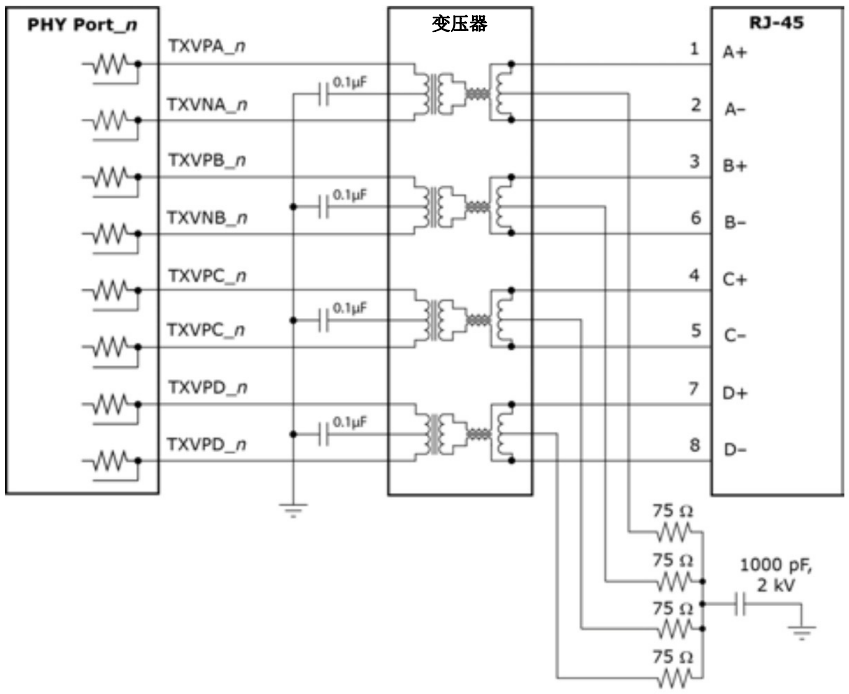
VSC7513/14提供四个内部铜千兆位（GbE）PHY。QSGMII接口或SGMII接口上可支持更多外部PHY。

7.1 铜PHY MDI接口

图7-1给出了建议用于内部铜PHY与变压器之间的连接。由于内部铜PHY采用电压模式线路驱动技术，因此变压器不需要中心抽头电压。建议将四个中心抽头分别通过单独的0.1 µF电容连接到GND，因为每个差分对的共模电压可能不同。PHY集成了终端电阻，因此无需外接终端电阻。

注： PHY集成了终端电阻，因此无需外接终端电阻。建议在RJ45/电缆侧使用至少8芯的磁件和共模扼流圈（Common Mode Choke，CMC）。

图7-1： 内部铜PHY端口与变压器之间的连接



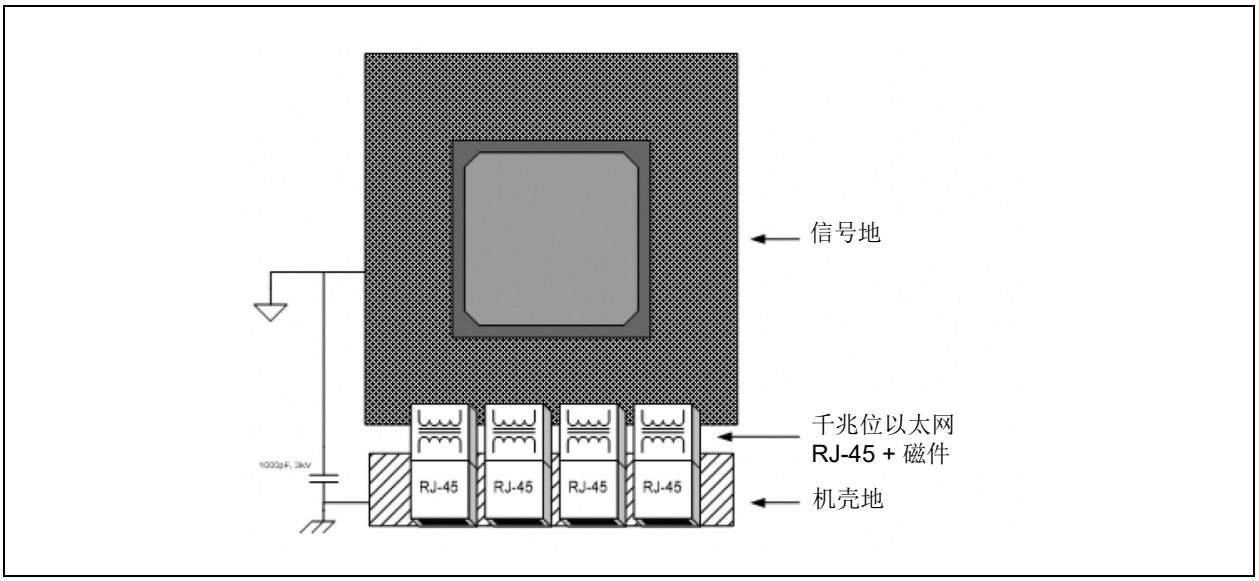
对于每个PHY端口，MDI接口分为四个差分对（A、B、C和D）。差分对C和D仅用于千兆位速度。在PCB上为这两个差分对布线时，其特性阻抗必须符合以下条件之一：

- 将每条单端走线以50Ω的特性阻抗（以地为参考）进行布线。
- 将每个端口上的每对正负走线作为差分特性阻抗为100Ω的差分对进行布线。

7.2 机壳地

若要将电路板与ESD事件隔离并阻断共模噪声接地路径，应分配单独的机壳地区域。这一单独的机壳地（如图7-2所示）应以电气方式连接到外部机壳和RJ-45连接器的屏蔽地。

图7-2： 建议的单独机壳地



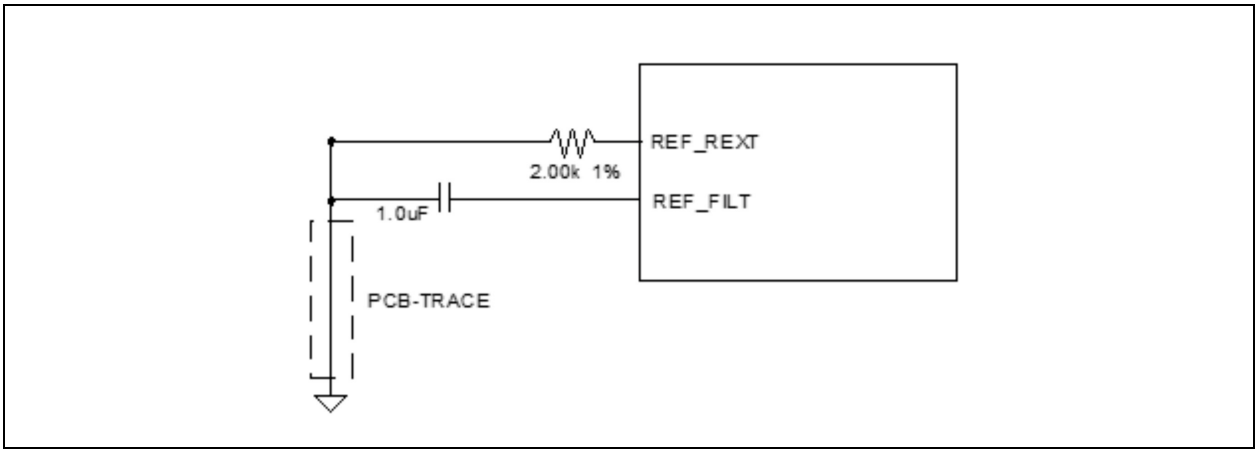
7.3 参考电压引脚

为了确保内部铜PHY正常工作，交换芯片必须在REF_FILT引脚处生成片上带隙参考电压。若要生成该参考电压，系统中的每个VSC7513/14都需要以下元件。

- 2.0 kΩ参考电阻，1%容差，最低1/16 W，连接至REF_REXT引脚
- 1 µF电容，容差为10%或更低，连接至REF_FILT引脚

若要实现最佳性能，需特别考虑参考电压电路的接地连接，以防出现导致参考电压不准确的总线压降。电阻和电容的接地连接均应连接到共用PCB信号走线（而非单独连接到公共地平面），如图7-3所示。该PCB信号走线随后应连接到地平面上的一点。此外，参考电容和电阻应尽可能靠近VSC7513/14放置。

图7-3： 参考电压电路



© 2025 Microchip Technology Inc.及其子公司

8.0 SERDES接口

如表6-1和表6-2所示，VSC7514支持6个1G SerDes接口和3个6G SerDes接口，VSC7513支持4个1G SerDes接口和3个6G SerDes接口。所有SerDes接口均可直接连接小尺寸可插拔（Small Form-factor Pluggable，SFP）模块，以支持100FX、1000BX和2.5G光纤端口。此外，这些接口还可以配置为SGMII以连接外部PHY。其中一个6G SerDes（S6）可配置为QSGMII以支持QSGMII PHY。此外，1G SerDes和6G SerDes还可支持MAC到MAC的连接和背板连接。

即使设计中未使能上述任何SerDes接口，也始终需要在SerDes_Rext_[1:0]之间连接一个620Ω ±1%的偏置电阻。

8.1 SFP端口

由于SFP模块中内置交流耦合电容，因此VSC7513/14 SerDes与SFP模块之间可以进行直流耦合。

交换芯片上的GPIO引脚可支持SFP控制信号。来自SFP模块的RX_LOS信号应连接到6个SFPx_SD输入之一，以支持对这些SFP端口的物理编码子层（Physical Coding Sub-layer，PCS）模块进行基于硬件的信号检测。SFPx_SD输入引脚与GPIO引脚复用。

或者，也可以由串行GPIO控制器通过四个SGPIO引脚（与GPIO_0-GPIO_3复用）来支持所有SFP I/O控制信号。将RX_LOS信号映射到SGPIO位时需要遵守一定的规则。关于SGPIO控制器，请参见**第9.0章“串行GPIO控制器”**。

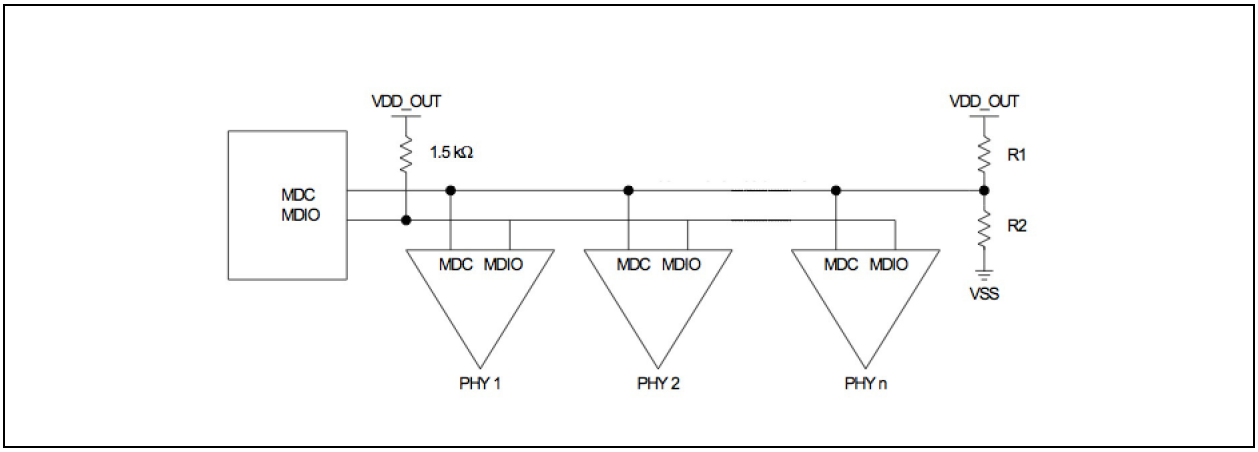
8.2 外部PHY

当SerDes接口用于连接外部PHY时，建议在交换芯片与外部PHY之间进行交流耦合。请注意交换芯片与PHY上关于RX和TX对的命名。通常，在PHY上，RX是输出对，TX是输入对。但在交换芯片上，命名方式则有所不同。确保交换芯片的输出对与PHY的输入对相连接，反之亦然。

为了使软件能够访问外部PHY寄存器，应将VSC7513/14通过MIIM接口连接到外部PHY。VSC7513/14支持两个MIIM接口：MIIM0和MIIM1。MIIM0是专用于访问内部PHY的内部总线。访问外部PHY时应使用MIIM1。

由于MDIO为漏极开路输出，因此应通过1.5 kΩ左右的电阻拉为高电平。将MDC/MDIO连接到多个PHY时，建议采用连接终端电阻的布线方案，如图8-1所示。MIIM控制器使用PHY地址来选择其中一个外部PHY，因此必须为同一MIIM接口上的每个PHY配置不同的PHY地址。

图8-1： 将MDC/MDIO连接到多个PHY



8.3 MAC到MAC的连接

建议对MAC到MAC的连接使用交流耦合，尤其是在接收端不是Microchip器件时。VSC7513/14内置100R终端电阻和偏置。如果接收端不是Microchip器件，应检查是否需要终端电阻和偏置。确保信号的方向和极性正确。建议对QSGMII接口等高速信号进行仿真。

由于MAC到MAC的连接或背板连接始终处于连接状态，因此可以忽略信号检测。

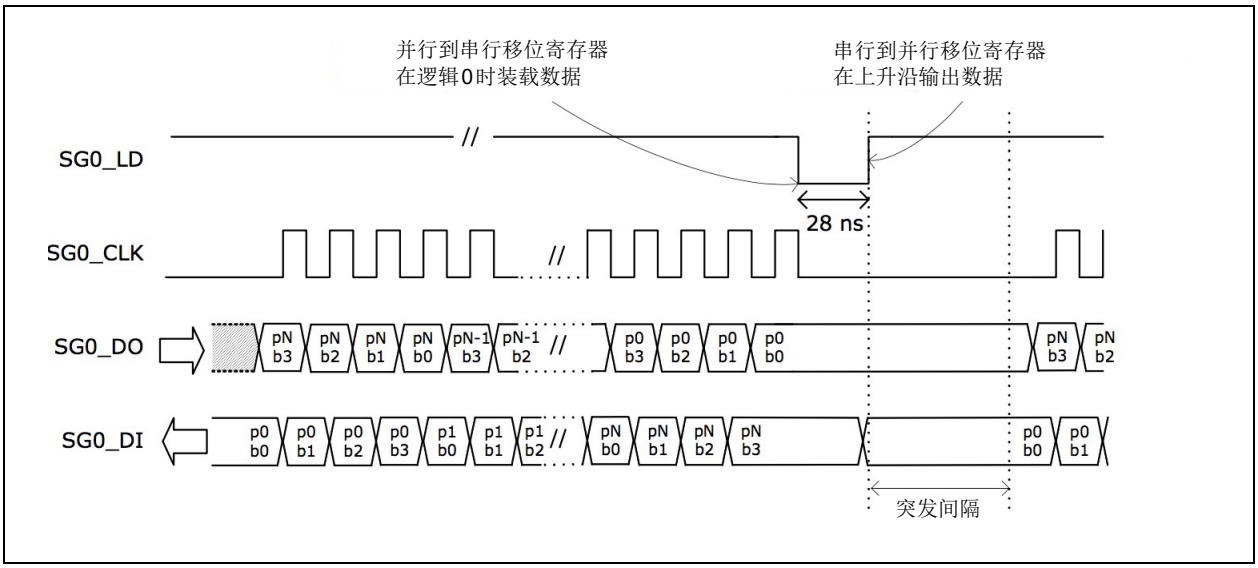
未使用的SerDes接口可以悬空。

© 2025 Microchip Technology Inc.及其子公司

9.0 串行GPIO控制器

串行GPIO控制器使用4引脚串行接口来扩展可用的通用I/O引脚数量。四个SGPIO引脚与GPIO_0-GPIO_3复用。图9-1显示了串行GPIO控制器的I/O时序。串行数据在SG_DO引脚上输出，由SG_CLK以突发方式提供时钟。每次突发后，SG_LD信号都会置为有效。在移出SG_DO上的串行输出的同时，串行GPIO控制器还会对SG_DI输入进行采样。在SG_DI上采样的值将提供给软件使用。

图9-1： SGPIO时序



突发的最大长度为128位数据周期，由32个端口组成，端口宽度为4位。但是，每个SGPIO端口都可以单独使能或禁止，并且端口宽度（每个端口的位数）也可集中进行配置。所有使能的端口都具有相同的端口宽度。端口使能和端口宽度配置对串行输入和输出均适用。

通过移位寄存器移动串行数据时，使用SG_LD可确保输出稳定（例如，SFP模块的TX_DIS输出信号）。实现方法是使用SG_LD信号在突发完成后将串行数据装载到并行输出引脚上。74HC595是支持装载输入的移位寄存器之一。当串行GPIO控制器用于串行LED输出时，可选择使用SG_LD，因为通常不会检测到串行数据何时更新（通过链路移动）。在这种情况下，也可以使用74HC164，它没有负载输入。

当串行输出位配置为支持链路/活动LED时，需要知道要在哪个SGPIO位上显示哪个交换芯片端口状态。这种映射不能完全通过软件进行编程。SGPIO控制器使用1:1映射，这意味着SGPIO端口0只能显示交换芯片端口0的链路/活动，SGPIO端口1只能显示交换芯片端口1的链路/活动，依此类推。

SGPIO控制器的串行输入功能可自动将信号检测（RX_LOS）路由到特定端口的内部PCS模块。此外，信号检测功能在交换芯片端口编号与SGPIO端口编号之间也使用1:1映射。并且，只有每个SGPIO端口的bit 0可以使能用于RX_LOS输入的信号检测。

在典型设计中，串行输出位可能多于串行输入位，特别是在支持串行LED时。由于SGPIO输入和输出共用端口使能和端口宽度配置，因此输入流和输出流中存在相同数量的串行位，这意味着输入链和输出链需要相同数量的外部移位寄存器。因此，串行输入链上会有一些移位寄存器得不到充分利用。为充分利用SGPIO输入位所在的移位寄存器，可以对串行输入位进行循环处理——另外需要将SG_DI输入信号连接到最后一个移位寄存器的串行输入引脚以构成循环，这样便可以复制该循环中的位，扩展整个串行流的长度。更多详细信息，请参见有关SGPIO的Microchip参考设计和应用笔记。

10.0 其他接口

10.1 UART

VSC7513/14支持两个UART接口。第一个UART接口与GPIO_6和GPIO_7复用，该接口既可以供软件用于上传映像，也可以用作命令行接口来控制和监视交换芯片。它必须通过RS-232接口提供。第二个UART（UART2）接口与GPIO_12和GPIO_13复用。该接口可用于在精密时间协议（Precision Time Protocol，PTP）应用中发送或接收当日时间（Time-of-day，ToD）帧。

10.2 I^2C

双线串行接口（TWI）与I^2C兼容。它使用两个引脚，分别与GPIO_16和GPIO_17复用。建议将这两个引脚拉为高电平。VSC7513/14本身支持连接多个使用同一地址的I^2C器件（如SFP模块）。这是通过复用时钟输出（TWI_SCL_Mn）而非TWI_SCL来实现的。根据需要通信的器件，软件可以使能或禁止不同的时钟。TWI_SCL_Mn引脚与GPIO_6-GPIO_15和GPIO_17-GPIO_21复用。

11.0 系统复位

在所有电源电压达到其建议的工作条件值之前，nRESET和JTAG_nTRST输入必须保持低电平。不使用JTAG接口时，建议将JTAG_nTRST拉为低电平。当电源和参考时钟有效后，必须将nRESET（低电平有效）置为无效至少20 ms的时间。因此，必须在nRESET引脚上使用带上电复位（Power-On Reset，POR）延时电路的复位发生器。此外，还建议使用带手动输入的复位发生器，以便在PCB上的闪存编程期间可以将交换芯片置于复位状态。更多详细信息，请参见**第5.1.1节“闪存”**。当复位信号复位VSC7514交换芯片时，闪存、外部PHY、SGPIO的移位寄存器以及其他必须置于已知状态的元件也将一并复位。建议使用其中一个GPIO引脚（参考设计中使用GPIO_19）来复位DDR存储器，以便软件可以对DDR存储器进行额外的控制。

12.0 SYNCE和PTP

VSC7513/14支持从四个内部铜PHY端口或任何SerDes接口恢复SyncE时钟。恢复后的时钟共用两个恢复时钟输出引脚（与GPIO_20和GPIO_21复用）。对于SyncE应用，两个恢复时钟输出引脚连接到外部数字锁相环（Digital Phase Locked Loop，DPLL）的输入。DPLL输出环回至VSC7513/14的参考时钟输入。确保DPLL输出正确的时钟信号，以便VSC7513/14在上电后进行引导。

此外，VSC7513/14还支持PTP应用。GPIO_18和GPIO_19既可以配置为PTP 1PPS输入或输出，也可以配置为输出可编程的时钟信号。UART2可用于发送或接收ToD帧。

通常，对于纯E2E或P2P透明时钟器件，不需要外部元件。但是，对于频率同步应用中的高精度OC主/从器件，建议使用外部DPLL。当前软件支持Microchip ZL30363系列SyncE+PTP DPLL。请联系Microchip获取最新推荐的软件和硬件解决方案。

© 2025 Microchip Technology Inc. 及其子公司

13.0 硬件检查清单汇总

表13-1： 硬件设计检查清单

章节	检查	说明	√	注
第2.0章“一般注意事项”	第2.1节“所需参考资料”	准备好所有必要的文件。		
	第2.2节“引脚检查”	引脚应符合数据手册的要求，尽可能保留参考设计中GPIO的用途，以最大程度地减少软件开销。		
	第2.3节“配置脚”	检查VCORE_CFG[3:0]是否与引导模式匹配，REFCLKSEL[2:0]是否与参考时钟频率匹配。		
第3.0章“电源”	第3.0节“电源”	每个电源轨都应配有大容量电容和高频去耦电容。		
		模拟电源应通过铁氧体磁珠与数字电源隔离。		
		检查电源排序。		
第4.0章“参考时钟”	第4.1节“差分时钟”	检查差分时钟是否与LDVS兼容。有关参考时钟输入电压范围的规范，请参见数据手册。		
	第4.2节“单端REFCLK输入”	检查电阻网络的电阻值。		
第5.0章“CPU系统”	第5.1节“内部CPU模式”	检查VCORE_CFG[3:0]配置脚。		
		检查SPI闪存。可能需要电压转换缓冲器。		
		检查DDR3。检查DDR_REXT。		
	第5.2节“外部CPU模式”	检查VCORE_CFG[3:0]配置脚。		
		检查用作外部CPU与VSC7513/14之间的管理接口的SPI从接口、MIIM从接口或PCIe®接口。		
		检查DDR_REXT，外部DDR校准。 将该引脚通过240Ω ±1%的电阻接地。		
第6.0章“端口配置”	第6.0节“端口配置”	确保VSC7513/14可支持所选的铜PHY端口和SerDes端口组合。		

© 2025 Microchip Technology Inc.及其子公司

表13-1： 硬件设计检查清单 （续）

章节	检查	说明	√	注
第7.0章“内部铜PHY端口”	第7.1节“铜PHY MDI接口”	检查磁件连接。不允许存在中心抽头电压，而且不需要外部终端电阻。		
	第7.2节“机壳地”	建议使用机壳地。		
	第7.3节“参考电压引脚”	对REF_REXT使用2.0 kΩ、1%的电阻，对REF_FILT使用1 µF的电容。对REF_FILT和REF_REXT使用单点接地。		
第8.0章“SerDes接口”	第8.0节“SerDes接口”	在SerDes_Rext_0与SerDes_Rext_1之间连接一个620Ω ±1%的外部电阻，用于模拟偏置校准。		
	第8.1节“SFP端口”	确保SerDes极性正确。检查SFP控制信号。建议将RX_LOS连接到交换芯片（SFPx_SD输入或SGPIO）。		
		建议将所有SFP控制信号拉为高电平。		
	第8.2节“外部PHY”	建议使用交流耦合。检查信号方向。检查MIIM连接和拓扑。		
	第8.3节“MAC到MAC的连接”	建议使用交流耦合。检查信号方向。		
第9.0章“串行GPIO控制器”	第9.0章“串行GPIO控制器”	针对链路/活动LED输出和RX_LOS信号输入检查交换芯片端口到SGPIO端口的映射。		
第10.0章“其他接口”	第10.1节“UART”	使UART可用于映像加载和CLI。		
	第10.2节“I^2C”	需要拉为高电平。针对多个具有相同地址的I^2C从器件（如SFP模块）使用复用时钟输出。		
第11.0章“系统复位”	第11.0章“系统复位”	检查系统复位输出是否复位所有器件和电路板——交换芯片、PHY、闪存和SGPIO移位寄存器等。执行PCB闪存编程时，将交换芯片置于复位状态。建议使用DDR3软件复位。		
第12.0章“SyncE和PTP”	第12.0章“SyncE和PTP”	检查是否需要外部DPLL。查找推荐的ZL30xxx DPLL。		

© 2025 Microchip Technology Inc.及其子公司

附录A： 版本历史

表A-1： 版本历史

版本与日期	节/图/条目	更正
DS00003199A （2019年8月23日）		初始版本

MICROCHIP 网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。我们的网站提供以下内容：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 设计伙伴计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、 Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请访问 www.microchip.com/pcn，然后按照注册说明进行操作。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （ESE）
- 技术支持

客户应联系其代理商、代表或 ESE 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

© 2025 Microchip Technology Inc. 及其子公司

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用且符合工作规范的情况下， Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》（Digital Millennium Copyright Act）。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 https://www.microchip.com/en-us/support/design-help/client-supportservices。

Microchip“按原样”提供这些信息。 Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或间接的损失、损害或任何类型的开销， Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔， Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

有关 Microchip 质量管理体系的更多信息，请访问 www.microchip.com/quality。

商标

Microchip 的名称和徽标组合、Microchip 徽标、Adaptec、AVR、AVR 徽标、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi 徽标、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST 徽标、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron 及 XMEGA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

AgileSwitch、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus 徽标、Quiet-Wire、SmartFusion、SyncWorld、TimeCesium、TimeHub、TimePictra、TimeProvider 和 ZL 均为 Microchip Technology Incorporated 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、EyeOpen、GridTime、IdealBridge、IGaT、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、MarginLink、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、mSiC、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、Power MOS IV、Power MOS 7、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、Turing、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect 和 ZENA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Incorporated 在美国的服务标记。

Adaptec 徽标、Frequency on Demand、Silicon Storage Technology 和 Symmcom 均为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2025, Microchip Technology Incorporated 及其子公司版权所有。

ISBN：979-8-3371-0114-9

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733

印度 India - Bangalore
Tel: 91-80-3090-4444

印度 India - New Delhi
Tel: 91-11-4160-8631

印度 India - Pune
Tel: 91-20-4121-0141

日本 Japan - Osaka
Tel: 81-6-6152-7160

日本 Japan - Tokyo
Tel: 81-3-6880-3770

韩国 Korea - Daegu
Tel: 82-53-744-4301

韩国 Korea - Seoul
Tel: 82-2-554-7200

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870

菲律宾 Philippines - Manila
Tel: 63-2-634-9065

新加坡 Singapore
Tel: 65-6334-8870

泰国 Thailand - Bangkok
Tel: 66-2-694-1351

越南 Vietnam - Ho Chi Minh
Tel: 84-28-5448-2100

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4485-5910
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-72400

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Hod Hasharon
Tel: 972-9-775-5100

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7288-4388

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2025 Microchip Technology Inc. 及其子公司