KSZ989x/KSZ956x/KSZ9477

硬件设计检查清单

1.0 简介

本文档提供了KSZ 6和7端口千兆位以太网系列交换芯片（包括KSZ9896、KSZ9897R、KSZ9897S、KSZ9567R、KSZ9567S和KSZ9477）的硬件设计检查清单。在本硬件设计检查清单中，KSZ989x/KSZ956x/KSZ9477代表整个交换芯片系列。在新电路板设计中使用KSZ989x/KSZ956x/KSZ9477交换芯片系列时，应遵循检查清单中的各项内容。

第15.0章“硬件检查清单汇总”（第31页）对这些内容进行了汇总。有关各项内容的详细信息，可参见相应的章节：

- 第2.0节“一般注意事项”
- 第3.0节“电源/接地连接”
- 第4.0节“参考时钟电路和连接”
- 第5.0节“ISET电阻”
- 第6.0节“以太网PHY端口”
- 第7.0节“管理总线”
- 第8.0节“并行MAC接口”
- 第9.0节“串行MAC接口”
- 第10.0节“LED指示灯引脚”
- 第11.0节“GPIO引脚（适用于支持1588的KSZ9567R、KSZ9567S和KSZ9477）”
- 第13.0节“SYNCLKO（适用于支持SYNCE的KSZ9567R、KSZ9567S和KSZ9477）”
- 第14.0节“其他”

2.0 一般注意事项

2.1 所需参考资料

KSZ989x/KSZ956x/KSZ9477实现者手头应备有以下文档：

- KSZ9897R、KSZ9897S、KSZ9567R、KSZ9567S、KSZ9477和KSZ9896数据手册
- KSZ9897R、KSZ9897S、KSZ9567R、KSZ9567S、KSZ9477和KSZ9896芯片勘误表和数据手册错误澄清
- KSZ9897R、KSZ9897S、KSZ9567R、KSZ9567S、KSZ9477和KSZ9896 IBIS模型
- EVB-KSZ9897电路板原理图和PCB布线图
- EVB-KSZ9477电路板原理图和PCB布线图
- *EVB-KSZ9897 Evaluation Board User's Guide*
- *EVB-KSZ9477 Evaluation Board User's Guide*
- *AN2647 Interfacing the SGMII Port on KSZ9xx7S and KSZ8567S Switches Application Note*

2.2 引脚检查

- 通过检查确保封装方向和封装俯视图的引脚编号顺序为逆时针方向。有关更多信息，请参见KSZ989x/KSZ956x/KSZ9477系列交换芯片的数据手册。
- 对照数据手册检查器件的引脚分配。确保所有引脚均符合数据手册的要求，并将其配置为输入、输出或双向以进行错误检查。将两个器件的引脚相连时，一定要参照相关数据手册来检查引脚的类型，以免相连的引脚都是输入引脚或输出引脚。不要单凭两个器件之间的总线接口的引脚名称来判断。对于不同的接口，同一名称的引脚既可能定义为输入也可能定义为输出。尤其是**RGMII**、**RMII**和**MII**引脚，其名称可能与直觉相反。

- KSZ989x/KSZ956x/KSZ9477 系列交换芯片利用配置脚来配置器件的不同模式。这些配置脚通过内部和外部上拉 / 下拉电阻进行配置，以使器件上电或软件复位周期结束时采样的引脚上产生高电平或低电平状态。从硬件 / 软件掉电或硬件复位状态（**RESET_N**的上升沿）上电时，会锁存这些引脚。
- 请注意，内部上拉/下拉电阻可能不足以在复位期间设置所需的逻辑电平。例如，与RGMII/RMII/MII接口相连的器件的输入端可能也有内部上拉或下拉电阻，这些电阻可能会压制KSZ989x/KSZ956x/KSZ9477中相对较弱的内部电阻，进而导致RGMII/RMII/MII上复用的配置脚输入引脚信号被锁存在错误的电平。如果怀疑存在这种情况，可使用外部电阻来建立所需的逻辑电平。
- 将某个**LED**引脚配置为低电平时，必须考虑该**LED**所带来的影响。请参见第10.0节“LED指示灯引脚”。表2-1详细介绍了配置脚及其相关功能。

表2-1： 配置脚说明

配置脚	说明
LED1_1	**流控制（所有端口）** 0 = 禁止流控制 1 = 使能流控制（默认）
LED2_1	**链路接通模式（所有PHY）** 0 = 快速链路接通：禁止自动协商和自动MDI/MDI-X。 1 = 正常链路接通：使能自动协商和自动MDI/MDI-X（默认）。 请参见**注1**。
LED4_0和LED2_0	**当配置脚输入上的LED2_1 = 1时（正常链路接通）：** **[LED4_0和LED2_0]：自动协商使能（所有PHY）/NAND树测试模式** 00 = 保留 01 = 禁止自动协商，强制为100 Mbps和半双工。自动MDI-X开启。 10 = NAND树测试模式 11 = 使能自动协商（默认） **当配置脚输入上的LED2_1 = 0时（快速链路接通；所有PHY为全双工；自动协商和自动MDI-X关闭）：** **LED2_0：1000BASE-T主/从模式，10/100BASE-T MDI/MDI-X模式（所有PHY）** 0 = 1000BASE-T：从模式 10/100BASE-T：MDI-X 1 = 1000BASE-T：主模式（默认） 10/100BASE-T：MDI（默认） **LED4_0：PHY速度选择（所有PHY）** 0 = 1000BASE-T 1 = 100BASE-TX（默认）
LED4_1和LED3_1	**[LED4_1和LED3_1]：管理接口模式** 00 = MIIM（MDIO） 01 = I^2C 1x = SPI（默认）

注 1： 由于快速链路接通禁止自动协商和自动交叉功能，因此它仅适用于专门的应用。

2： 如果端口6配置为MII或RMII，则将速度设置为100 Mbps。

3： 如果端口7配置为MII或RMII，则将速度设置为100 Mbps。

© 2023 Microchip Technology Inc. 及其子公司

表2-1： 配置脚说明

配置脚	说明
LED5_1	**启动时的交换使能** 0 = 禁止启动交换。在交换操作寄存器中的启动交换位置1后，交换芯片才会转发数据包。 1 = 使能启动交换。交换芯片将在复位后立即转发数据包（默认）。
RXD6_3和RXD6_2	**[RXD6_3和RXD6_2]：端口6模式** 00 = RGMII（默认） 01 = RMII 10 = GMII/MII（仅限KSZ9896） 11 = MII
RXD6_1	**端口6 MII/RMII模式** 0 = MII：PHY模式（默认） RMII：时钟模式。**REFCLKO6**上输出RMII 50 MHz参考时钟（默认）。 GMII：PHY模式（仅限KSZ9896） RGMII：无影响 1 = MII：MAC模式 RMII：正常模式。RMII 50 MHz参考时钟输入到**REFCLKI6**上。 GMII：MAC模式（仅限KSZ9896） RGMII：无影响
RXD6_0	**端口6速度选择** 0 = 1000 Mbps模式（默认） 1 = 100 Mbps模式 请参见**注2**。
RXD7_3和RXD7_2（不适用于KSZ9567S、KSZ9477、KSZ9896和KSZ9897S）	**[RXD7_3和RXD7_2]：端口7模式** 00 = RGMII（默认） 01 = RMII 10 = 保留 11 = MII
RXD7_1（不适用于KSZ9567S、KSZ9477、KSZ9896和KSZ9897S）	**端口7 MII/RMII模式** 0 = MII：PHY模式（默认） RMII：时钟模式。**REFCLKO7**上输出RMII 50 MHz参考时钟（默认）。 RGMII：无影响 1 = MII：MAC模式 RMII：正常模式。RMII 50 MHz参考时钟输入到**REFCLKI7**上。 RGMII：无影响
RXD7_0（不适用于KSZ9567S、KSZ9477、KSZ9896和KSZ9897S）	**端口7速度选择** 0 = 1000 Mbps模式（默认） 1 = 100 Mbps模式 请参见**注3**。

注 1： 由于快速链路接通禁止自动协商和自动交叉功能，因此它仅适用于专门的应用。

2： 如果端口6配置为MII或RMII，则将速度设置为100 Mbps。

3： 如果端口7配置为MII或RMII，则将速度设置为100 Mbps。

表2-1： 配置脚说明

配置脚	说明
RX_DV7/CRS_DV7/ RX_CTL7（适用于 KSZ9897R和 KSZ9567R） 或 IBA（适用于 KSZ9567S、KSZ9477 和KSZ9897S） 或 RX_DV6/CRS_DV6/ RX_CTL6（仅限 KSZ9896）	**带内管理** 0 = 禁止带内管理（默认） 1 = 使能带内管理
RX_ER6/RX_CLK6 （仅限KSZ9896）	**GMII/MII时钟模式** 0 = 双线时钟模式（默认） 1 = 三线时钟模式 这些模式会影响端口6 RX信号上输出数据的GMII和MII时钟。配置脚值可在端口6 XMII端口控制0寄存器的bit 0中读取，并且可以改写。 在双线模式下，引脚72（RX_CLK6/REFCLKO6）用于GMII输出时钟或MII时钟。 在三线模式下，引脚72（RX_CLK6/REFCLKO6）用于GMII输出时钟，引脚75（RX_ER6/ RX_CLK6）用于MII输入时钟（在MAC模式下）。在MAC模式下，可以选择三线模式来连接1000/100/10 Mbps PHY，该PHY分别为GMII（1000 Mbps）GTX_CLK时钟和MII（100/ 10 Mbps）TX_CLK时钟提供了单独的引脚。 当MAC接口不需要在GMII与MII之间切换时或者处于PHY模式时，请勿选择三线模式。

注 1： 由于快速链路接通禁止自动协商和自动交叉功能，因此它仅适用于专门的应用。

2： 如果端口6配置为MII或RMII，则将速度设置为100 Mbps。

3： 如果端口7配置为MII或RMII，则将速度设置为100 Mbps。

注： SPI 通信协议通常使用术语“master”和“slave”。本文档中使用了含义相同的 Microchip 术语“host”和“client”。

© 2023 Microchip Technology Inc.及其子公司

3.0 电源/接地连接

3.1 电源和接地框图

图3-1给出了KSZ9897R、KSZ9567R和KSZ9896的电源和接地连接。KSZ9567S、KSZ9477和KSZ9897S具有SGMII/SERDES接口，该接口需要连接2.5V（**VDDHS**）和1.2V（**VDDLS**）。图3-2给出了这些交换芯片的电源和接地连接。

图3-1： KSZ9897R、KSZ9896和KSZ9567R的电源和接地连接

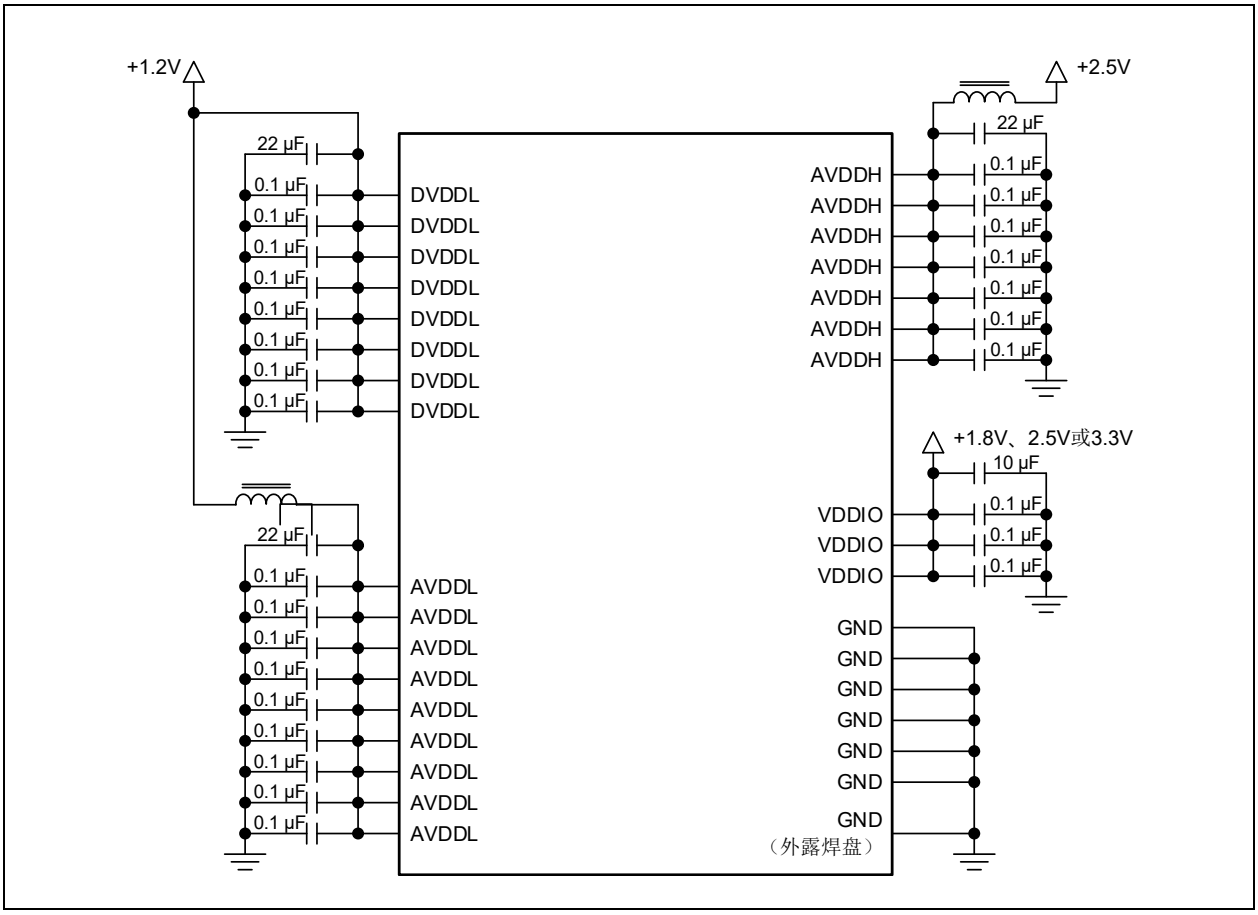
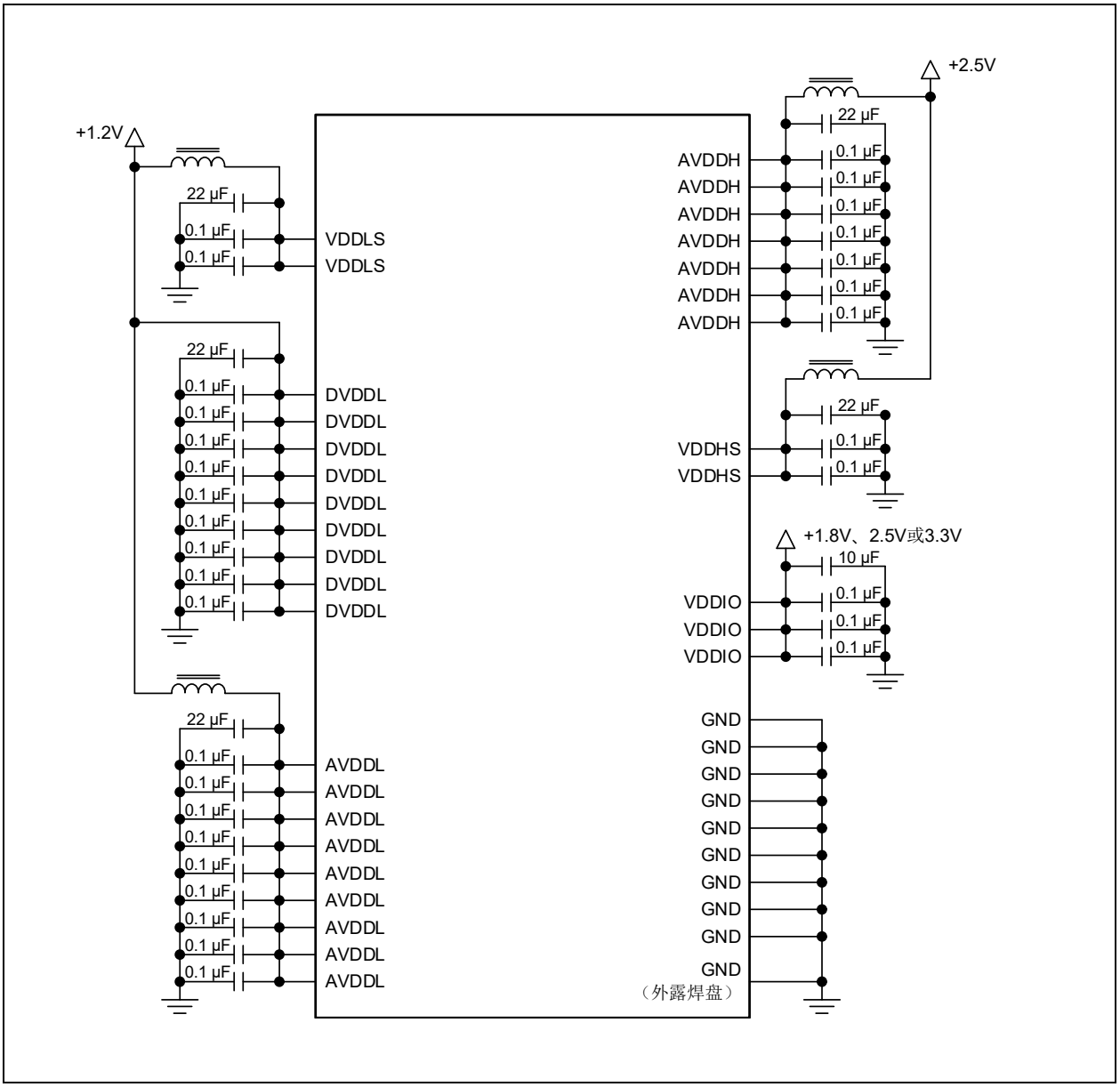


图3-2： KSZ9567S、KSZ9477和KSZ9897S的电源和接地连接



3.2 电源引脚

下面提供了有关图3-1和图3-2中电源引脚及其连接的注意事项。

- **VDDIO**为数字**I/O**引脚供电，支持+3.3V、+2.5V或+1.8V三种工作电压。
- **AVDDH**为模拟收发器供电，工作电压为+2.5V，并且应在电路板电源之间串联一个铁氧体磁珠以提供进一步的滤波。
- **DVDDL**为数字内核供电，工作电压为+1.2V。
- **AVDDL**为模拟内核供电，工作电压为+1.2V。如果使用一个1.2V的电路板电源，则应在**AVDDL**电源与+1.2V电源之间串联一个铁氧体磁珠以提供进一步的滤波。
- **VDDLS**为SGMII/SERDES模块（KSZ9567S、KSZ9477和KSZ9897S）供电，工作电压为+1.2V。如果使用一个1.2V的电路板电源，则应在**VDDLS**电源与+1.2V电源之间串联一个铁氧体磁珠以提供进一步的滤波。

© 2023 Microchip Technology Inc.及其子公司

- **VDDHS**为SGMII/SERDES模块（KSZ9567S、KSZ9477和KSZ9897S）供电，工作电压为+2.5V。如果使用一个2.5V的电路板电源，则应在**VDDHS**电源与+2.5V电源之间串联一个铁氧体磁珠以提供进一步的滤波。
- 每个电源引脚都需要连接一个0.1 µF的去耦电容。这些去耦电容应尽可能靠近电源引脚放置，不要使用过孔。
- 铁氧体磁珠应符合以下规范：阻抗为80Ω至220Ω（100 MHz时），R_{DC}≤ 0.05Ω（对于1.2V电源）或≤ 0.1Ω（对于3.3V电源）。
  - **DVDDL**的电流为900 mA（如果为**DVDDL**使用铁氧体磁珠）
  - **AVDDL**的电流为500 mA
  - **AVDDH**的电流为400 mA
- 应在器件附近的每个电源轨上放置一个大电容。这些电容的典型容值为22 µF，等效串联电阻（Equivalent Series Resistance，ESR）不超过1Ω。为确保设计稳定性，Microchip建议使用超低ESR的陶瓷电容。
- 全部四个电源轨（**VDDIO**、**AVDDH**、**DVDDL**、**AVDDL**、**VDDLS**和**VDDHS**）各自的纹波都应低于50 mVp-p。

3.3 接地引脚和外露焊盘

下面提供了有关图3-1和图3-2中接地引脚和外露焊盘地及其连接的注意事项。

- 芯片底部的外露焊盘（Exposed pad，E-pad）地应直接连接到电路板上的固定地平面。有关E-pad尺寸、建议焊盘图案以及热过孔尺寸和数量要求的信息，请参见器件数据手册。
- 所有**GND**引脚和E-pad都应直接连接到同一公共地平面。

3.3.1 上电/掉电顺序

- 建议同时施加所有电压。如果无法实现，则先为收发器（AVDDH）和数字I/O（VDDIO）上电，再为低电压内核（AVDDL和DVDDL）上电。收发器（**AVDDH**）和数字I/O（**VDDIO**）电源轨之间没有上电顺序要求。所有电源电压的上电波形都应该是单调的。对于SGMII/SERDES电源，优先采用先VDDLS再VDDHS的顺序。
- 推荐的掉电顺序是先为低电压内核掉电，再为收发器和数字I/O掉电，也可以将所有电源同时切断。
- 在下一个上电周期之前，器件的所有电源电压都应该低于0.4V，并且从掉电到上电的最小等待时间应为150 ms。

4.0 参考时钟电路和连接

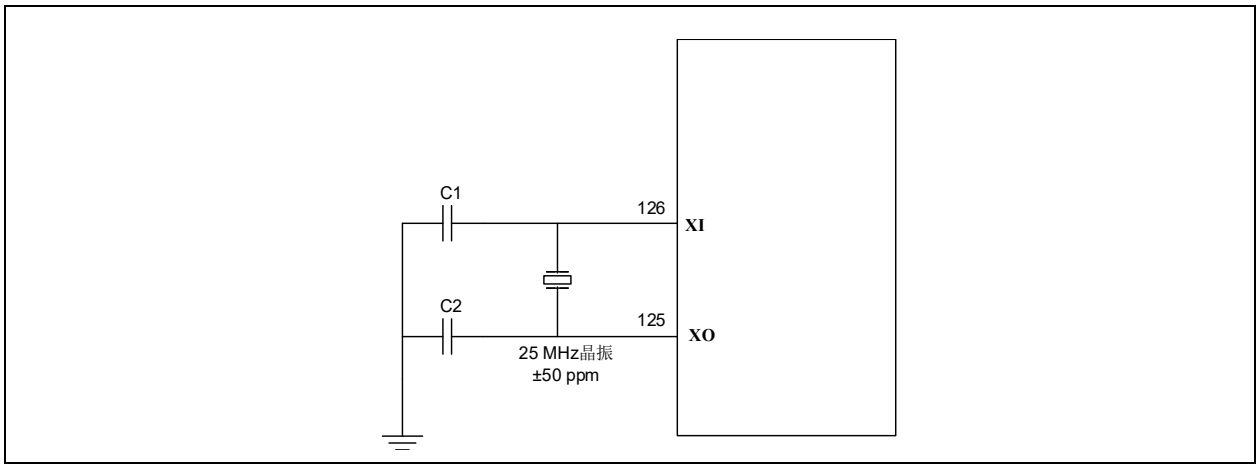
器件需要25 MHz的参考时钟。可以选择使用晶振或外部时钟源来提供该时钟。

4.1 晶振电路

下面提供了有关图4-1中晶振电路的注意事项。

- 在**XI**（引脚126）与**XO**（引脚125）之间连接一个25 MHz（+/-50 ppm）的晶振。有关晶振要求，请参见KSZ989x/KSZ956x/KSZ9477系列交换芯片的数据手册。
- 晶振电容（C1和C2）值应基于所选晶振的C_L规范以及PCB走线、**XI**引脚和**XO**引脚的杂散电容来计算。请注意，C1和C2 ≠ C_L。
- 所选的晶振以及PCB设计和布局都会影响晶振电路的性能。当电路板上电并运行后，建议在所有系统运行条件下检查频率精度，具体在时钟输出引脚进行测量，而不是探测**XI**或**XO**。

图4-1： 晶振电路



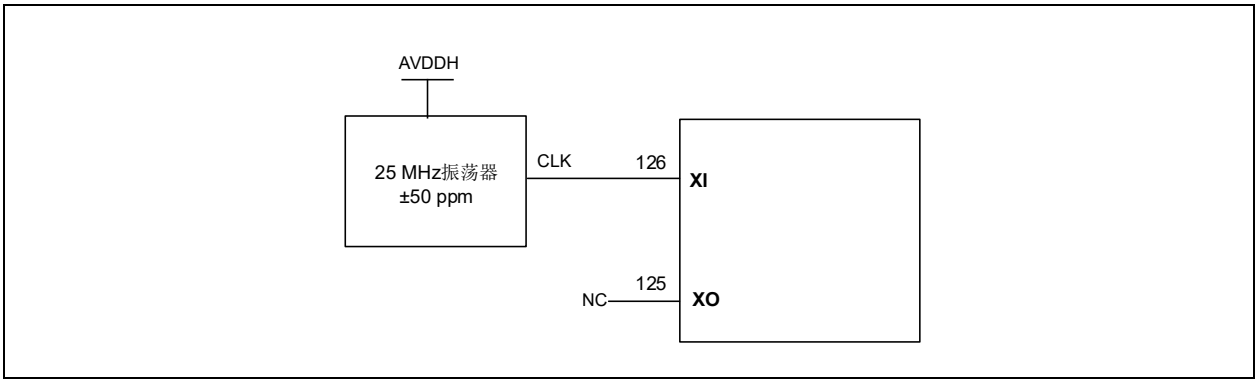
4.2 外部时钟源/振荡器电路

下面提供了有关图4-2中外部时钟/振荡器电路的注意事项。

- **XI**（引脚126）是外部时钟源的输入。
- **XO**（引脚125）无连接。
- 使用总周期抖动（峰-峰值）小于100 ps的25 MHz（±50 ppm）时钟源，例如振荡器。
- 建议在时钟输出引脚上连接一个源串联终端电阻。
- 振荡器电源电压应与KSZ989x/KSZ956x/KSZ9477 AVDDH电压相匹配。如果不匹配，则应通过一个0.1 µF的电容将时钟交流耦合到**XI**输入。

© 2023 Microchip Technology Inc.及其子公司

图4-2： 外部时钟源/振荡器电路



5.0 ISET电阻

KSZ989x/KSZ956x/KSZ9477的**ISET**引脚应通过一个6.04 kΩ，1%的电阻连接到信号地。

- 将电阻靠近**ISET**引脚放置。
- 不要将任何电容与ISET电阻并联。
- 将所有信号（尤其是时钟信号和高频信号）远离该引脚，以避免发生耦合。
- 请勿将ISET电阻的接地过孔用于任何其他元件。

6.0 以太网PHY端口

6.1 未使用的PHY端口

如果未使用PHY端口，则将所有八个引脚保持未连接状态。

6.2 磁件选择

- 介质接口处需要使用1:1隔离变压器。对于超出FCC要求的设计，需使用集成共模扼流圈的变压器。扼流圈后面的可选自动变压器级会带来额外的共模噪声和信号衰减。
- 要在具有双通道磁件（仅支持10/100速度）的设计中支持自动MDI/MDI-X，这两个通道的磁件必须相同。

表6-1给出了建议的磁件特性列表。

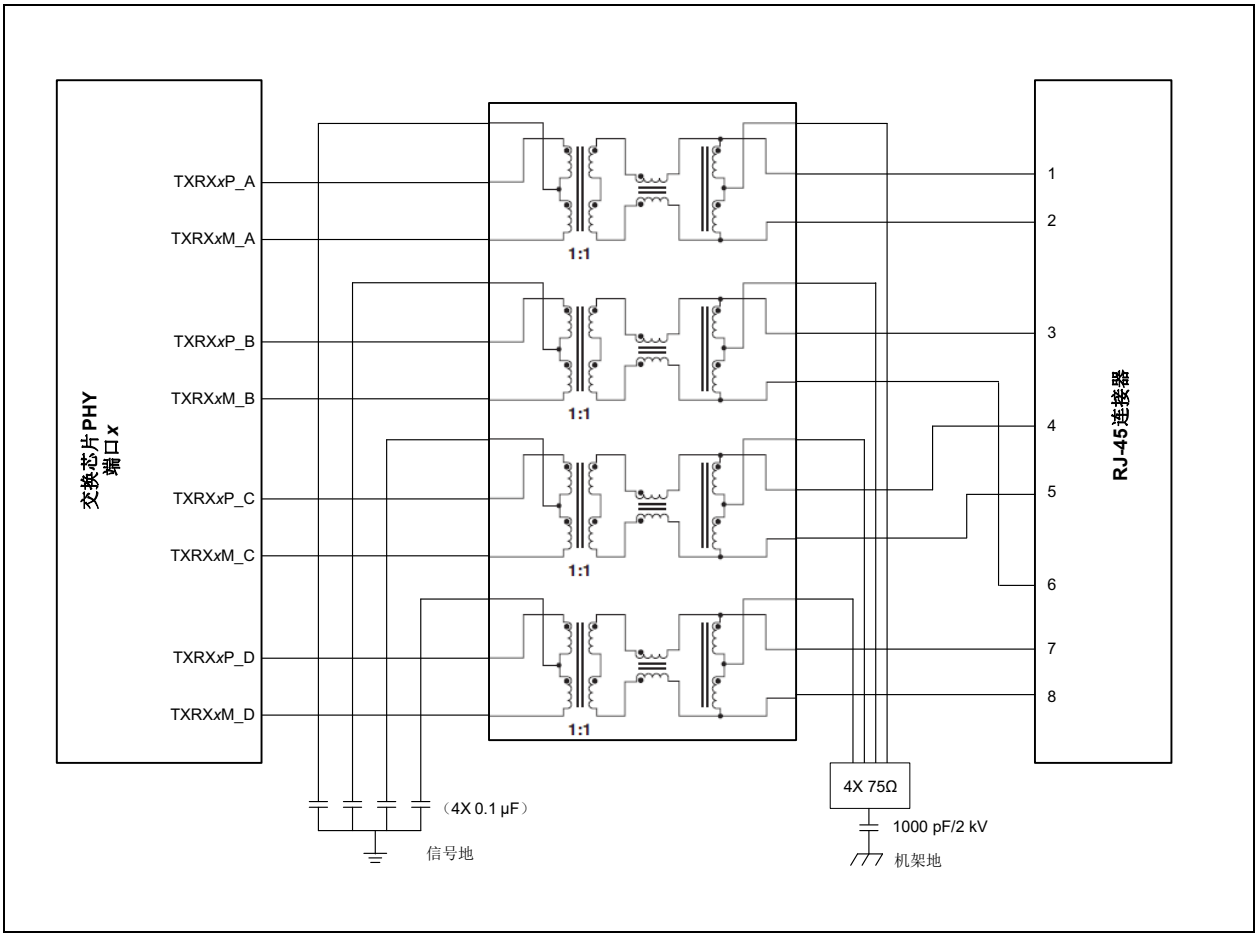
表6-1： 磁件选择标准

参数	值	测试条件
匝数比	1 CT:1 CT	—
开路电感（最小值）	350 µH	100 mV，100 kHz，8 mA
插入损耗（最大值）	1.0 dB	100 kHz至100 MHz
HIPOT（最小值）	1500 Vrms	—

6.3 10/100/1000 Mbps（千兆位）以太网接口

图6-1针对千兆以太网给出了KSZ989x/KSZ956x/KSZ9477系列交换芯片、磁件和RJ45连接器之间的以太网信号连接方式。

图6-1： 千兆位以太网连接



该器件具有电压模式驱动器，其要求与电流模式驱动器有所不同。请遵循以下几点：

- 芯片侧变压器的所有中心抽头都通过0.1 µF的电容单独连接到信号地。
- 不要将中心抽头连接在一起。许多磁件模块和集成的插孔会将中心抽头连接在一起，因此选择磁件时要小心谨慎。将中心抽头连接在一起可能会导致性能下降。
- 不要将中心抽头连接到电源电压。
- 线路侧变压器的所有中心抽头都应通过75Ω的终端电阻单独连接到一个公共节点。该公共节点随后通过一个1000 pF，2 kV的电容连接到机架地。
- RJ45连接器的金属外壳屏蔽层也连接到机架地。

© 2023 Microchip Technology Inc.及其子公司

6.4 仅支持10/100 Mbps的以太网

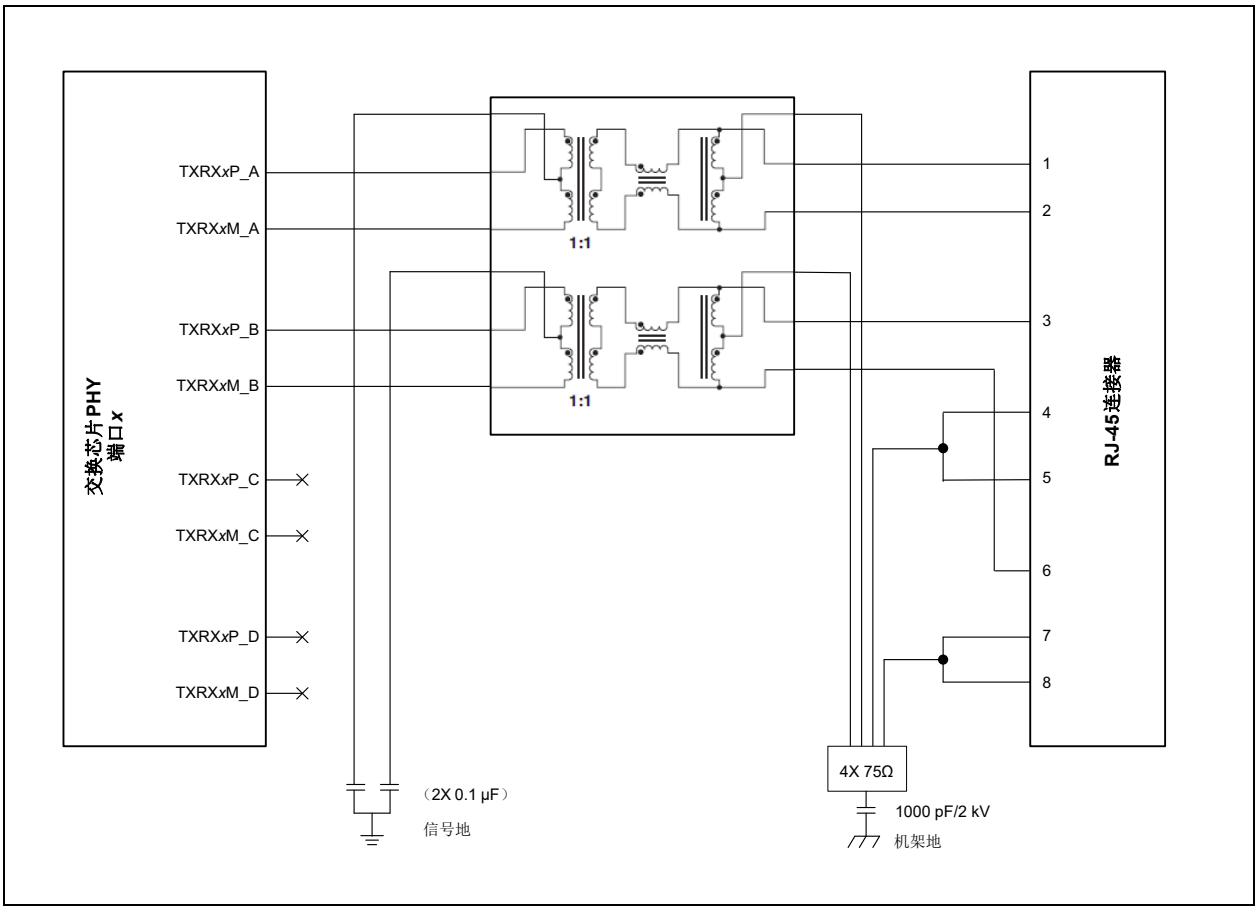
如果应用需要将链路接通速度限制为10/100 Mbps，则应禁止1000BASE-T能力的自动协商通告，以避免在连接到支持1000 Mbps速度的链路伙伴时发生链路接通失败。上电或复位后，请按照下列步骤编程以下16位端口N寄存器位设置（其中N为1表示端口1，N为2表示端口2，依此类推）：

1. 将端口寄存器0xN100中的Bit [6]设置为0以删除1000 Mbps速度。
2. 将端口寄存器0xN112中的Bit [9:8]设置为00以删除1000 Mbps全双工/半双工的自动协商通告。
3. 向寄存器0xN100中的Bit [9]（自清零位）写入1以强制重新启动自动协商。

6.4.1 10/100 Mbps以太网磁件和连接器

图6-2针对仅支持10/100 Mbps速度的端口给出了KSZ989x/KSZ956x/KSZ9477、磁件和RJ45连接器之间的以太网信号连接方式。

图6-2： 快速以太网磁件连接（MDI模式）



10/100 Mbps端口的磁件配置与千兆以太网端口类似。

- 使用差分对A和B，不连接差分对C和D。
- 芯片侧变压器的两个中心抽头都通过0.1 µF的电容单独连接到信号地。
- 线路侧变压器的两个中心抽头都应通过75Ω的终端电阻单独连接到一个公共节点。该公共节点随后通过一个1000 pF，2 kV的电容连接到机架地。
- 将未使用的**RJ45**引脚（引脚对(4, 5)和(7, 8)）短接在一起，并通过单独的75Ω终端电阻连接到与上一点中相同的公共节点。
- RJ45连接器的金属外壳屏蔽层也直接连接到机架地。

表6-2给出了KSZ989x/KSZ956x/KSZ9477器件与RJ45连接器通过磁件连接时的以太网信号映射。前两列对应图6-2给出的连接。第三列是备用的连接器引脚分配。

表6-2： KSZ989x/KSZ956x/KSZ9477至RJ45信号映射——快速以太网

KSZ989x/KSZ956x/KSZ9477引脚分配	RJ45连接器引脚分配	RJ45连接器——备选
TXRXxP_A	引脚1	引脚3
TXRXxM_A	引脚2	引脚6
TXRXxP_B	引脚3	引脚1
TXRXxM_B	引脚6	引脚2

6.5 机架地

- 信号地应仅延伸到磁件的边缘，并且在磁件和连接器以及二者之间的区域下方不应有信号地。如果有真正的机架地，则应将连接器屏蔽层和线路侧终端电阻连接到机架地。如果没有真正的机架地，则使用充足的铜将“机架地”沿电路板边缘布设到可以连接到数字地的位置，最好远离敏感元件并尽可能靠近电路板电源连接器。
- 包含较大的SMD封装位置（SMD_1210），以便将机架地连接到数字地。这样，在进行电磁干扰（Electromagnetic Interference，EMI）测试时会具备一定的灵活性。具体来说就是可以采用不同的接地选项，其中包括：不安装SMD以使两个地保持隔离；将两个地通过零欧姆的电阻短接在一起；将两个地通过电容或铁氧体磁珠短接在一起以获得最佳性能。

6.6 电容耦合选项

在一些无变压器应用中，PHY到PHY的连接在一个PCB或互连PCB内，并且不需要线缆，此时就可以使用KSZ989x/KSZ956x/KSZ9477系列交换芯片。

- 为八个信号分别串联一个0.1 µF的隔直电容。
- 无需在KSZ989x/KSZ956x/KSZ9477与电容之间连接额外的元件。
- 其他器件可能需要连接终端电阻或其他电路。请参见该器件对应的Microchip文档。
- 另一种选项是使用单个磁件实现直流隔离，有无共模扼流圈均可。扼流圈的方向无关紧要。
- 使用1000M速度时始终使能自动协商。如果连接的另一个器件的速度为100M或10M，则建议（但不是必需）禁止这两个器件之间的自动协商。

© 2023 Microchip Technology Inc.及其子公司

7.0 管理总线

- 使用管理总线，管理器件可以读取和写入KSZ989x/KSZ956x/KSZ9477系列交换芯片的寄存器。强烈建议在所有应用中都使用管理总线，即使只是为了解决器件错误。
- 通过四个引脚提供专用总线，具体可设置为 **SPI**、**I²C** 或 **MIIM**（**MDIO**）。此外，还可以使能带内架构（In-Band Architecture，IBA）功能，以便使用特殊管理数据包通过器件的任何PHY或MAC端口来访问寄存器。
- **SPI**、**I²C**和**IBA**是首选的管理选项，其中**SPI**相对于**I²C**具有速度上的优势。所有这些选项都可以访问全部寄存器。而**MIIM**并非首选的管理选项，因为它只能访问PHY寄存器，不能访问交换芯片和xMII寄存器。
- KSZ989x/KSZ956x/KSZ9477 交换芯片和管理器件应为管理总线提供相同的 I/O 电压。如果不同，则应使用电压转换器。
- 更多详细信息，请参见应用笔记*AN2661 Getting Started with 3-Port Gigabit Ethernet Switch Configuration Options*。

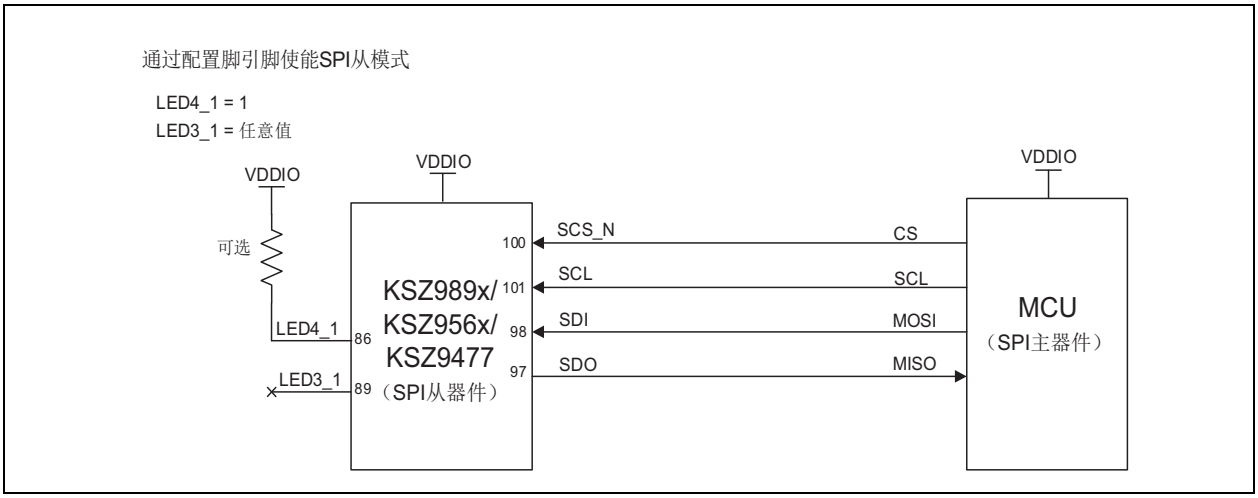
7.1 SPI从器件管理

在SPI从器件管理模式下，可以对KSZ989x/KSZ956x/KSZ9477器件（PHY和交换芯片）的所有寄存器进行完整的读/写访问。外部SPI主器件提供片选（**SCS_N**）、串行时钟（**SCL**）和串行输入数据（**SDI**）。串行输出数据（**SDO**）由KSZ989x/KSZ956x/KSZ9477驱动。

要选择SPI从模式，应将**LED4_1**和**LED3_1**配置脚分别设置为1和x（1或0）。更多详细信息，请参见第2.2节“引脚检查”。

图7-1给出了SPI框图以及KSZ989x/KSZ956x/KSZ9477与管理器件之间的引脚连接。

图7-1： SPI框图



7.2 I²C从器件管理

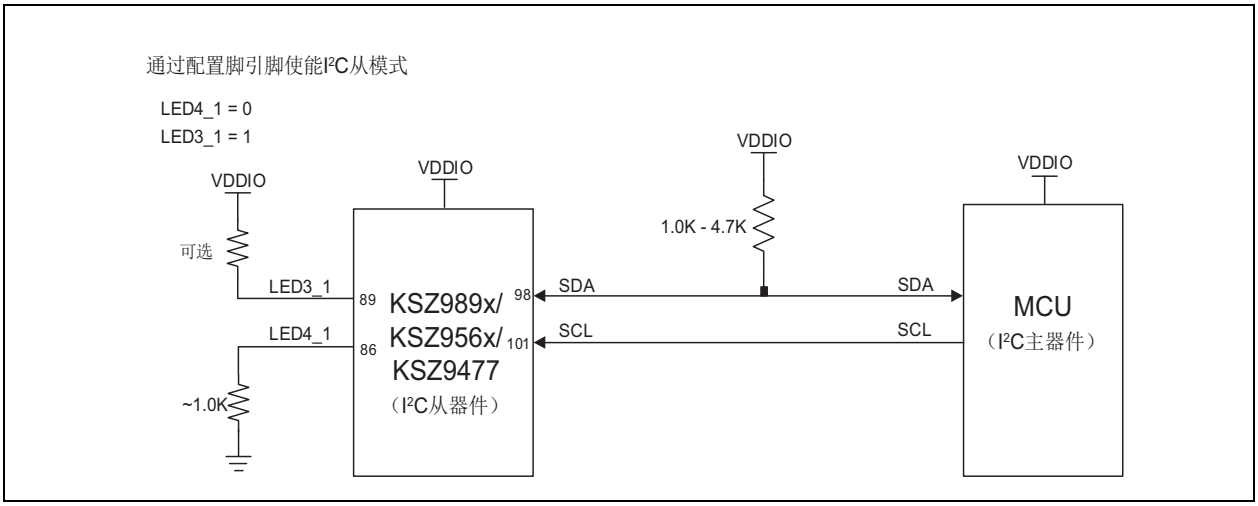
在I²C从器件管理模式下，可以对KSZ989x/KSZ956x/KSZ9477器件（PHY和交换芯片）的所有寄存器进行完整的读/写访问。外部I²C主器件提供串行时钟（SCL）。串行数据（SDA）为双向漏极开路引脚，由I²C主器件驱动以进行寄存器读/写访问，或由KSZ989x/KSZ956x/KSZ9477器件驱动以返回寄存器读取值。

要选择并使能I²C从模式，应将**LED4_1**和**LED3_1**配置脚分别设置为0和1。更多详细信息，请参见第2.2节“引脚检查”。

SDA信号需要外接一个1.0 kΩ至4.7 kΩ的上拉电阻。未使用的引脚**SDO**和**SCS_N**保持未连接状态。

图7-2给出了I²C框图以及KSZ989x/KSZ956x/KSZ9477器件与单片机（MCU）之间的引脚连接。

图7-2： I²C框图



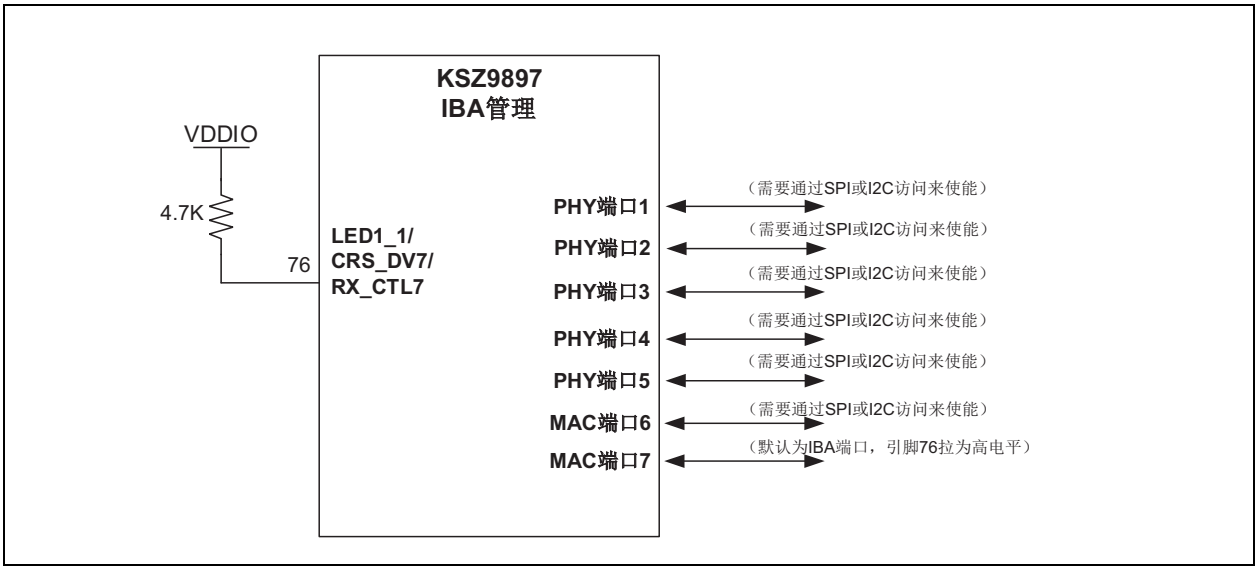
7.3 带内访问（IBA）管理

带内访问（In-Band Access，IBA）管理是一项专有功能，允许使用定制的64字节以太网帧对KSZ989x/KSZ956x/KSZ9477（PHY和交换芯片）的所有寄存器进行完整的读/写访问。七个数据端口（PHY端口1到5或者MAC端口6和7）都可用于带内寄存器访问。

要选择并使能IBA管理模式，应将**RX_DV7/CRS_DV7/RX_CTL7**引脚（对于KSZ9897R和KSZ9567R）、**IBA**引脚（对于KSZ9897S、KSZ9567S和KSZ9477）或**RX_DV6/CRS_DV6/RX_CTL6**引脚拉为高电平。更多详细信息，请参见第2.2节“引脚检查”。这些配置脚会将除KSZ9896之外的所有交换芯片的PHY端口7指定为默认IBA端口。KSZ9896没有端口7，其默认IBA端口为端口6。要将任何其他端口指定为IBA端口，需要使用SPI或I²C管理总线。但是，IBA与I²C和SPI互斥。当使用SPI或I²C来管理交换芯片时，建议禁止IBA。

有关选择特定端口作为IBA端口的位设置，请参见KSZ989x/KSZ956x/KSZ9477系列交换芯片数据手册中的带内管理（IBA）控制寄存器（位于地址单元0x0104–0x0107处）章节。图7-3给出了IBA框图。

图7-3： IBA框图



© 2023 Microchip Technology Inc. 及其子公司

7.4 MII管理（MIIM）

在MII管理模式下，只能访问KSZ989x/KSZ956x/KSZ9477 PHY寄存器。外部MDC/MDIO控制器器件提供串行时钟（MDC）。串行数据（MDIO）为双向漏极开路引脚，由控制器驱动以进行寄存器读/写访问，或由KSZ989x/KSZ956x/KSZ9477器件驱动以返回寄存器读取值。

要选择并使能MIIM模式，应将**LED4_1**和**LED3_1**引脚都拉为低电平。更多详细信息，请参见第2.2节“引脚检查”。

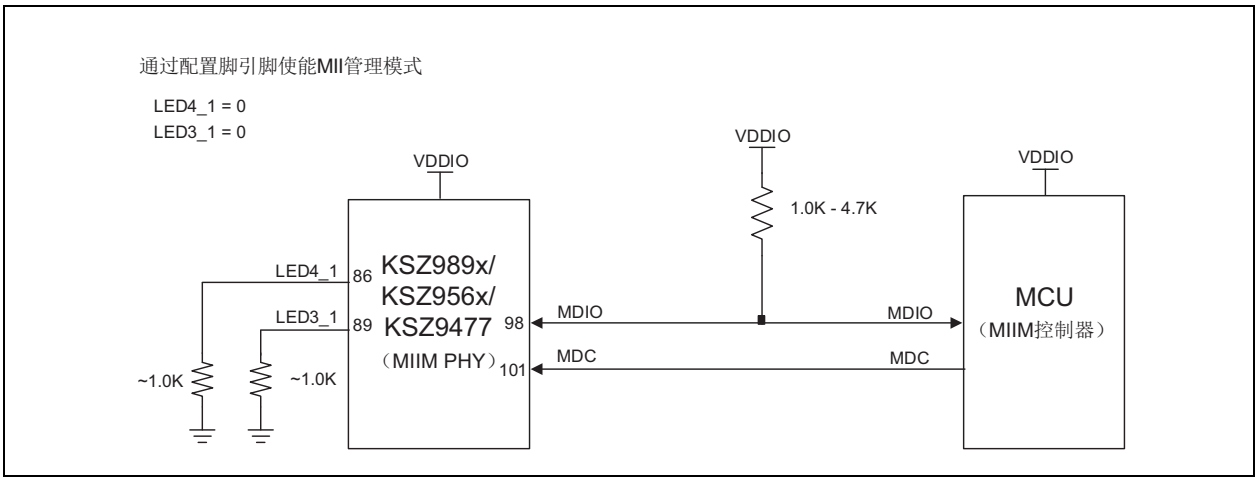
MDIO信号需要外接一个1.0 kΩ至4.7 kΩ的上拉电阻。

未使用的引脚**SDO**和**SCS_N**保持未连接状态。

注：	建议保留MCU的**MDIO**引脚上的上拉电阻，即使不使用该接口时也如此。

图7-4给出了MII管理框图以及KSZ989x/KSZ956x/KSZ9477器件与单片机（MCU）之间的引脚连接。

图7-4： MII管理框图



8.0 并行MAC接口

KSZ989x/KSZ956x/KSZ9477系列交换芯片的MAC端口6以及KSZ9897R和KSZ9567R的MAC端口7都可以单独设置为下列其中一种并行MAC配置：

- RGMII接口：支持1000 Mbps、100 Mbps和10 Mbps数据速率
- RMII（时钟模式）接口：支持100 Mbps和10 Mbps数据速率，并输出50 MHz RMII REF_CLK
- RMII（正常模式）接口：支持100 Mbps和10 Mbps数据速率，并输入50 MHz RMII REF_CLK
- MII（PHY模式）接口：支持100 Mbps和10 Mbps数据速率，并连接到外部MII PHY
- MII（MAC模式）接口：支持100 Mbps和10 Mbps数据速率，并连接到外部MII MAC

此外，KSZ9896的MAC端口6也可以设置为GMII（MAC模式）接口或GMII（PHY模式）接口。请检查以下各节中所选的数据总线接口，确保符合设计准则中的要求。

8.1 未使用的MAC端口

如果只需要一个MAC端口，请注意以下两个端口之间的各项差异：

- 端口7是默认的带内管理端口。
- 端口6存在与RGMII有关的时序错误。

如果未使用端口6和/或端口7，则将该接口的所有引脚保持未连接状态。这样会将端口配置为1000 Mbps速度的RGMII模式。请注意，**RX_CLK**引脚上将输出125 MHz时钟。

如果**RX_CLK**输出由于RF辐射而不符合需求，则可以通过执行以下操作来将其禁止：

1. 使用阻值合适的小电阻将**LED5_1**配置为低电平。这样会在启动时禁止交换芯片。
2. 使用10 kΩ的电阻将**RXD_3**、**RXD_2**和**RXD_1**（仅在未使用的端口上）配置为高电平。这样会将端口配置为MII模式和MAC器件模式。在MII（MAC）模式下，没有输出时钟。
3. 通过将端口 MSTP 状态寄存器（0xNB04）中的端口发送和端口接收使能位清零来阻止该端口上的双向通信。如果使用MSTP，则将索引寄存器0xNB01中MSTP指针的所有八个可能值反复写入寄存器0xNB04。
4. 通过将交换操作寄存器（0x0300）中的启动交换位置1来使能交换。

请确保不跳过步骤3。如果跳过该步骤，则广播帧、多播帧和未知单播帧都将被转发到该端口。这些帧应该由该端口上的MAC发出并从内部帧缓冲区中删除。但是，由于MAC被配置为MAC模式，因此需要为**RX_CLK**引脚提供外部时钟输入才能确保正常工作。如果未提供该时钟，这些帧将永久保留在缓冲区中。随着该端口上的这些帧不断累积，整个交换芯片将处于拥塞状态，最终将导致所有端口上都发生丢帧。

8.2 RGMII接口

8.2.1 RGMII功能配置

当端口6或端口7设置为RGMII模式时，将能使用RGMII-ID模式（传出时钟**RX_CLK**有内部延时）作为上电默认设置。这样便可支持RGMII v2.0，即要求每个器件相对于其输出数据和控制信号延迟其输出时钟。

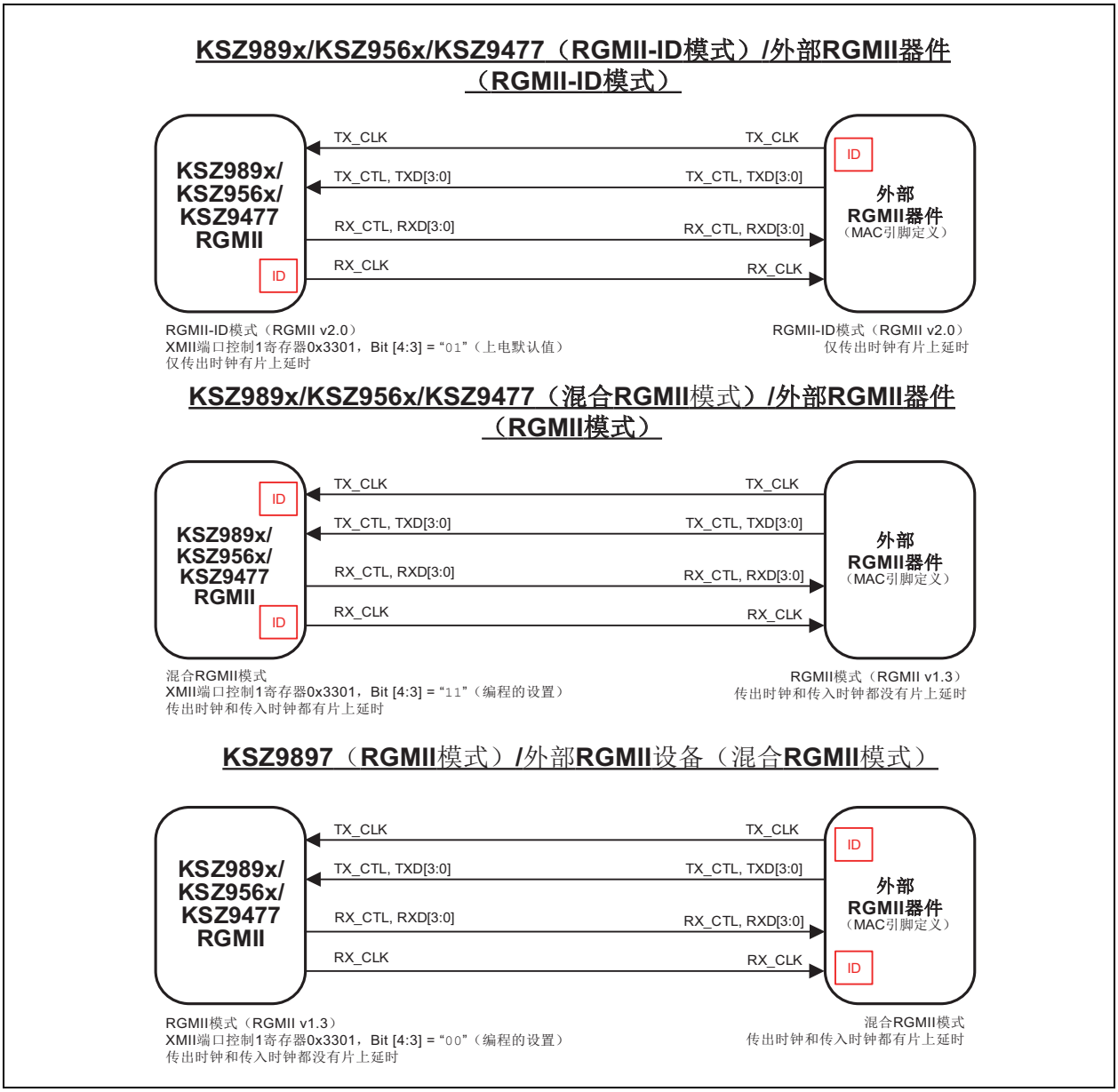
或者，也可以在KSZ989x/KSZ956x/KSZ9477上电后通过编程来支持以下两种模式之一：

- 混合RGMII模式（传出时钟**RX_CLK**和传入时钟**TX_CLK**都有内部延时），用于连接传出时钟和传入时钟都没有内部延时的RGMII器件。
- RGMII模式（传出时钟和传入时钟都没有内部延时），用于连接传出时钟和传入时钟都有内部延时的RGMII器件。该配置并不常用。

图8-1给出了上述三种RGMII功能配置的片上延时。图中使用KSZ989x/KSZ956x/KSZ9477与外部RGMII器件（MAC引脚定义）之间的RGMII连接来描述片上时钟延时（由“ID”表示），并提供了用于使能或禁止片上传出和传入时钟延时的KSZ989x/KSZ956x/KSZ9477寄存器位设置。

© 2023 Microchip Technology Inc. 及其子公司

图8-1： KSZ989X/KSZ956X/KSZ9477与外部RGMII器件（MAC引脚定义）——具有片上时钟延时选项的RGMII功能配置



8.2.2 RGMII偏移计算

RGMII是源同步时钟数据总线。时钟来自发送4位数据和控制信号的器件端。因此，可以进行RGMII偏移计算和PCB走线长度匹配，或者分别为RGMII发送总线组（**TX_CLK**、**TX_CTL**和**TXD[3:0]**）和RGMII接收总线组（**RX_CLK**、**RX_CTL**和**RXD[3:0]**）施加延时（如果适用）。

由于RGMII注重信号完整性，因此通常首选内部延时而非PCB走线延时。

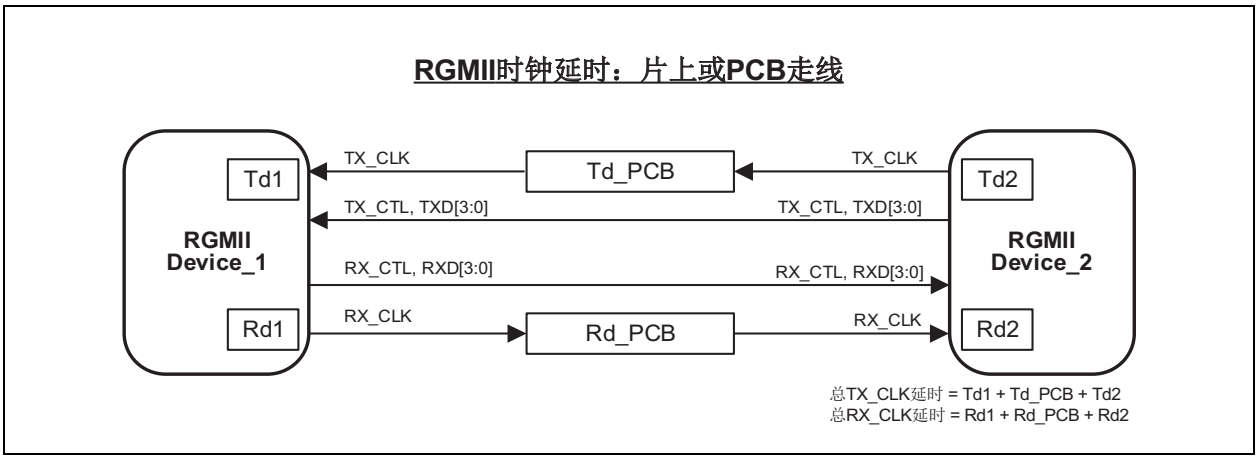
图8-2汇总了RGMII时钟偏移，相关计算公式如下：

- 总TX_CLK延时 = Td1 + Td_PCB + Td2
- 总RX_CLK延时 = Rd1 + Rd_PCB + Rd2

在每个方向上，如果接收端遵循RGMII的时序，则应将RGMII数据/控制信号的时钟偏移设置在1.2 ns（最小值）与2.0 ns（最大值）之间。

注：	KSZ989x/KSZ956x/KSZ9477的端口6存在时序错误。相对于**TX_CLK**而言，**TX_CTL**和**TXD[3:0]**需要更多的建立时间。标准解决方案是在**TX_CLK**上增加延时，具体方法是在另一个RGMII器件存在内部传出延时的情况下使能KSZ989x/KSZ956x/KSZ9477端口6的传入延时。如果另一个器件的**TX_CLK**上没有内部传出延时，则需要增加时钟偏移，具体方法为相对于**TX_CTL**和**TXD[3:0]**增加PCB上**TX_CLK**走线的长度。

图8-2： RGMII时钟偏移图



8.2.3 与外部RGMII器件的RGMII连接

在RGMII模式下使用端口6或端口7时，需要注意以下关键设计准则：

- 要将端口6或端口7配置为RGMII模式，应将**RXD_3**和**RXD_2**都配置为低电平。
- 将**RXD_0**配置为低电平对应1000 Mbps RGMII，配置为高电平对应100 Mbps RGMII。
- 确定用于连接外部RGMII器件的RGMII功能模式（RGMII-ID、混合或RGMII），相关定义如第8.2.1节“RGMII功能配置”所述。
- 针对所选的RGMII功能模式计算RGMII时钟延时，然后根据需要对RGMII时钟、数据和/或控制线进行额外的偏移调整，具体如第8.2.2节“RGMII偏移计算”所述。额外的偏斜调整可以通过插入PCB走线长度延时来实现，如果RGMII器件支持，还可以通过编程RGMII焊盘偏移步长设置来实现（例如，Microchip KSZ9031RNX千兆位以太网PHY具有RGMII焊盘偏移步长寄存器）。
- 将RGMII信号布设到一个连续的地平面层上，以便将阻抗控制在50Ω。
- 谨慎使用连接器。如果RGMII信号必须通过连接器，则应使用高速连接器并尽可能缩短走线，同时确保信号完整性不会降低。
- 使信号走线保持在7 mm（300 mil）之内，以获得最佳性能。所有发送信号都应匹配。所有接收信号也都应匹配。发送信号组与接收信号组不需要相互匹配。
- 将串联终端电阻靠近所有**RGMII**输出引脚。有关输出引脚位置，请参见图8-3。典型电阻值为22Ω至33Ω。
- 两个器件应使用相同的I/O电源电压。

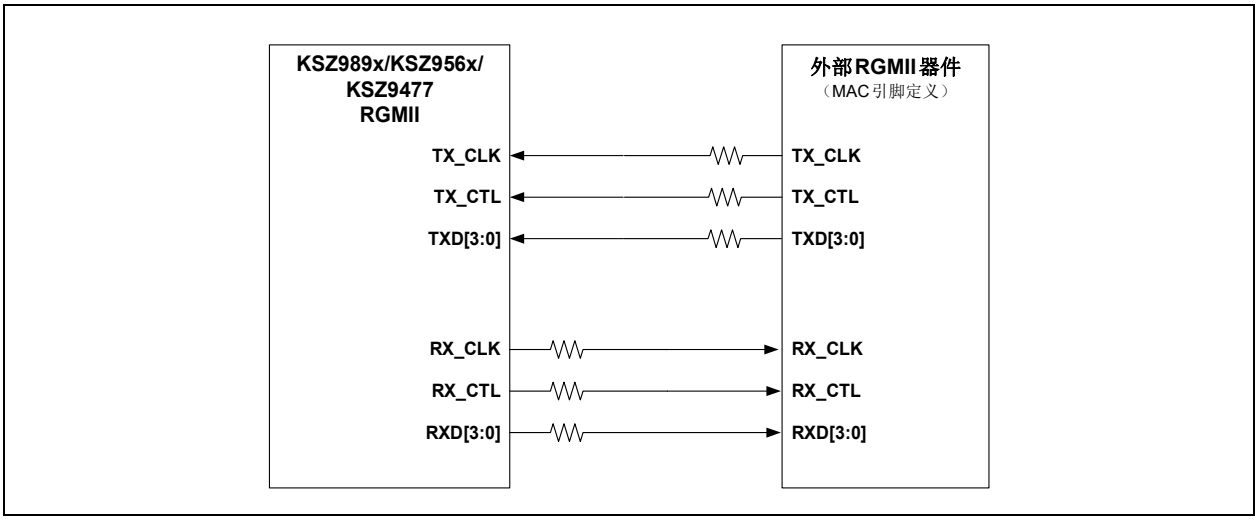
© 2023 Microchip Technology Inc. 及其子公司

8.2.3.1 KSZ989X/KSZ956X/KSZ9477 RGMII与外部RGMII器件（MAC引脚定义）

图8-3给出了KSZ989x/KSZ956x/KSZ9477 RGMII与外部RGMII器件（MAC引脚定义）之间的信号连接，例如MAC处理器或千兆位以太网交换芯片的MAC端口。

注： 一定要参照相关数据手册来检查两个器件之间连接的**RGMII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

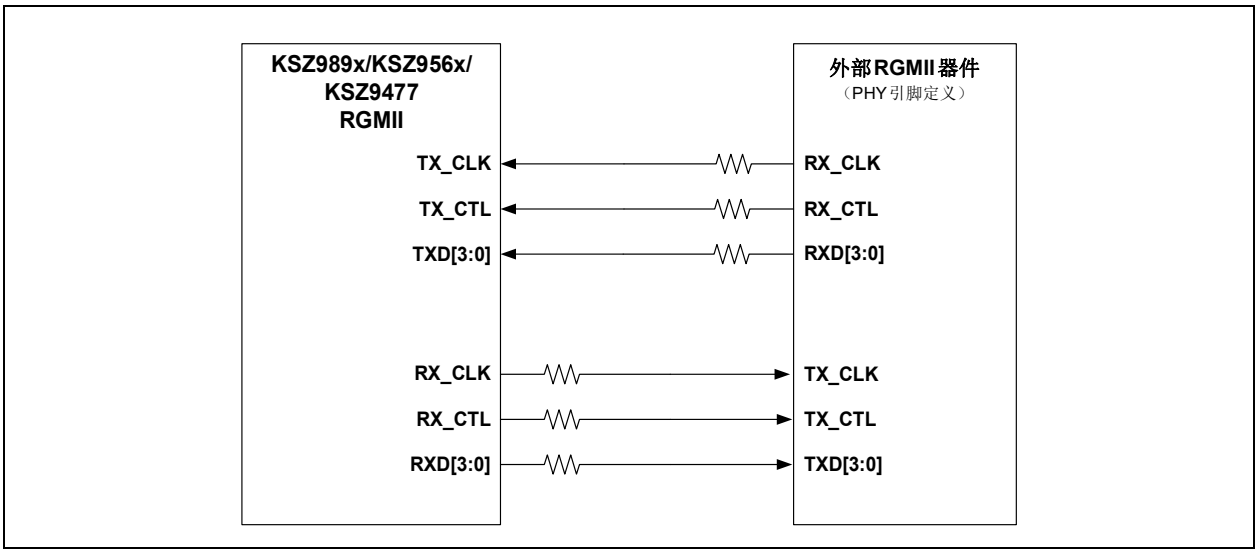
图8-3： KSZ989X/KSZ956X/KSZ9477 RGMII与外部RGMII器件（MAC引脚定义）——框图



8.2.3.2 KSZ989X/KSZ956X/KSZ9477 RGMII与外部RGMII器件（PHY引脚定义）

图8-4给出了KSZ989x/KSZ956x/KSZ9477 RGMII与外部RGMII器件（PHY引脚定义）之间的信号连接，例如以太网PHY或特定以太网交换芯片的MAC端口。

图8-4： KSZ989X/KSZ956X/KSZ9477 RGMII与外部RGMII器件（PHY引脚定义）——框图



8.3 RMII（时钟模式）接口

当端口6或端口7配置为RMII（时钟模式）时，将输出RMII参考时钟。

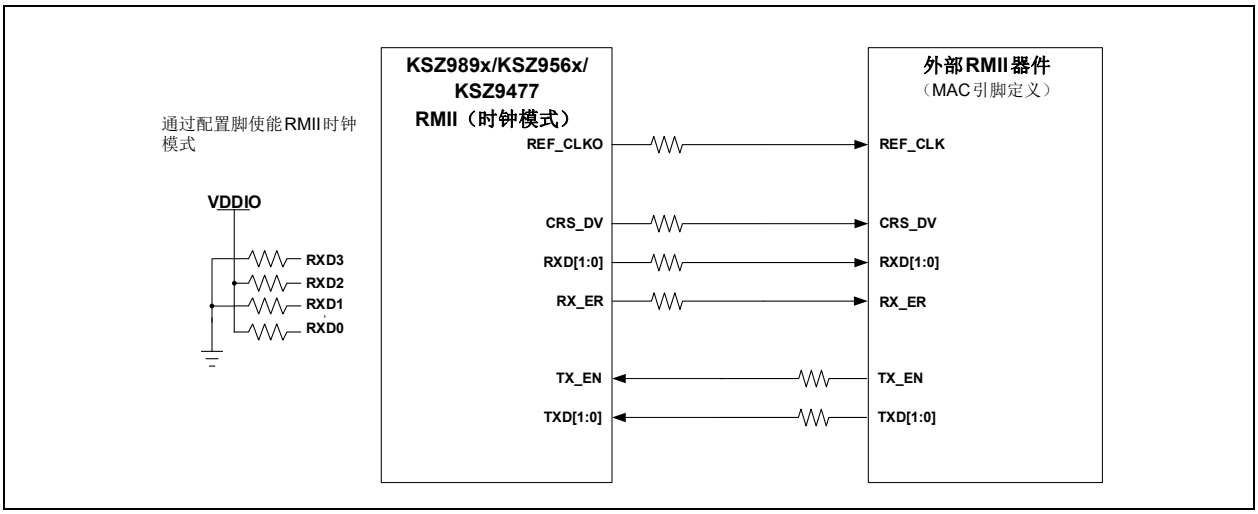
需要注意以下关键设计准则：

- 要将端口6或端口7配置为RMII时钟模式，应将**RXD_3**配置为低电平，将**RXD_2**配置为高电平，将**RXD_1**配置为低电平，并将**RXD_0**配置为高电平。
- 要将端口速度设置为10 Mbps而非100 Mbps，应写入寄存器0xN300。
- RMII 50 MHz参考时钟（**REF_CLK**）由KSZ989x/KSZ956x/KSZ9477输出并输入到连接的RMII器件。
- 建议在所有**RMII**输出引脚上串联终端电阻，以提高信号完整性并降低EMI。典型电阻值为22Ω至33Ω。配置脚电阻可连接在串联电阻的任一侧。
- 两个器件应使用相同的I/O电源电压。

图8-5给出了KSZ989x/KSZ956x/KSZ9477 RMII（时钟模式）与外部RMII器件（MAC引脚定义）之间的信号连接。

注： 一定要参照相关数据手册来检查两个器件之间连接的**RMII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

图8-5： KSZ989x/KSZ956x/KSZ9477 RMII（时钟模式）与外部RMII器件（MAC引脚定义）——框图



8.4 RMII（正常模式）接口

当端口6或端口7配置为RMII（正常模式）时，将接收RMII参考时钟作为输入。

需要注意以下关键设计准则：

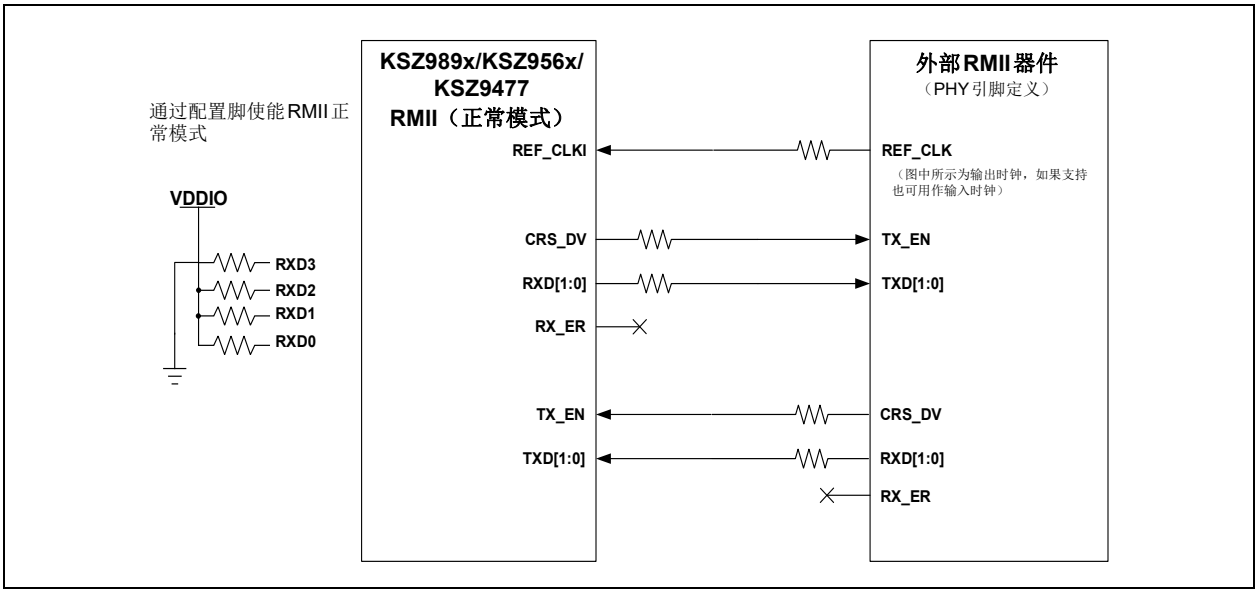
- 要将端口6或端口7配置为RMII正常模式，应将**RXD_3**配置为低电平，将**RXD_2**配置为高电平，将**RXD_1**配置为高电平，并将**RXD_0**配置为高电平。
- 要将端口速度设置为10 Mbps而非100 Mbps，应写入寄存器0xN300。
- RMII 50 MHz参考时钟（REF_CLK）由外部50 MHz时钟（例如，振荡器）或连接的RMII器件提供并输入到KSZ989x/KSZ956x/KSZ9477。如果由外部时钟提供，则**REF_CLK**也将输入连接的RMII器件。
- 建议在所有**RMII**输出引脚上串联终端电阻，以提高信号完整性并降低EMI。典型电阻值为22Ω至33Ω。配置脚电阻可连接在串联电阻的任一侧。
- 两个器件应使用相同的I/O电源电压。

© 2023 Microchip Technology Inc.及其子公司

图8-6给出了KSZ989x/KSZ956x/KSZ9477 RMII（正常模式）与外部RMII器件（PHY引脚定义）之间的信号连接。

注： 一定要参照相关数据手册来检查两个器件之间连接的**RMII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

图8-6： KSZ989x/KSZ956x/KSZ9477 RMII（正常模式）与外部RMII器件（PHY引脚定义）——框图



8.5 MII（PHY模式）接口

MII工作模式分为以下两种：PHY模式和MAC模式。

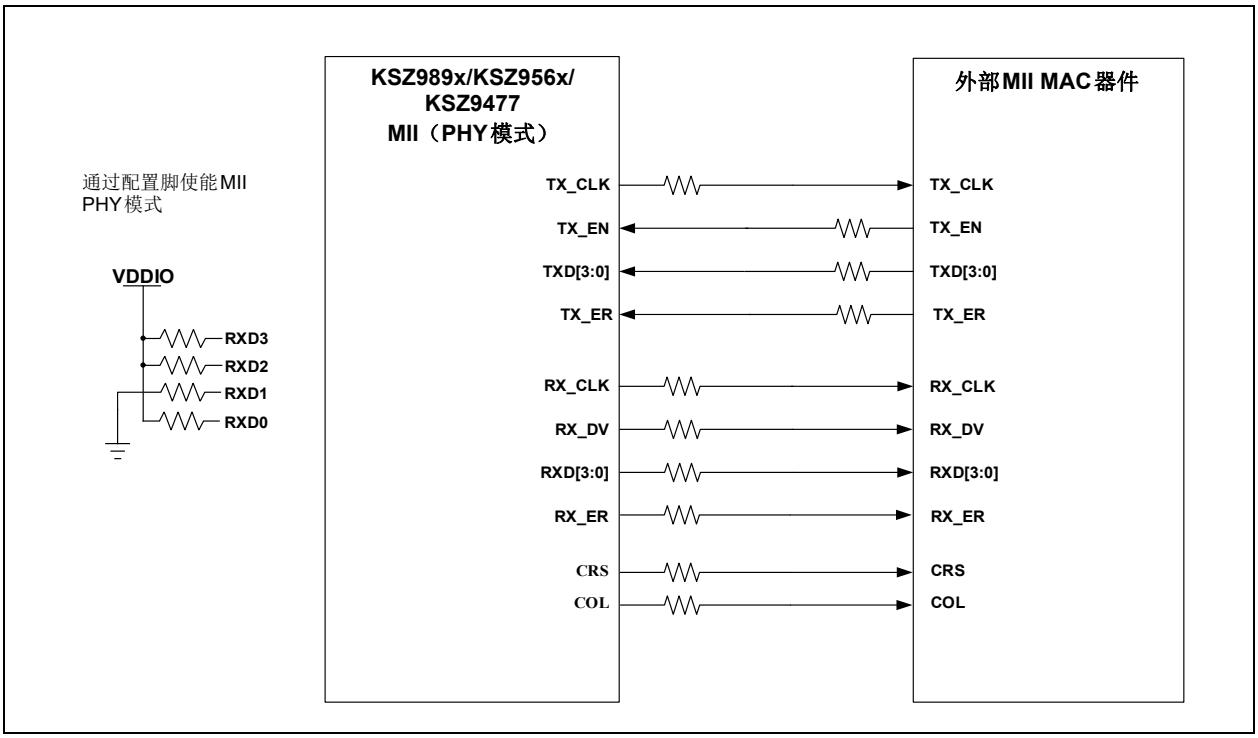
当端口6或端口7配置为MII（PHY模式）时，其接口类似于MII PHY器件，应连接到具有MII MAC接口的器件，例如MCU。需要注意以下关键设计准则：

- 要将端口6或端口7配置为MII模式，应将**RXD_3**和**RXD_2**都配置为高电平，将**RXD_1**配置为低电平，并将**RXD_0**配置为高电平。
- 要将端口速度设置为10 Mbps而非100 Mbps，应写入寄存器0xN300。
- 发送时钟（**TX_CLK**）和接收时钟（**RX_CLK**）都由KSZ989x/KSZ956x/KSZ9477输出并输入到外部MII MAC。
- 冲突（COL）和载波侦听（CRS）输出也都由KSZ989x/KSZ956x/KSZ9477输出并输入到外部MII MAC。
- 建议在所有**MII**输出引脚上串联终端电阻，以提高信号完整性并降低EMI。典型电阻值为22Ω至33Ω。配置脚电阻可连接在串联电阻的任一侧。

图8-7给出了KSZ989x/KSZ956x/KSZ9477 MII（PHY模式）与外部MII MAC之间的信号连接。

注： 一定要参照相关数据手册来检查两个器件之间连接的**MII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

图8-7： KSZ989x/KSZ956x/KSZ9477 MII（PHY模式）与外部MII MAC——框图



8.6 MII（MAC模式）接口

当端口6或端口7配置为MII（MAC模式）时，应连接到MII PHY或具有MII PHY接口的其他器件。需要注意以下关键设计准则：

- 要将端口6或端口7配置为MII模式，应将**RXD_3**、**RXD_2**、**RXD_1**和**RXD_0**都配置为高电平。
- 要将端口速度设置为10 Mbps而非100 Mbps，应写入寄存器0xN300。
- 发送时钟（**TX_CLK**）和接收时钟（**RX_CLK**）都由外部MII PHY输出并输入到KSZ989x/KSZ956x/KSZ9477。

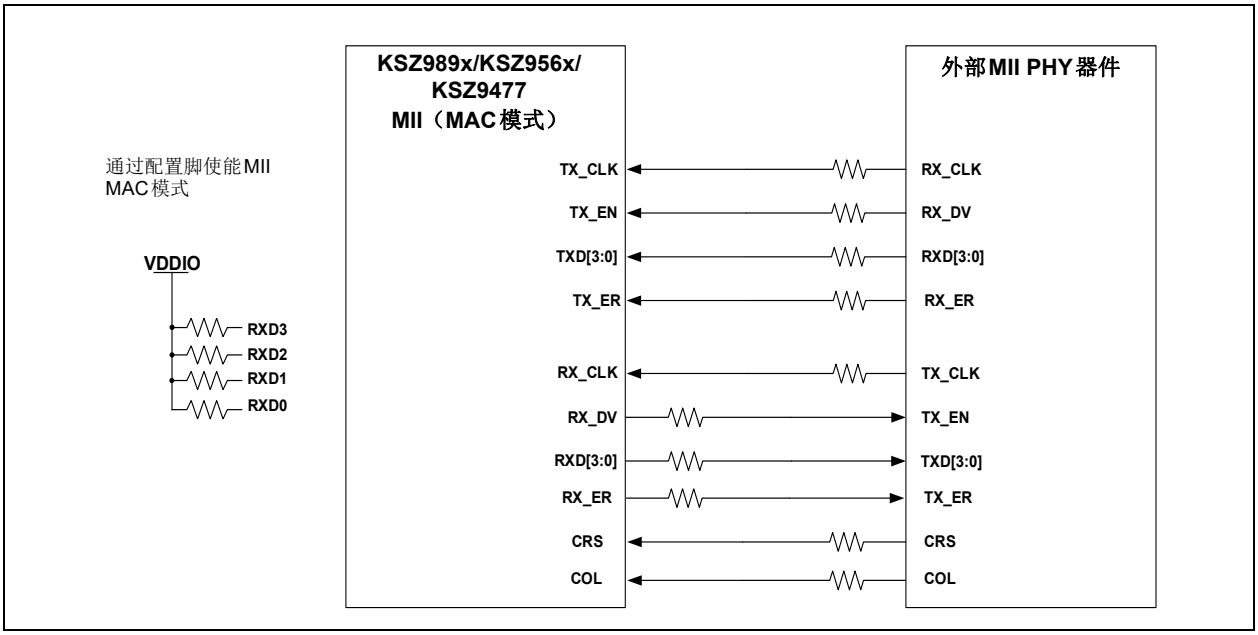
© 2023 Microchip Technology Inc.及其子公司

- 冲突（**COL**）和载波侦听（**CRS**）也都由外部MII PHY输出并输入到KSZ989x/KSZ956x/KSZ9477。
- 建议在所有**MII**输出引脚上串联终端电阻，以提高信号完整性并降低EMI。典型电阻值为22Ω至33Ω。配置脚电阻可连接在串联电阻的任一侧。

图8-8给出了KSZ989x/KSZ956x/KSZ9477 MII（MAC模式）与外部MII PHY之间的信号连接。

注：	一定要参照相关数据手册来检查两个器件之间连接的**MII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

图8-8： KSZ989x/KSZ956x/KSZ9477 MII（MAC模式）与外部MII PHY——框图



8.7 GMII（PHY模式）接口

GMII在GMII PHY与MAC之间提供了一个通用的接口（1000 Mbps时）。GMII主要基于MII接口，两者之间关键的信号差异在于数据总线宽度、时钟速率和发送时钟的方向。只有KSZ989x系列中的KSZ9896支持GMII接口。由于GMII接口的信号引脚数比所有其他MAC接口都多，因此KSZ9896是一款六端口的交换芯片，而该系列中的所有其他型号都是七端口。

GMII工作模式分为以下两种：PHY模式和MAC模式。

当KSZ9896的端口6配置为GMII（PHY模式）时，其接口类似于GMII PHY器件，应连接到具有GMII MAC接口的器件，例如MCU。需要注意以下关键设计准则：

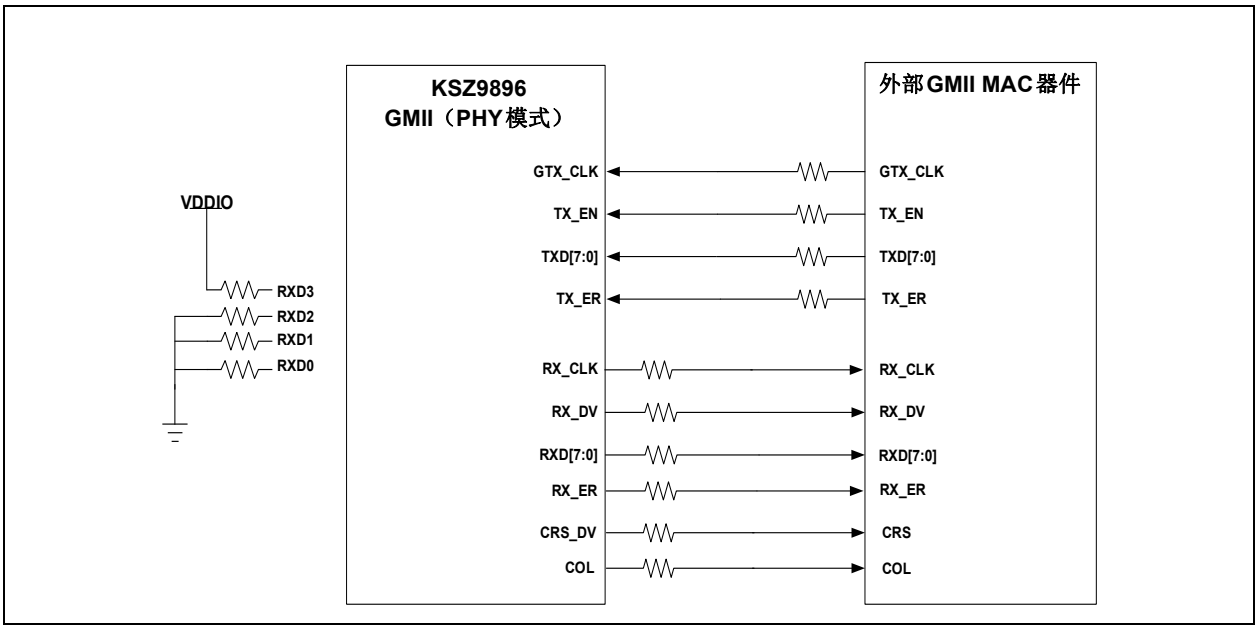
- 要将KSZ9896的端口6配置为GMII PHY模式，应将**RXD_3**配置为高电平，将**RXD_2**配置为低电平，将**RXD_1**配置为低电平，并将**RXD_0**配置为低电平。
- 发送时钟（**GTX_CLK**）输入到KSZ9896，接收时钟（**RX_CLK**）由KSZ9896输出并输入到外部GMII MAC。
- **RX_ER6/RX_CLK6**引脚上的另一个配置脚用于为GMII/MII时钟选择双线模式或三线模式。该选项确定KSZ9896的MII **RX_CLK**使用哪个引脚。三线模式选项专用于连接1000/100/10 Mbps PHY（例如Microchip KSZ9031MNX），其**GTX_CLK**和**TX_CLK**信号都有单独的引脚。选择三线模式时，MII（MAC模式）**RX_CLK6**输入时钟位于引脚75上。在双线模式下，**RX_CLK6**位于引脚72上。如果不使用GMII或处于PHY模式时，应选择双线时钟模式。
- 冲突（**COL**）和载波侦听（**CRS**）都由KSZ9896输出并输入到外部GMII MAC。

- 建议在所有**GMII**输出引脚上串联终端电阻，以提高信号完整性并降低EMI。典型电阻值为22Ω至33Ω。配置脚电阻可连接在串联电阻的任一侧。

图8-9给出了KSZ9896 GMII（PHY模式）与外部GMII MAC之间的信号连接。

注： 一定要参照相关数据手册来检查两个器件之间连接的**GMII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

图8-9： KSZ9896 GMII（PHY模式）与外部GMII MAC——框图



8.8 GMII（MAC模式）接口

当KSZ9896的端口6配置为GMII（MAC模式）时，其接口类似于GMII MAC器件，应连接到具有GMII PHY接口的器件，例如1000Base-T PHY。需要注意以下关键设计准则：

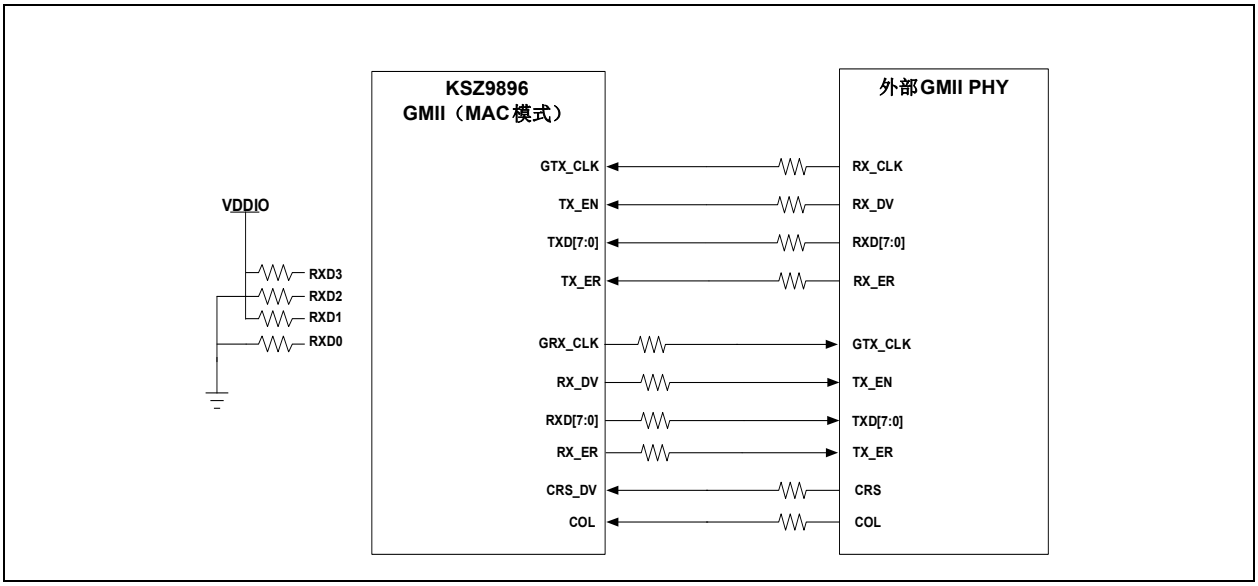
- 要将KSZ9896的端口6配置为GMII MAC模式，应将**RXD_3**配置为高电平，将**RXD_2**配置为低电平，将**RXD_1**配置为高电平，并将**RXD_0**配置为低电平。
- 发送时钟（**GTX_CLK**）输入到KSZ9896，接收时钟（**RX_CLK**）由KSZ9896输出并输入到外部GMII MAC。
- **RX_ER6/RX_CLK6**引脚上的另一个配置脚用于为GMII/MII时钟选择双线模式或三线模式。该选项确定KSZ9896的MII **RX_CLK**使用哪个引脚。三线模式选项专用于连接1000/100/10 Mbps PHY（例如Microchip KSZ9031MNX），其**GTX_CLK**和**TX_CLK**信号都有单独的引脚。选择三线模式时，MII（MAC模式）**RX_CLK6**输入时钟位于引脚75上。在双线模式下，**RX_CLK6**位于引脚72上。如果不使用GMII或处于PHY模式时，应选择双线时钟模式。
- 冲突（**COL**）和载波侦听（**CRS**）都由外部GMII PHY输出并输入到KSZ9896。
- 建议在所有**GMII**输出引脚上串联终端电阻，以提高信号完整性并降低EMI。典型电阻值为22Ω至33Ω。配置脚电阻可连接在串联电阻的任一侧。

图8-10给出了KSZ9896 GMII（MAC模式）与外部GMII PHY之间的信号连接。

注： 一定要参照相关数据手册来检查两个器件之间连接的**GMII**引脚，以免相连的引脚都是输入引脚或输出引脚。不要单凭引脚名称来判断引脚是输入还是输出。

© 2023 Microchip Technology Inc.及其子公司

图8-10： KSZ9896 GMII（MAC模式）与外部GMII PHY——框图



9.0 串行MAC接口

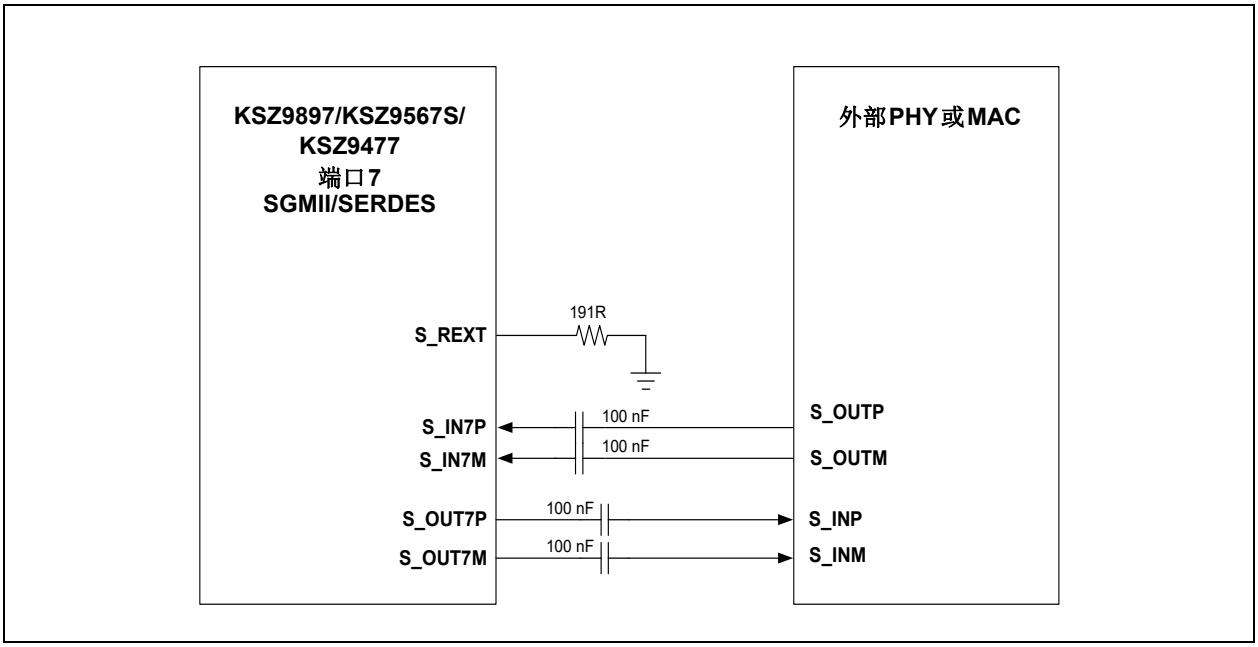
KSZ9567S、KSZ9477和KSZ9897S的端口7将用作串行MAC接口。该端口默认以串行千兆位介质无关接口（Serial Gigabit Media Independent Interface，SGMII）模式工作，用于连接支持SGMII接口的外部10/100/1000 BASE-T PHY或连接另一个具有SGMII接口的器件。该接口还具有SerDes模式，用于连接1000BASE-X光纤模块或其他不支持SGMII的模块，例如铜缆SFP模块。

该接口具有一个发送差分对和一个接收差分对，分别用于以1.25 Gbaud的串行比特率发送和接收数据和控制信号。SGMII模块从传入数据中恢复时钟。因此，不需要单独提供SGMII输入时钟。同理，SGMII输出时钟预计由连接的器件从接收数据中恢复，因此也不会提供。

9.1 与PHY或MAC器件的SGMII连接

连接PHY或MAC器件时，应在两个SGMII差分对上都使用交流耦合。KSZ交换芯片侧不需要外部终端或偏置电阻，因为KSZ989x/KSZ956x/KSZ9477系列交换芯片内置终端和偏置电路。请参见图9-1。

图9-1： KSZ9567S、KSZ9477和KSZ9897S与PHY或MAC之间的SGMII连接——框图

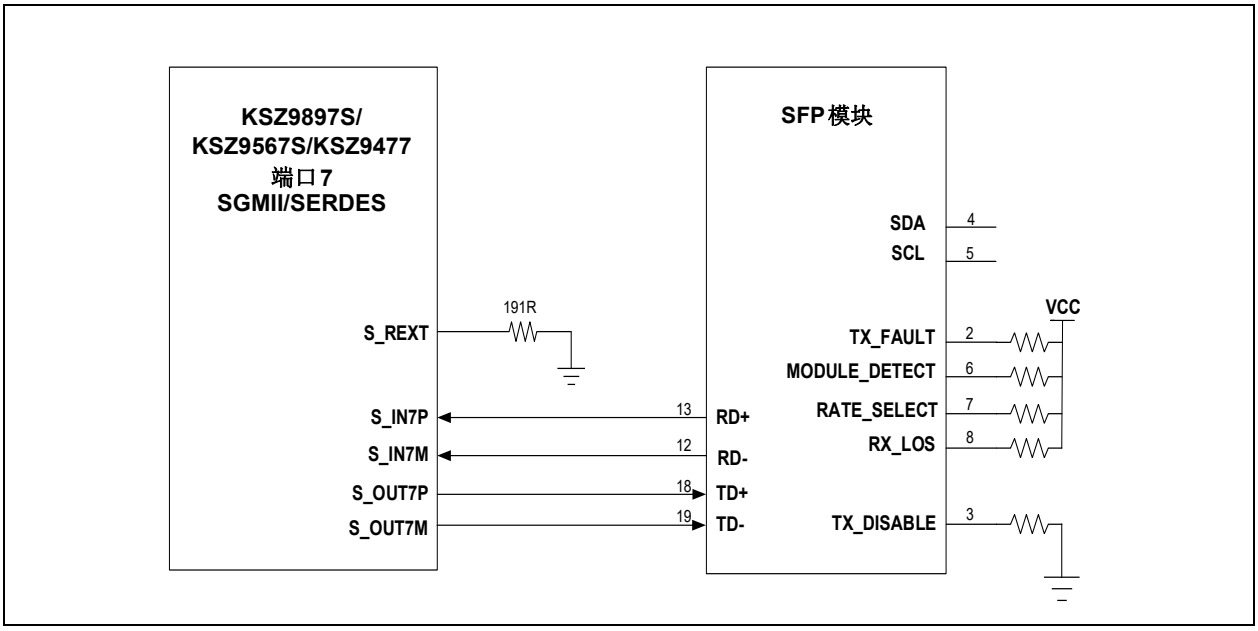


9.2 与SFP模块的1000Base-X SerDes连接

由于SFP模块中包含交流耦合电容，因此可以将SGMII/SerDes接口直接连接到SFP模块。图9-2给出了KSZ9567S、KSZ9477或KSZ9897S与1000Base-X SFP模块之间的连接示例。尽可能将I^2C接口和其他SFP控制信号连接到板上的MCU，以便可以通过软件来控制SFP模块。如果不可行，则应将SFP模块的**TX_Disable**引脚拉为低电平，以使能该SFP模块的发送操作。

© 2023 Microchip Technology Inc.及其子公司

图9-2： KSZ9567S、KSZ9477和KSZ9897S与SFP模块之间的SERDES连接——框图



10.0 LED指示灯引脚

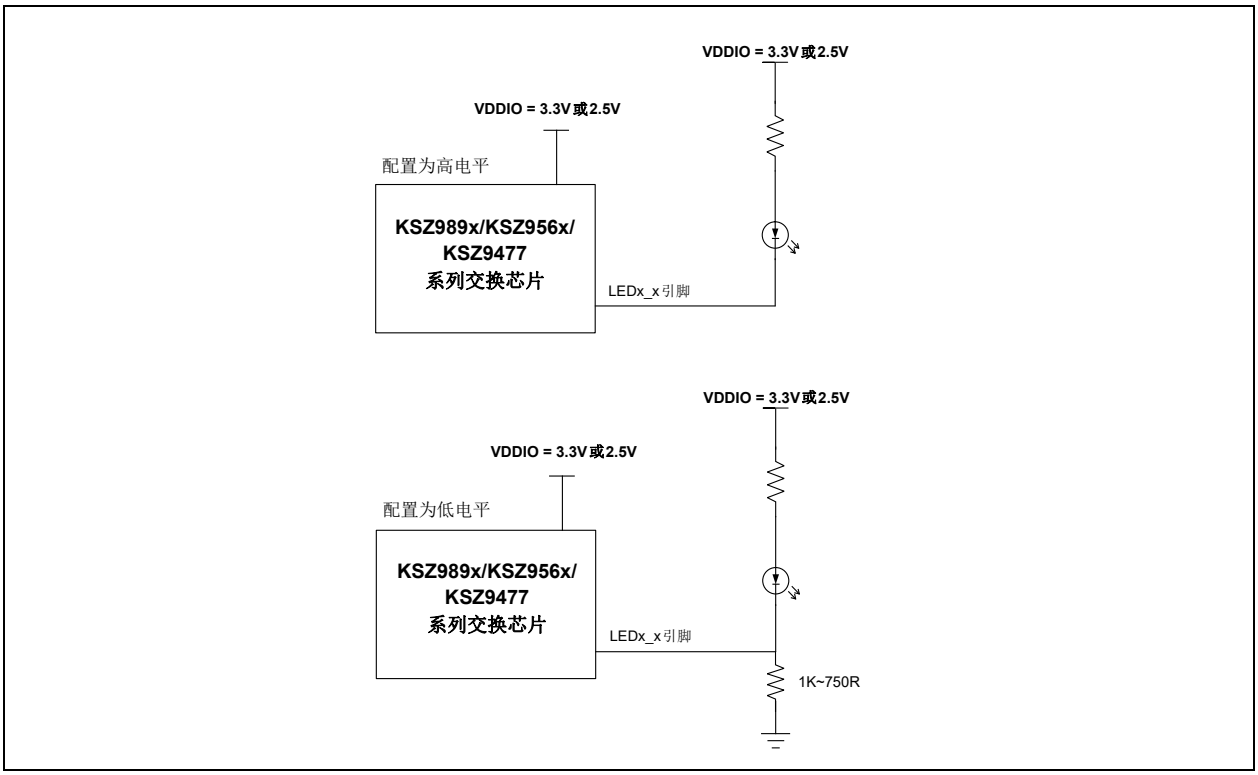
LEDx_x引脚属于图腾柱型输出，用于驱动**LED**指示灯来指示PHY端口的速度、链路和活动状态。其中许多引脚在**RESET_N**输入（引脚46）置为低电平时还可以用作配置脚输入（见第2.2节“引脚检查”）。

- **LED**引脚为低电平有效，连接到**LED**的阴极侧。**LED**的阳极侧连接到3.3V或2.5V，**LED**还需要串联一个限流电阻。
- 如果KSZ989x/KSZ956x/KSZ9477系列交换芯片的**VDDIO**为1.8V，而**LED**由3.3V进行供电，则应主动对**LED**信号进行缓冲。
- 要将**LED**引脚配置为高电平，无需外接上拉电阻，因为**LED**内置上拉电阻。
- 要将**LED**引脚配置为低电平，需外接一个阻值合适的下拉电阻。根据具体使用的**LED**、**LED**电源电压，芯片**VDDIO**电压和限流电阻值，有时可能需要使用阻值较小的下拉电阻，通常介于750Ω与1.0 kΩ之间。当**VDDIO**低于**LED**电压源时，需要采用最小值。请注意，下拉电阻会导致**LED**在复位期间不能完全点亮。
- 最小**LED**电源电压为2.5V。
- **LED**引脚是潜在的辐射和传导发射源。如果此问题较为重要，可选择在每个LED信号上靠近芯片的位置串联一个铁氧体磁珠。

10.1 PHY端口LED状态和引脚配置脚——VDDIO = 3.3V或2.5V时

图10-1给出了**VDDIO**为3.3V和2.5V时的多路复用PHY端口LED状态和引脚配置脚的高电平和低电平参考电路。

图10-1： PHY端口LED状态和引脚配置脚——VDDIO = 3.3V或2.5V时

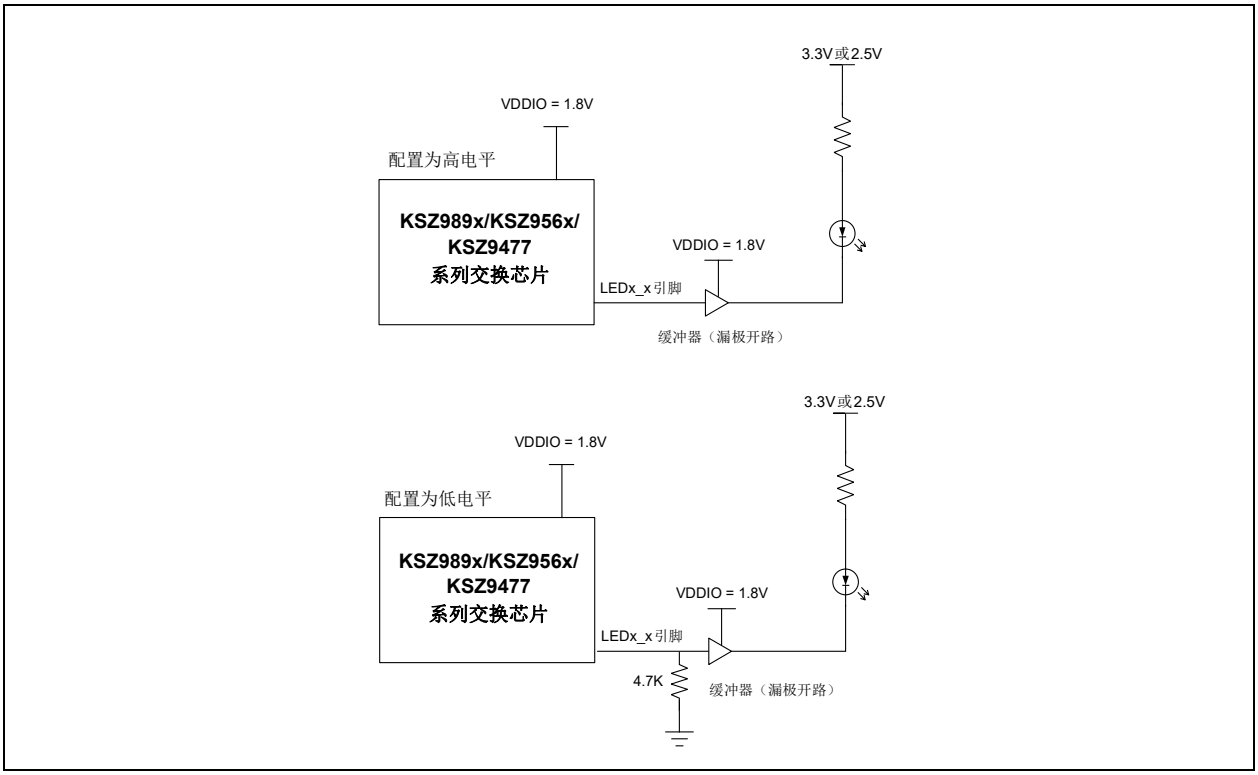


© 2023 Microchip Technology Inc.及其子公司

10.2 PHY端口LED状态和引脚配置脚——VDDIO = 1.8V时

图10-2 给出了**VDDIO**为1.8V时的多路复用PHY端口LED状态和引脚配置脚的高电平和低电平参考电路。漏极开路缓冲器用作电平转换器，用于提供LED指示灯点亮所需的压降（1.6V至2.2V，具体取决于LED颜色）。

图10-2： PHY端口LED状态和引脚配置脚——VDDIO = 1.8V时



11.0 GPIO引脚（适用于支持1588的KSZ9567R、KSZ9567S和KSZ9477）

- **GPIO_1**引脚旨在支持IEEE 1588精密时间协议（Precision Time Protocol，PTP）应用，并且可配置为实现事件触发输出和时间戳捕获输入以满足实时应用的要求。**GPIO_1**的通用输入或输出能力非常有限。

12.0 CLKO_25_125引脚（适用于KSZ9897R、KSZ9897S和KSZ9896）

- **CLK_25_125**提供25 MHz或125 MHz的输出时钟。该输出时钟由主芯片参考时钟提供，并通过寄存器控制来进行配置或禁止。

13.0 SYNCLKO（适用于支持SYNCE的KSZ9567R、KSZ9567S和KSZ9477）

- **SYNCLKO**提供25 MHz或125 MHz的输出时钟。上电时，该输出时钟由主芯片参考时钟提供。或者，也可以从恢复的PHY时钟中获得，以便用于同步以太网应用。该输出时钟通过寄存器控制来进行配置或禁止。

14.0 其他

14.1 INTRP_N输出

- **INTRP_N**引脚为中断输出，低电平有效，需要通过一个外部的1.0 kΩ至4.7 kΩ上拉电阻连接到KSZ989x/KSZ956x/KSZ9477 **VDDIO**电源轨。如果不使用该引脚，则无需连接上拉电阻。

14.2 PME_N输出

- **PME_N**引脚输出为LAN唤醒（Wake-On-LAN，WOL）功能提供电源管理事件（Power Management Event，PME）中断输出。当**PME_N**引脚置为有效时，表明KSZ989x/KSZ956x/KSZ9477器件已检测到电能事件并正在输出中断以将系统从低功耗模式唤醒。
- **PME_N** 的有效极性是可编程的（默认为低电平有效）。低电平有效操作需要外接上拉电阻。高电平有效操作需要外接下拉电阻。这两种情况下的外部电阻值都介于1.0 kΩ与4.7 kΩ之间。如果不使用该引脚，则无需连接上拉电阻。

14.3 EMI注意事项

- 使用机架地并包含较大的SMD封装位置（SMD_1210），以便将机架地连接到数字地。这样，在进行EMI测试时会具备一定的灵活性。具体来说就是可以采用不同的接地选项，其中包括：不安装SMD以使两个地保持隔离；将两个地通过零欧姆的电阻短接在一起；将两个地通过电容或铁氧体磁珠短接在一起以获得最佳性能。

注：	确保交换直流/直流转换器经过滤波和适当屏蔽，因为直流/直流电源转换器会产生大量EMI噪声。

- 当不使用MII、RMII和RGMII端口时，可以将其配置为MII PHY模式、RMII时钟输出模式或RGMII模式，以便MAC TX模块可以在没有外部时钟输入的情况下正常工作。这样做的优点是，转发到这些未使用的端口的帧不会在交换芯片缓冲区中累积。但是，这种解决方案也存在一个缺点，即交换芯片输出的MII/RMII/RGMII时钟可能是一个额外的发射源。为了最大程度地减少辐射，切勿将走线连接到输出时钟引脚。另一种解决方案是通过寄存器设置（如第8.1节“未使用的MAC端口”所述）禁止将帧转发到未使用的端口。
- 此外，还建议在所有 **MII/RMII/RGMII** 输出引脚上串联终端电阻。这些串联电阻与输出引脚阻抗相结合，可以对PCB走线阻抗进行调整和匹配，从而以最大限度减少振铃，因此可提高信号完整性并降低EMI。典型电阻值范围为22Ω至50Ω，最佳值取决于电路板布局。如果不需要**CLKO_25_125**或**SYNCLKO**引脚上的输出时钟，应通过寄存器设置将其禁止。

© 2023 Microchip Technology Inc. 及其子公司

15.0 硬件检查清单汇总

表15-1： 硬件设计检查清单

章节	检查	说明	√	注
第2.0章“一般注意事项”	第2.1节“所需参考资料”	准备好所有必要的文件。		
	第2.2节“引脚检查”	验证引脚是否符合数据手册的要求。确保引脚类型与KSZ989x/KSZ956x/KSZ9477系列器件和所连接元件之间的所有引脚兼容（例如，确保其中一个芯片没有连接到另一个芯片的输入）。		
		确保选择了预期的引脚配置脚。添加外部上拉/下拉电阻（根据需要）以防止连接的元件没有达到预期的高/低电平值。		
第3.0章“电源/接地连接”	第3.1节“电源和接地框图”	检查电源/接地连接。对于无SGMII的交换芯片，参照图3-1进行检查；对于带SGMII的交换芯片，参照图3-2进行检查。		
	第3.2节“电源引脚”	确保每个电源引脚都连接了0.1 µF的去耦电容，每个电源轨（**AVDDH**、**VDDIO**、**AVDDL**、**DVDDL**、**VDDLS**和**VDDHS**）都连接了足够大的存储电容，以便使纹波低于50 mVp-p。使用铁氧体磁珠为模拟电源轨（**AVDDH**和**AVDDL**）提供进一步的滤波。		
	第3.3节“接地引脚和外露焊盘”	确保接地引脚和外露焊盘直接连接到公共地平面。针对外露焊盘使用建议的焊盘图案和热过孔。		
第4.0章“参考时钟电路和连接”	第4.1节“晶振电路”	如果选择该项，则应遵循晶振电路的相关建议和晶振规范（25 MHz，+/-50 ppm，总周期抖动峰峰值小于100 ps）。		
	第4.2节“外部时钟源/振荡器电路”	如果选择该项，则应遵循外部时钟/振荡器的相关建议和时钟规范（25 MHz，+/-50 ppm，总周期抖动峰峰值小于100 ps）。		
第5.0章“ISET电阻”		确保电阻值为6.04 kΩ，1%，并连接在靠近**ISET**引脚的位置。		

© 2023 Microchip Technology Inc.及其子公司

表15-1： 硬件设计检查清单（续）

章节	检查	说明	√	注
第6.0章“以太网PHY端口”	第6.1节“未使用的PHY端口”	如果未使用PHY端口，应确保所有八个引脚都处于未连接状态。		
	第6.2节“磁件选择”	确保所选磁件可为KSZ989x/KSZ956x/KSZ9477系列器件侧的四个差分对各提供一个中心抽头。		
	第6.3节“10/100/1000 Mbps（千兆位）以太网接口”	如果选择该项，则应确保磁件与RJ45连接符合图6-1。		
		确保PHY端口的差分信号没有外接终端电阻，并且KSZ989x/KSZ956x/KSZ9477系列器件侧的磁件中心抽头既没有短接在一起也没有外接任何电源轨。		
	第6.4节“仅限10/100 Mbps以太网”	如果选择该项，则应确保磁件与RJ45连接符合图6-2。		
		确保PHY端口的差分信号没有外接终端电阻，并且KSZ989x/KSZ956x/KSZ9477系列器件侧的磁件中心抽头既没有短接在一起也没有外接任何电源轨。		
	第6.5节“机架地”	将机架地用于连接器屏蔽层和线路侧终端。包含较大的SMD封装位置，以便将机架地连接到数字地。		
	第6.6节“电容耦合选项”	检查链路伙伴是否需要上拉电阻（电流模式线路驱动器需要）。		
第7.0章“管理总线”	第7.1节“SPI从器件管理”	如果选择该项，则应确保引脚配置脚和**SPI**引脚连接符合图7-1。		
	第7.2节“I^2C从器件管理”	如果选择该项，则应确保引脚配置脚和**I^2C**引脚连接符合图7-2。		
	第7.3节“带内访问（IBA）管理”	如果选择该项，则应确保引脚配置脚和**IBA**引脚连接符合图7-3。如果不使用IBA，应通过引脚配置脚将其禁止。		
	第7.4节“MII管理（MIIM）”	如果选择该项，则应确保引脚配置脚和**MIIM**引脚连接符合图7-4。请注意，MIIM仅限于PHY寄存器访问。		

© 2023 Microchip Technology Inc. 及其子公司

表15-1： 硬件设计检查清单（续）

章节	检查	说明	√	注
第8.0章“并行MAC接口”	第8.1节“未使用的MAC端口”	如果RF发射问题不太严重，则应将未使用的MAC端口配置为MII PHY模式、RMII时钟输出模式或RGMII模式。使用寄存器设置将未使用的MAC端口配置为MII MAC或RMII时钟输入模式可以禁止向这些端口转发帧。		
	第8.2节“RGMII接口”和第8.2.1节“RGMII功能配置”	如果选择该项，则应对照图8-1来确定KSZ989x/KSZ956x/KSZ9477连接外部RGMII器件时所用的RGMII功能配置（RGMII-ID模式、混合模式或RGMII模式）。		
	第8.2.2节“RGMII偏移计算”和第8.2.3节“与外部RGMII器件的RGMII连接”	如果选择该项，则应参照图8-2来确定RGMII偏移。确保RGMII连接符合图8-3或图8-4。		
	第8.3节“RMII（时钟模式）接口”	如果选择该项，则应确保RMII连接符合图8-5。		
	第8.4节“RMII（正常模式）接口”	如果选择该项，则应确保RMII连接符合图8-6。		
	第8.5节“MII（PHY模式）接口”	如果选择该项，则应确保MII连接符合图8-7。		
	第8.6节“MII（MAC模式）接口”	如果选择该项，则应确保MII连接符合图8-8。		
	第8.7节“GMII（PHY模式）接口”	如果选择该项，则应确保GMII连接符合图8-9。		
	第8.8节“GMII（MAC模式）接口”	如果选择该项，则应确保GMII连接符合图8-10。		
第9.0章“串行MAC接口”	第9.1节“与PHY或MAC器件的SGMII连接”	如果选择该项，则应确保SGMII/SerDes连接符合图9-1。		
	第9.2节“与SFP模块的1000Base-X SerDes连接”	如果选择该项，则应确保SGMII/SerDes连接符合图9-2。		
第10.0章“LED指示灯引脚”	第10.1节“PHY端口LED状态和引脚配置脚——VDDIO = 3.3V或2.5V时”	如果选择该项，则应确保LED连接符合图10-1。		
	第10.2节“PHY端口LED状态和引脚配置脚——VDDIO = 1.8V时”	如果选择该项，则应确保LED连接符合图10-2。		
第11.0章“GPIO引脚（适用于支持1588的KSZ9567R、KSZ9567S和KSZ9477）”		确保**GPIO**引脚仅用于PTP输出事件触发或输入时间戳捕捉。注意，无法将这些引脚用于通用输入/输出。		
第12.0章“CLKO_25_125引脚（适用于KSZ9897R、KSZ9897S和KSZ9896）”		参见数据手册，通过寄存器设置来使能或禁止**CLKO_25_125**引脚。		
第13.0章“SYNCLKO（适用于支持SYNCE的KSZ9567R、KSZ9567S和KSZ9477）”		参见数据手册，通过寄存器设置来使能或禁止SYNCLKO。		

© 2023 Microchip Technology Inc.及其子公司

表15-1： 硬件设计检查清单（续）

章节	检查	说明	√	注
第14.0章“其他”	第14.1节“INTRP_N输出”	如果使用该输出，则应确保通过一个1.0 kΩ至4.7 kΩ的上拉电阻连接到**VDDIO**电源轨。		
	第14.2节“PME_N输出”	如果使用该输出，则应确保在低电平有效时通过一个1.0 kΩ至 4.7 kΩ的电阻上拉至**VDDIO**，在高电平有效时通过该电阻下拉至地。		
	第14.3节“EMI注意事项”	包含较大的SMD封装位置（SMD_1210），以便将机架地连接到数字地，并通过寄存器设置禁止不需要的时钟输出。		

© 2023 Microchip Technology Inc. 及其子公司

附录A： 版本历史

表A-1： 版本历史

版本与日期	节/图/条目	更正
DS00004151A （2021年8月20日）	初始版本	

MICROCHIP 网站

Microchip 网站（www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。我们的网站提供以下内容：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答（FAQ）、技术支持请求、在线讨论组以及 Microchip 设计伙伴计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、 Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请访问 www.microchip.com/pcn，然后按照注册说明进行操作。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师（ESE）
- 技术支持

客户应联系其代理商、代表或 ESE 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

© 2023 Microchip Technology Inc. 及其子公司

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用且符合工作规范的情况下， Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》（Digital Millennium Copyright Act）。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 https://www.microchip.com/en-us/support/design-help/client-supportservices。

Microchip“按原样”提供这些信息。 Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或间接的损失、损害或任何类型的开销， Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔， Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

有关 Microchip 质量管理体系的更多信息，请访问 www.microchip.com/quality。

商标

Microchip 的名称和徽标组合、Microchip 徽标、Adaptec、AVR、AVR 徽标、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi 徽标、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST 徽标、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron 及 XMEGA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus 徽标、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime和ZL均为Microchip Technology Incorporated在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、KoD、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect 和 ZENA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Incorporated 在美国的服务标记。

Adaptec 徽标、Frequency on Demand、Silicon Storage Technology 和 Symmcom 均为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2023, Microchip Technology Incorporated及其子公司版权所有。

ISBN：978-1-6683-1035-9

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733

印度 India - Bangalore
Tel: 91-80-3090-4444

印度 India - New Delhi
Tel: 91-11-4160-8631

印度 India - Pune
Tel: 91-20-4121-0141

日本 Japan - Osaka
Tel: 81-6-6152-7160

日本 Japan - Tokyo
Tel: 81-3-6880-3770

韩国 Korea - Daegu
Tel: 82-53-744-4301

韩国 Korea - Seoul
Tel: 82-2-554-7200

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870

菲律宾 Philippines - Manila
Tel: 63-2-634-9065

新加坡 Singapore
Tel: 65-6334-8870

泰国 Thailand - Bangkok
Tel: 66-2-694-1351

越南 Vietnam - Ho Chi Minh
Tel: 84-28-5448-2100

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4485-5910
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-72400

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7288-4388

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2023 Microchip Technology Inc.及其子公司