KSZ8567R

7 端口 10/100 以太网开关，集成音视频桥接和两个 RGMII/MII/RMII 接口

要点

- 非阻塞式线速以太网开关结构
- 功能全面的转发和过滤控制，包括访问控制列表（Access Control List， ACL）过滤
- 全面的 VLAN 和 QoS 支持
- 五个集成 10/100BASE-T PHY 收发器的端口，具有可选的 Quiet-WIRE® EMC 过滤功能
- 两个集成 10/100/1000 以太网 MAC 和可配置 RGMII/MII/RMII 接口的端口
- IEEE 1588v2 精密时间协议（Precision Time Protocol，PTP）支持
- IEEE 802.1AS/Qav 音视频桥接（Audio Video Bridging，AVB）
- IEEE 802.3az 节能以太网（Energy Efficient Ethernet，EEE）
- IEEE 802.1X 访问控制支持
- EtherGreen™ 电源管理特性，包括低功耗待机
- 灵活的管理接口选项：SPI、I^2C、MIIM 以及通过任何端口实现的带内管理
- 工业级 / 扩展汽车级温度范围支持
- 符合 RoHS 标准的 128 引脚 TQFP-EP（14 x 14 mm）封装

目标应用

- 工业以太网 （Profinet、 MODBUS 和 Ethernet/IP）
- 实时以太网网络
- 采用变电站自动化的 IEC 61850 网络
- 工业控制 / 自动化开关
- 联网测量和控制系统
- 测试与测量设备

特性

- 开关管理功能
  - 10/100 Mbps 以太网开关基本功能：帧缓冲管理、地址查找表、队列管理、 MIB 计数器
  - 非阻塞式存储并转发开关结构利用帧缓冲区大小为 256 KB 的 4096 条目转发表，确保数据包的快速传输
  - 支持高达 9000 字节的巨型数据包
  - 端口镜像 / 监控 / 嗅探：任何端口的入口和 / 或出口流量
  - 支持快速生成树协议 （Rapid spanning tree protocol，RSTP），用于拓扑管理和环状 / 线状恢复
  - 支持多生成树协议 （Multiple spanning tree protocol，MSTP）
- 两个可配置的外部 MAC 端口
  - 简化的千兆位媒体独立接口 （Reduced Gigabit Media Independent Interface， RGMII） v2.0
  - 简化的媒体独立接口 （Reduced Media Independent Interface，RMII）v1.2，具有 50 MHz 参考时钟输入 / 输出选项
  - PHY/MAC 模式下的媒体独立接口（Media Independent Interface， MII）
- 五个集成式 PHY 端口
  - 100BASE-TX/10BASE-T/Te IEEE 802.3
  - 快速链路建立选项显著缩短链路建立时间
  - 自动协商和自动 MDI/MDI-X 支持
  - 节能以太网（EEE）支持，提供低功耗空闲模式和时钟中止功能
  - 针对差分对使用片上端接电阻和内部偏置，可降低功耗
  - LinkMD® 电缆诊断功能，用于确定电缆的开路、短路和长度
- 先进的开关功能
  - IEEE 802.1Q VLAN，支持 128 个活动 VLAN 组和全部 4096 个 VLAN ID
  - 基于每个端口的 IEEE 802.1p/Q 标记插入 / 移除
  - 基于每个端口或 VLAN 的 VLAN ID
  - IEEE 802.3x 全双工流量控制和半双工背压冲突控制
  - IEEE 802.1X 访问控制 （端口和 MAC 地址）
  - IGMP v1/v2/v3 窥探，用于多播数据包过滤
  - IPv6 多播监听者发现 （multicast listener discovery，MLD）窥探
  - IPv4/IPv6 QoS 支持， QoS/CoS 数据包优先级
  - 有 4 个优先级队列的 802.1p QoS 数据包分类
  - 入口 / 出口端口的可编程速率限制
- IEEE 1588v2 PTP 和时钟同步
  - 具有自动校正更新功能的透明时钟 （TC）
  - 主从普通时钟 （Ordinary Clock， OC）支持
  - 端到端（End-to-end，E2E）或点对点（peer-to-peer，P2P）
  - PTP 多播和单播消息支持
  - 可通过 IPv4/v6 和 IEEE 802.3 传输 PTP 消息
  - IEEE 1588v2 PTP 数据包过滤
  - 支持通过恢复时钟实现同步以太网
- 音视频桥接 （AVB）
  - 符合 IEEE 802.1BA/AS/Qat/Qav 标准
  - 优先级排队，低延迟直通交换模式
  - gPTP 时间同步，基于可信因子的流量整形器
  - 每个端口的时间感知流量调度器
- 全面的配置寄存器访问
  - 高速 4 线 SPI（高达 50 MHz）、I^2C 接口支持访问所有内部寄存器
  - MII 管理（MIIM，MDC/MDIO 2 线）接口支持访问所有 PHY 寄存器
  - 可通过任何数据端口实现带内管理
  - I/O 引脚配置功能，可在复位时通过 I/O 引脚使某些寄存器位置 1
- 电源管理
  - IEEE 802.3az 节能以太网 （EEE）
  - 电缆连接断开时的能量检测掉电模式
  - 动态时钟树控制
  - 可以单独关断闲置端口
  - 全芯片软件掉电
  - 局域网唤醒 （WoL）待机功率模式，采用 PME 中断输出，在触发事件时用于唤醒系统

© 2018 Microchip Technology Inc.

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**。我们期待您的反馈。

最新文档

欲获得本文档的最新版本，请访问我公司网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站； http://www.microchip.com
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2018 Microchip Technology Inc.

目录

1.0 前言 4
2.0 简介 8
3.0 引脚说明和配置 9
4.0 功能描述 18
5.0 器件寄存器 64
6.0 工作特性 197
7.0 设计指南 214
8.0 封装信息 216
附录 A：数据手册版本历史 218
MICROCHIP 网站 219
变更通知客户服务 219
客户支持 219
产品标识体系 220

1.0 前言

1.1 术语表

表 1-1： 通用术语

术语	说明
10BASE-T	10 Mbps 以太网， 3.3V 信号，符合 IEEE 802.3 标准
10BASE-Te	10 Mbps 以太网， 2.5V 信号，符合 IEEE 802.3 标准
100BASE-TX	100 Mbps 快速以太网，符合 IEEE 802.3u 标准
ADC	模数转换器 （Analog-to-Digital Converter）
AN	自动协商 （Auto-Negotiation）
AVB	音视频桥接（Audio Video Bridging）（IEEE 802.1BA、802.1AS、802.1Qat、802.1Qav）
BLW	基线漂移 （Baseline Wander）
BPDU	桥接协议数据单元 （Bridge Protocol Data Unit）。带有生成树协议信息的消息。
CRC	循环冗余校验 （Cyclic Redundancy Check）。一种检测数据传输错误的常用技术。以太网的 CRC 为 32 位长。
CSR	控制和状态寄存器 （Control and Status Registers）
DA	目标地址 （Destination Address）
DWORD	32 位
EEE	节能以太网 （Energy Efficient Ethernet）
FCS	帧校验序列 （Frame Check Sequence）。添加到以太网帧末尾的额外校验和字符，用于检测和校正错误。
FID	帧 ID 或过滤 ID。用于指定帧标识符，也可用于指定过滤标识符。
FIFO	先进先出缓冲区 （First In First Out buffer）
FSM	有限状态机 （Finite State Machine）
GPIO	通用 I/O （General Purpose I/O）
Host	外部系统 （包括处理器、应用软件等）
IGMP	互联网组管理协议 （Internet Group Management Protocol） 。该协议由 RFC 1112、RFC 2236 和 RFC 4604 定义，用于在 IPv4 网络中建立多播组成员关系。
IPG	封包间隙 （Inter-Packet Gap） 。由于协议原因，由网络标准规定的连续数据包之间的延时。
lsb	最低有效位 （Least Significant Bit）
LSB	最低有效字节 （Least Significant Byte）
MAC	媒体访问控制器 （Media Access Controller）。负责实施媒体访问控制层的功能块，它是数据链路层的子层。
MDI	媒体专用接口 （Medium Dependent Interface）。一种以太网端口连接，允许网络集线器或交换机连接到其他集线器或交换机，而无需使用零调制解调器或交叉电缆。
MDIX	具有交叉功能的媒体独立接口 （Media Independent Interface with Crossover）。一种以太网端口连接，允许使用零调制解调器或交叉电缆实现联网终端站 （例如 PC 或工作站）之间的互连。
MIB	管理信息库 （Management Information Base）。 MIB 包括网络设备的管理部分信息。这可以包括监控流量水平和故障 （统计），还可以更改网络节点 （静态转发地址）中的操作参数。

© 2018 Microchip Technology Inc.

表 1-1： 通用术语 （续）

术语	说明
MII	媒体独立接口 （Media Independent Interface）。 MII 用于访问 IEEE 802.3 规范中定义的 PHY 寄存器。
MIIM	媒体独立接口管理 （Media Independent Interface Management）
MLD	多播监听发现 （Multicast Listening Discovery）。该协议由 RFC 3810 和 RFC 4604 定义，用于在 IPv6 网络中建立多播组成员关系。
MLT-3	多电平传输编码 （3 电平）（Multi-Level Transmission Encoding （3-Levels））。 3 电平编码法，其中，逻辑电平的变化表示码位 “1” ，保持相同电平的逻辑输出表示码位 “0”。
msb	最高有效位 （Most Significant Bit）
MSB	最高有效字节 （Most Significant Byte）
NRZ	不归零制 （Non Return to Zero） 。信号数据编码的一种类型，其中信号在位之间不返回到零状态。
NRZI	不归零反转制（Non Return to Zero Inverted）。在该编码方法中，信号反转表示 “1”，信号保持不变表示 “0”
N/A	不适用 （Not Applicable）
NC	未连接 （No Connect）
OUI	组织唯一标识符 （Organizationally Unique Identifier）
PHY	在网络中执行物理层接口功能的设备或功能块。
PLL	锁相环 （Phase Locked Loop）。用于控制振荡器的电子电路，可在一个输入信号或参考信号的频率下使振荡器的相角保持恒定 （即锁定）。
PTP	精密时间协议 （Precision Time Protocol）
RTC	实时时钟 （Real-Time Clock）
SA	源地址 （Source Address）
SFD	帧起始定界符 （Start of Frame Delimiter）。指示以太网帧前导码结束的 8 位值。
SQE	信号质量错误 （Signal Quality Error）（也称为 “心跳”）
SSD	流起始定界符 （Start of Stream Delimiter）
TCP	传输控制协议 （Transmission Control Protocol）
UDP	用户数据报协议 （User Datagram Protocol） — 在 IP 网络顶部运行的无连接协议
UTP	非屏蔽双绞线 （Unshielded Twisted Pair）。通常为包含 4 根双绞线的电缆。
UUID	通用唯一标识符 （Universally Unique IDentifier）
VLAN	虚拟局域网 （Virtual Local Area Network）
WORD	16 位
保留	指代保留位字段或地址。除非另外说明，否则保留位必须始终写入为零。除非另外说明，否则读取保留位时不能保证值。除非另外说明，否则请勿读取或写入保留地址。
巨型数据包 （Jumbo Packet）	比标准以太网数据包（1518 字节）还要大的数据包。大数据包可以更高效地使用带宽，降低开销，减少处理等。
字节	8 位

1.2 缓冲器类型

表 1-2： 缓冲器类型

缓冲器类型	说明
I	输入
IPU	具有内部上拉电阻 （58 kΩ ±30%）的输入
IPU/O	上电 / 复位期间具有内部上拉电阻 （58 kΩ ±30%）的输入； 正常工作期间的输出引脚
IPD	具有内部下拉电阻 （58 kΩ ±30%）的输入
IPD/O	上电 / 复位期间具有内部下拉电阻 （58 kΩ ±30%）的输入； 正常工作期间的输出引脚
O8	具有 8 mA 灌电流和 8 mA 拉电流的输出
O24	具有 24 mA 灌电流和 24 mA 拉电流的输出
OPU	具有内部上拉电阻 （58 kΩ ±30%）的输出 （8 mA）
OPD	具有内部下拉电阻 （58 kΩ ±30%）的输出 （8 mA）
A	模拟
AIO	模拟双向
ICLK	晶体振荡器输入引脚
OCLK	晶体振荡器输出引脚
P	电源
GND	地

注： 有关各个缓冲器的电气特性，请参见第 198 页上的第 6.3 节 “电气特性”。

© 2018 Microchip Technology Inc.

1.3 寄存器命名法

表 1-3： 寄存器命名法

寄存器位类型标记	寄存器位说明
R	**读取：**可以读取具有该属性的寄存器或位。
W	**写入：**可以写入具有该属性的寄存器或位。
RO	**只读：**只读。写入操作不起任何作用。
RC	**读取清零：**读取后内容清空。写入操作不起任何作用。
WO	**只写：**如果寄存器或位为只写，则读取操作将返回未指定的数据。
WC	**写 1 清零：**写入 1 会将值清零。写入 0 不起任何作用。
LL	**锁存低电平：**适用于某些 RO 状态位。如果某状态条件导致该位变为低电平，那么在读取该位之前，即使状态条件改变，该位也将保持低电平状态。读取操作会使锁存清零，使该位变为高电平 （取决于状态条件）。
LH	**锁存高电平：**适用于某些 RO 状态位。如果某状态条件导致该位变为高电平，那么在读取该位之前，即使状态条件改变，该位也将保持高电平状态。读取操作会使锁存清零，使该位变为低电平 （取决于状态条件）。
SC	**自清零：**置 1 后内容自动清空。写入 0 不起任何作用。可以读取内容。
保留	**保留字段：**除非另有说明，否则必须在保留字段中写入 0，以确保未来的兼容性。读取时不保证保留位的值。

1.4 参考资料

- NXP I^2C-Bus Specification （UM10204， 2014 年 4 月 4 日）：www.nxp.com/documents/user_manual/UM10204.pdf

2.0 简介

2.1 概述

KSZ8567R 是一款高度集成的联网设备，符合 IEEE 802.3 标准，并集成第 2 层托管型高性能以太网开关、5 个 10BASE-T/Te/100BASE-TX 物理层收发器 （physical layer transceiver， PHY）和关联的 MAC 单元，另外还有两个具有可单独配置 RGMII/MII/RMII 接口的 MAC 端口，用于直接连接到主机处理器 / 控制器、另一个以太网开关或以太网 PHY 收发器。

KSZ8567R 采用业界领先的以太网技术，并具有经过精心设计的特性，可减轻主机处理负担和简化整体设计：

- 非阻塞式线速以太网开关结构
- 功能全面的转发和过滤控制，包括基于端口的访问控制列表 （ACL）过滤
- 全面的 VLAN 和 QoS 支持
- 按每个端口入口 / 出口队列以及流量分类划分的流量优先级
- 生成树支持
- IEEE 802.1X 访问控制支持

KSZ8567R 为 IEEE 1588v2 精密时间协议 （PTP）提供全面的硬件支持，包括所有 PHY-MAC 接口的硬件时间标记以及高分辨率硬件 “PTP 时钟”。 IEEE 1588 为一系列工业以太网应用提供亚微秒同步。

KSZ8567R 完全支持 IEEE 系列音视频桥接（AVB）标准，可通过以太网为延迟敏感型交通流提供高服务质量（Quality of Service， QoS）。时间标记和计时功能支持 IEEE 802.1AS 时间同步。所有端口都具有基于可信因子的流量整形器（适用于 IEEE 802.1Qav）以及时间感知调度器 （适用于 IEEE 802.1Qbv）。

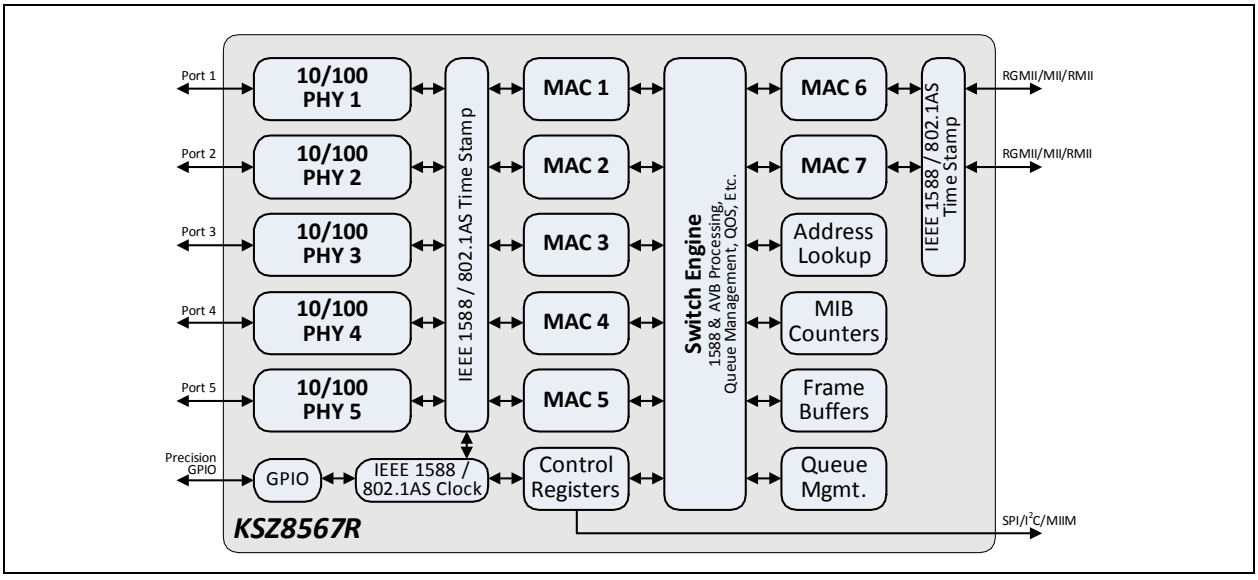
100 Mbps PHY 具有 Quiet-WIRE 内部过滤功能，可减少线路辐射，并增强对环境噪声的抗扰能力。因此非常适合必须满足严格辐射发射限值的汽车或工业应用。

主机处理器可以访问所有 KSZ8567R 寄存器，实现对所有 PHY、MAC 和开关功能的控制。可通过集成的 SPI 或 I^2C 接口访问所有寄存器，也可利用通过任一数据端口实现的带内管理来访问。PHY 寄存器访问由 MIIM 接口提供。灵活的数字 I/O 电压允许 MAC 端口与 1.8/2.5/3.3V 主机处理器 / 控制器 /FPGA 直接接口。

此外，还设计了一系列强大的电源管理功能，包括用于节省空闲链路功耗的 IEEE 802.3az 节能以太网 （EEE）以及用于低功耗待机操作的局域网唤醒 （WoL），以便满足高能效系统要求。

KSZ8567R 的工作温度范围分为工业级 （-40°C 至 +85°C）和扩展汽车级 （-40°C 至 +105°C）。 KSZ8567R 的内部框图如图 2-1 中所示。

图 2-1： 内部框图



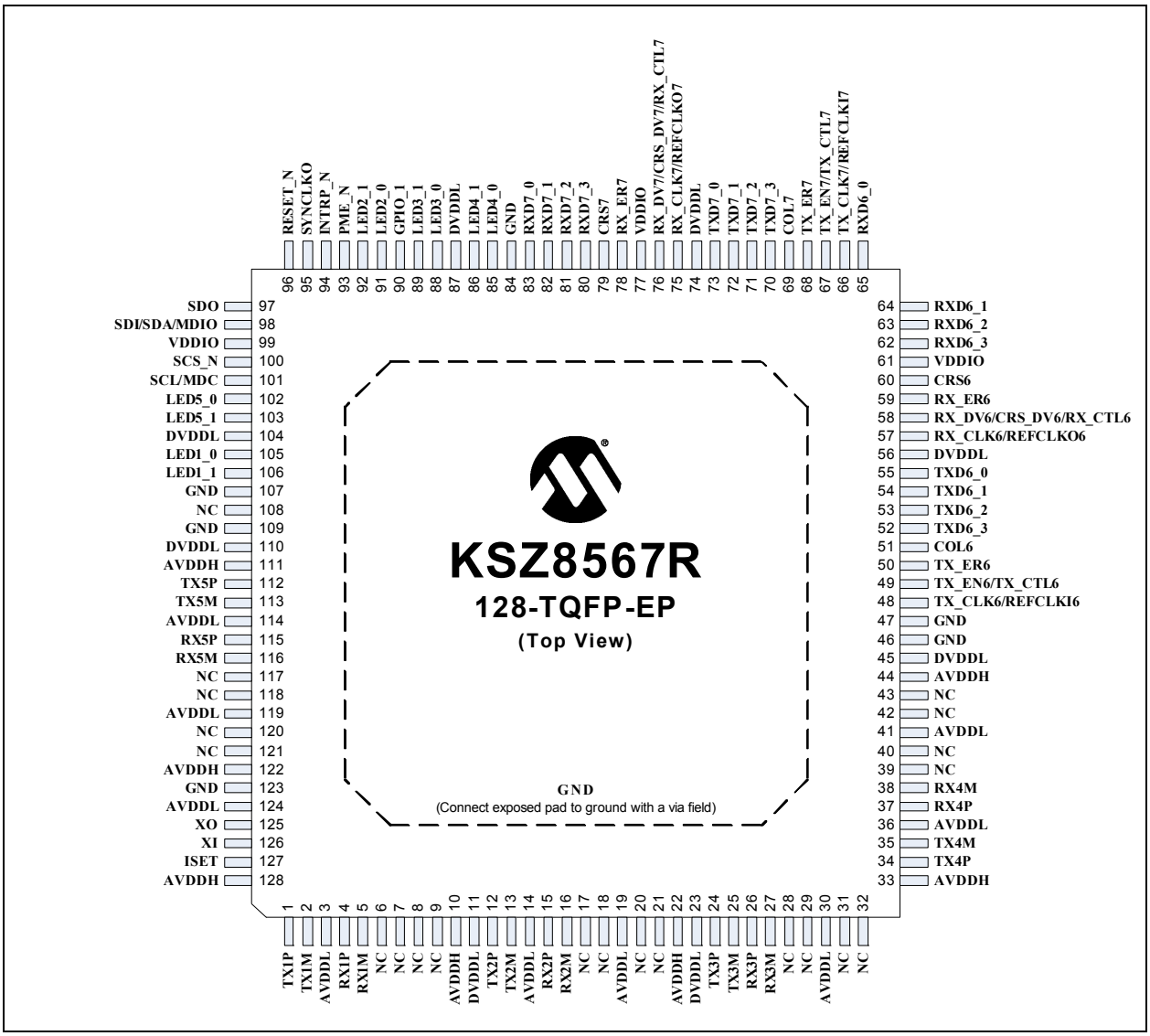
© 2018 Microchip Technology Inc.

3.0 引脚说明和配置

3.1 引脚分配

KSZ8567R 的器件引脚图如图 3-1 所示。表 3-1 提供了 KSZ8567R 引脚分配表。第 3.2 节“引脚说明”提供了引脚说明。

图 3-1： 引脚分配 （俯视图）



注： 当信号名称末尾带有“_N”字样时，表示信号为低电平有效。例如，**RESET_N** 表示复位信号为低电平有效。

第 3.2 节 “引脚说明”的引脚说明表中的 “缓冲器类型”一栏列出了每个信号的缓冲器类型。第 1.2 节 “缓冲器类型”提供了缓冲器类型的说明。

表 3-1： 引脚分配

引脚	引脚名称	引脚	引脚名称	引脚	引脚名称	引脚	引脚名称
1	TX1P	33	AVDDH	65	RXD6_0（注 3-1）	97	SDO
2	TX1M	34	TX4P	66	TX_CLK7/REFCLKI7	98	SDI/SDA/MDIO
3	AVDDL	35	TX4M	67	TX_EN7/TX_CTL7	99	VDDIO
4	RX1P	36	AVDDL	68	TX_ER7	100	SCS_N
5	RX1M	37	RX4P	69	COL7	101	SCL/MDC
6	NC	38	RX4M	70	TXD7_3	102	LED5_0
7	NC	39	NC	71	TXD7_2	103	LED5_1（注 3-1）
8	NC	40	NC	72	TXD7_1	104	DVDDL
9	NC	41	AVDDL	73	TXD7_0	105	LED1_0
10	AVDDH	42	NC	74	DVDDL	106	LED1_1（注 3-1）
11	DVDDL	43	NC	75	RX_CLK7/ REFCLKO7	107	GND
12	TX2P	44	AVDDH	76	RX_DV7/CRS_DV7/ RX_CTL7（注 3-1）	108	NC
13	TX2M	45	DVDDL	77	VDDIO	109	GND
14	AVDDL	46	GND	78	RX_ER7	110	DVDDL
15	RX2P	47	GND	79	CRS7	111	AVDDH
16	RX2M	48	TX_CLK6/REFCLKI6	80	RXD7_3（注 3-1）	112	TX5P
17	NC	49	TX_EN6/TX_CTL6	81	RXD7_2（注 3-1）	113	TX5M
18	NC	50	TX_ER6	82	RXD7_1（注 3-1）	114	AVDDL
19	AVDDL	51	COL6	83	RXD7_0（注 3-1）	115	RX5P
20	NC	52	TXD6_3	84	GND	116	RX5M
21	NC	53	TXD6_2	85	LED4_0（注 3-1）	117	NC
22	AVDDH	54	TXD6_1	86	LED4_1（注 3-1）	118	NC
23	DVDDL	55	TXD6_0	87	DVDDL	119	AVDDL
24	TX3P	56	DVDDL	88	LED3_0	120	NC
25	TX3M	57	RX_CLK6/ REFCLKO6	89	LED3_1（注 3-1）	121	NC
26	RX3P	58	RX_DV6/CRS_DV6/ RX_CTL6	90	GPIO_1	122	AVDDH
27	RX3M	59	RX_ER6	91	LED2_0（注 3-1）	123	GND
28	NC	60	CRS6	92	LED2_1（注 3-1）	124	AVDDL
29	NC	61	VDDIO	93	PME_N	125	XO
30	AVDDL	62	RXD6_3（注 3-1）	94	INTRP_N	126	XI
31	NC	63	RXD6_2（注 3-1）	95	SYNCLKO	127	ISET
32	NC	64	RXD6_1（注 3-1）	96	RESET_N	128	AVDDH
裸露焊盘必须连接到 GND							

注 3-1 该引脚在硬件 / 软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。

© 2018 Microchip Technology Inc.

3.2 引脚说明

本节详细介绍了各设备信号的功能。

表 3-2： 引脚说明

名称	符号	缓冲器类型	说明
端口 5-1 10/100 以太网引脚			
端口 5-1 以太网 TX +	**TX[5:1]P**	AIO	端口 **5-1** 100BASE-TX/10BASE-T 差分数据 （+） MDI 模式下发送， MDI-X 模式下接收。
端口 5-1 以太网 TX -	**TX[5:1]M**	AIO	端口 **5-1** 100BASE-TX/10BASE-T 差分数据 （-） MDI 模式下发送， MDI-X 模式下接收。
端口 5-1 以太网 RX +	**RX[5:1]P**	AIO	端口 **5-1** 100BASE-TX/10BASE-T 差分数据 （+） MDI 模式下接收， MDI-X 模式下发送。
端口 5-1 以太网 RX -	**RX[5:1]M**	AIO	端口 **5-1** 100BASE-TX/10BASE-T 差分数据 （-） MDI 模式下接收， MDI-X 模式下发送。
端口 7-6 RGMII/MII/RMII 引脚			
端口 7-6 发送 / 参考时钟	**TX_CLK[7:6]/ REFCLKI[7:6]**	I/O8	**MII 模式：TX_CLK[7:6]** 是端口 7-6 的 25/2.5 MHz 发送时钟。PHY 模式下，该引脚为输出； MAC 模式下，该引脚为输入。 **RMII 模式：**RMII 正常模式下， **REFCLKI[7:6]** 是端口 7-6 的50 MHz参考时钟输入。RMII时钟模式下，该引脚未使用。 **RGMII 模式：TX_CLK[7:6]** 是端口 7-6 的 125/25/2.5 MHz 发送时钟输入。
端口 7-6 发送使能 / 控制	**TX_EN[7:6]/ TX_CTL[7:6]**	IPD	**MII/RMII 模式：TX_EN[7:6]** 是端口 7-6 的发送使能。 **RGMII 模式：TX_CTL[7:6]** 是端口 7-6 的发送控制。
端口 7-6 发送错误	**TX_ER[7:6]**	IPD	**MII 模式：**端口 7-6 的发送错误输入。 **RMII/RGMII 模式：**未使用。在这些工作模式下，不连接该引脚。
端口 7-6 冲突检测	**COL[7:6]**	IPD/O8	**MII 模式：**端口 7-6 冲突检测。 PHY 模式下，该引脚为输出； MAC 模式下，该引脚为输入。 **RMII/RGMII 模式：**未使用。在这些工作模式下，不连接该引脚。
端口 7-6 发送数据 3	**TXD[7:6]_3**	IPD	**MII/RGMII 模式：**端口 7-6 发送数据总线位 3。 **RMII 模式：**未使用。在该工作模式下，不连接该引脚。
端口 7-6 发送数据 2	**TXD[7:6]_2**	IPD	**MII/RGMII 模式：**端口 7-6 发送数据总线位 2。 **RMII 模式：**未使用。在该工作模式下，不连接该引脚。
端口 7-6 发送数据 1	**TXD[7:6]_1**	IPD	**MII/RMII/RGMII 模式：**端口 7-6 发送数据总线位 1。
端口 7-6 发送数据 0	**TXD[7:6]_0**	IPD	**MII/RMII/RGMII 模式：**端口 7-6 发送数据总线位 0。

表 3-2： 引脚说明 （续）

名称	符号	缓冲器类型	说明
端口 7-6 接收 / 参考时钟	**RX_CLK[7:6]/ REFCLKO[7:6]**	I/O24	**MII 模式：RX_CLK[7:6]** 是端口 7-6 的 25/2.5 MHz 接收时钟。PHY 模式下，该引脚为输出； MAC 模式下，该引脚为输入。 **RMII 模式：**RMII 时钟模式下， **REFCLKO[7:6]** 是端口 7-6 的 50 MHz 参考时钟输出。RMII 正常模式下，该引脚未使用。 **RGMII 模式：RX_CLK[7:6]** 是端口 7-6 的 125/25/2.5 MHz 接收时钟输出。
端口 7-6 接收数据有效 / 载波检测 / 控制	**RX_DV[7:6]/ CRS_DV[7:6]/ RX_CTL[7:6]**	IPD/O24	**MII 模式：RX_DV[7:6]** 是端口 7-6 的接收数据有效输出。 **RMII 模式：CRS_DV[7:6]** 是载波检测 / 接收数据有效输出。 **RGMII 模式：RX_CTL[7:6]** 是接收控制输出。 **注：** **RX_DV7/CRS_DV7/RX_CTL7** 引脚在硬件 / 软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 7-6 接收错误	**RX_ER[7:6]**	IPD/O24	**MII 模式：**端口 7-6 接收错误输出。 **RMII/RGMII 模式：**未使用。在这些工作模式下，不连接该引脚。
端口 7-6 载波检测	**CRS[7:6]**	IPD/O8	**MII 模式：**端口 7-6 载波检测。 PHY 模式下，该引脚为输出； MAC 模式下，该引脚为输入。 **RMII/RGMII 模式：**未使用。在这些工作模式下，不连接该引脚。
端口 7-6 接收数据 3	**RXD[7:6]_3**	IPD/O24	**MII/RGMII 模式：**端口 7-6 接收数据总线位 3。 **RMII 模式：**未使用。在该工作模式下，不连接该引脚。 **注：** 这些引脚在硬件 / 软件复位期间还提供配置引脚功能。有关更多信息，请参见第3.2.1节“配置引脚”。
端口 7-6 接收数据 2	**RXD[7:6]_2**	IPD/O24	**MII/RGMII 模式：**端口 7-6 接收数据总线位 2。 **RMII 模式：**未使用。在该工作模式下，不连接该引脚。 **注：** 这些引脚在硬件 / 软件复位期间还提供配置引脚功能。有关更多信息，请参见第3.2.1节“配置引脚”。
端口 7-6 接收数据 1	**RXD[7:6]_1**	IPD/O24	**MII/RMII/RGMII 模式：**端口 7-6 接收数据总线位 1。 **注：** 这些引脚在硬件 / 软件复位期间还提供配置引脚功能。有关更多信息，请参见第3.2.1节“配置引脚”。

© 2018 Microchip Technology Inc.

表 3-2： 引脚说明 （续）

名称	符号	缓冲器类型	说明
端口 7-6 接收数据 0	**RXD[7:6]_0**	IPD/O24	**MII/RMII/RGMII 模式：**端口 7-6 接收数据总线位 0。 **注：** 这些引脚在硬件 / 软件复位期间还提供配置引脚功能。有关更多信息，请参见第3.2.1节“配置引脚”。
SPI/I²C/MIIM 接口引脚			
SPI/I²C/MIIM 串行时钟	**SCL/MDC**	IPU	**SPI/I²C 模式：SCL** 串行时钟。 **MIIM 模式：MDC** 串行时钟。
SPI 数据输出	**SDO**	O8	**SPI 模式：**数据输出 （也称为 MISO）。 **I²C/MIIM 模式：**未使用。
SPI 数据输入 / I²C/MIIM 数据 输入 / 输出	**SDI/SDA/MDIO**	IPU/O8	**SPI 模式：SDI** 数据输入 （也称为 MOSI）。 **I²C 模式：SDA** 数据输入 / 输出。 **MIIM 模式：MDIO** 数据输入 / 输出。 处于输出状态时， **SDI** 和 **MDIO** 是漏极开路信号。需要为 **VDDIO** 提供外部上拉电阻 （1.0 kΩ 至 4.7 kΩ）。
SPI 芯片选择	**SCS_N**	IPU	**SPI 模式：**芯片选择 （低电平有效）。 **I²C/MIIM 模式：**未使用。
LED 引脚			
端口 1 LED 指示灯 0	**LED1_0**	IPU/O8	端口 1 LED 指示灯 0。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 1 LED 指示灯 1	**LED1_1**	IPU/O8	端口 1 LED 指示灯 1。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 2 LED 指示灯 0	**LED2_0**	IPU/O8	端口 2 LED 指示灯 0。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 2 LED 指示灯 1	**LED2_1**	IPU/O8	端口 2 LED 指示灯 1。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。

表 3-2： 引脚说明 （续）

名称	符号	缓冲器类型	说明
端口 3 LED 指示灯 0	**LED3_0**	IPU/O8	端口 3 LED 指示灯 0。 低电平有效输出提供吸电流以点亮外部 LED。
端口 3 LED 指示灯 1	**LED3_1**	IPU/O8	端口 3 LED 指示灯 1。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 4 LED 指示灯 0	**LED4_0**	IPU/O8	端口 4 LED 指示灯 0。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 4 LED 指示灯 1	**LED4_1**	IPU/O8	端口 4 LED 指示灯 1。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
端口 5 LED 指示灯 0	**LED5_0**	IPU/O8	端口 5 LED 指示灯 0。 低电平有效输出提供吸电流以点亮外部 LED。
端口 5 LED 指示灯 1	**LED5_1**	IPU/O8	端口 5 LED 指示灯 1。 低电平有效输出提供吸电流以点亮外部 LED。 **注：** 该引脚在硬件/软件复位期间还提供配置引脚功能。有关更多信息，请参见第 3.2.1 节 “配置引脚”。
其他引脚			
中断	**INTRP_N**	OPU	低电平有效漏极开路中断。 **注：** 该引脚需要一个外部上拉电阻。
电源管理事件	**PME_N**	O8	电源管理事件。 该输出信号表示发生了能量检测事件。它旨在将系统从低功耗模式中唤醒。 **注：** 置位极性是可编程的 （默认为低电平有效）。低电平有效工作需要一个外部上拉电阻。高电平有效工作需要一个外部下拉电阻。
系统复位	**RESET_N**	IPU	低电平有效系统复位。 必须在上电期间或上电之后复位器件。建议上电复位时使用 RC 电路。
晶振时钟 / 振荡器输入	**XI**	ICLK	晶振时钟 / 振荡器输入。 使用 25 MHz 晶振时，该输入连接到晶振的一个引脚上。使用振荡器时，该引脚是振荡器的输入。晶体振荡器应当具有 ±50 ppm 的容差。

© 2018 Microchip Technology Inc.

表 3-2： 引脚说明 （续）

名称	符号	缓冲器类型	说明
晶振时钟输出	**XO**	OCLK	晶振时钟 / 振荡器输出。 使用 25 MHz 晶振时，该输出连接到晶振的一个引脚。使用振荡器时，该引脚保留为不连接。
25/125 MHz 参考时钟输出	**SYNCLKO**	O24	25/125 MHz 参考时钟输出，源自晶振输入或任何 PHY 的恢复时钟。可将该信号用于同步以太网。
通用 输入 / 输出 1	**GPIO_1**	IPU/O8	该信号可用作供 IEEE 1588 事件触发或时间戳捕获单元使用的输入或输出。它将与内部 IEEE 1588 时钟同步。另外还可以通过器件寄存器对该引脚进行控制 （作为输出）或采样 （作为输入）。
发送 输出电流 设置电阻	**ISET**	A	发送输出电流设置电阻。 该引脚用于配置物理发送输出电流。它必须通过一个 6.04 kΩ 1% 电阻连接到 **GND**。
未连接	**NC**	-	未连接。为保证正常工作，该引脚必须保留为不连接。
电源 / 接地引脚			
+3.3/2.5/1.8V I/O 电源	**VDDIO**	P	+3.3V/+2.5V/+1.8V I/O 电源
+3.3/2.5V 模拟电源	**AVDDH**	P	+3.3V/+2.5V 模拟电源
+1,2V 模拟电源	**AVDDL**	P	+1.2V 模拟电源
+1,2V 数字电源	**DVDDL**	P	+1.2V 数字电源
地	**GND**	GND	地 （引脚和焊盘）

3.2.1 配置引脚

KSZ8567R 利用配置引脚来配置器件以不同模式工作。 **RESET_N** 为低电平时，这些引脚处于高阻态。使用上拉 / 下拉电阻可在这些引脚上产生高电平或低电平状态，从而在 **RESET_N** 的上升沿对这些引脚进行内部采样。所有这些引脚都有一个弱内部上拉或下拉电阻，用于提供配置所需的默认电平。要将 LED 引脚配置为低电平，请使用 750Ω 至 1 kΩ 的外部下拉电阻。要将非 LED 引脚配置为高电平，请将外部 1 kΩ 至 10 kΩ 上拉电阻连接到 **VDDIO**。**RESET_N** 变为高电平后，所有这些引脚都将变成驱动输出。

由于内部上拉 / 下拉电阻不够强，必须考虑电路板上或连接到这些引脚的器件内部所驻留的任何其他上拉 / 下拉电阻。

当 LED 引脚直接驱动 LED 时，必须考虑 LED 和 LED 负载电阻对配置电平的影响。这也是为什么要使用小值电阻来将 LED 引脚拉至低电平的原因。当 LED 由高于 **VDDIO** 的电压供电时尤其如此。

表 3-3 详细说明了配置引脚及其相关功能。

表 3-3： 配置引脚说明

配置引脚	说明
LED1_0	**Quiet-WIRE 过滤使能** 0：Quiet-WIRE 过滤使能 1：Quiet-WIRE 过滤禁止 （默认值）
LED1_1	**流量控制 （所有端口）** 0：流量控制禁止 1：流量控制使能 （默认值）
LED2_1	**链路建立模式 （所有 PHY）** 0：快速链路建立：禁止自动协商和自动 MDI/MDI-X 1：正常链路建立：使能自动协商和自动 MDI/MDI-X （默认值） **注：** 由于快速链接建立禁止自动协商和自动交叉功能，因此它仅适用于特殊应用。
LED2_0 和 LED4_0	**如果配置时 LED2_1 = 1 （正常链路建立）：** **[LED2_0 和 LED4_0]：自动协商使能 （所有 PHY） /NAND 树测试模式** 00：保留 01：自动协商禁止 10：NAND 树测试模式 11：自动协商使能 （默认值） **如果配置时 LED2_1 = 0 （快速链路建立；所有 PHY 全双工）：** **LED2_0：MDI/MDI-X 模式 （所有 PHY）** 0：MDI-X 1：MDI （默认值） **LED4_0：未使用**
LED4_1、 LED3_1	**[LED4_1、 LED3_1]：管理接口模式** 00：MIIM （MDIO） 01：I^2C 1x：SPI （默认值）
LED5_1	**启动时开关使能** 0：0 = 禁止启动开关。在开关操作寄存器中的启动开关位置 1 之前，开关不会转发数据包。 1：0 = 使能启动开关。复位之后，开关会立即转发数据包。（默认值）
RXD6_3、 RXD6_2	**[RXD6_3、 RXD6_2]：端口 6 模式** 00：RGMII （默认值） 01：RMII 10：保留 11：MII

© 2018 Microchip Technology Inc.

表 3-3： 配置引脚说明 （续）

配置引脚	说明
RXD6_1	**端口 6 MII/RMII 模式** 0：MII:PHY 模式 （默认值） RMII: 时钟模式。 RMII 50 MHz 参考时钟在 **REFCLKO6** 上输出。（默认值） RGMII: 不起作用 1：MII:MAC 模式 RMII: 正常模式。 RMII 50 MHz 参考时钟在 **REFCLKI6** 上输入。 RGMII: 不起作用
RXD6_0	**端口 6 速度选择** 0：1000 Mbps 模式 （默认值） 1：10/100 Mbps 模式 **注：** 如果针对 MII 或 RMII 配置了端口 6，则将速度设置为 100 Mbps。
RXD7_3、 RXD7_2	**[RXD7_3、 RXD7_2]：端口 7 模式** 00：RGMII （默认值） 01：RMII 10：保留 11：MII
RXD7_1	**端口 7 MII/RMII 模式** 0：MII:PHY 模式 （默认值） RMII: 时钟模式。 RMII 50 MHz 参考时钟在 **REFCLKO7** 上输出。（默认值） RGMII: 不起作用 1：MII:MAC 模式 RMII: 正常模式。 RMII 50 MHz 参考时钟在 **REFCLKI7** 上输入。 RGMII: 不起作用
RXD7_0	**端口 7 速度选择** 0：1000 Mbps 模式 （默认值） 1：10/100 Mbps 模式 **注：** 如果针对 MII 或 RMII 配置了端口 7，则将速度设置为 100 Mbps。
RX_DV7/CRS_DV7/ RX_CTL7	**带内管理** 0：禁止带内管理 （默认值） 1：使能带内管理

4.0 功能描述

本节提供以下功能描述：

- 物理层收发器 （PHY）
- LED
- 媒体访问控制器 （MAC）
- 开关
- IEEE 1588 精密时间协议
- 音视频桥接和时间敏感型网络
- NAND 树支持
- 时钟
- 电源
- 电源管理
- 管理接口
- 带内管理
- MAC 接口 （RGMII/MII/RMII 端口 6 至 7）

4.1 物理层收发器 （PHY）

端口 1 至 5 包括完全集成的双速（10BASE-T/Te、100BASE-TX）以太网物理层收发器，用于通过标准四对非屏蔽双绞线（unshielded twisted pair，UTP）、CAT-5 或更好的以太网电缆发送和接收数据。在 100 Mbps 速率下，可选的 Quiet-WIRE 过滤功能可减少辐射，同时保持与标准 100BASE-TX 器件的互操作性。

该器件针对差分对使用片上端接电阻，无需使用外部端接电阻，因此降低了电路板成本并简化了电路板布局布线。与使用外部偏置和终端电阻相比，使用内部芯片端接和偏置可以大幅降低功耗。

4.1.1 100BASE-TX 收发器

4.1.1.1 100BASE-TX 发送

100BASE-TX 发送功能执行并串转换、 4B/5B 编码、加扰、 NRZ 到 NRZI 转换以及 MLT3 编码和发送。

该电路从并串转换开始，该转换将来自 MAC 的 MII 数据转换为 125 MHz 串行比特流。然后将数据和控制流转换成 4B/5B 编码，后跟加扰器。串行化数据进一步从 NRZ 转换为 NRZI 格式，然后在 MLT3 电流输出中发送。外部 ISET 电阻设置输出电流以实现 1:1 的变压比。

输出信号具有 4 ns 的典型上升 / 下降时间，符合关于幅度平衡、过冲和定时抖动的 ANSI TP-PMD 标准。经过波形整形的 10BASE-T/Te 输出驱动器也会并入 100BASE-TX 驱动器中。

4.1.1.2 100BASE-TX 接收

100BASE-TX 接收功能执行自适应均衡、直流恢复、MLT3 到 NRZI 转换、数据和时钟恢复、NRZI 到 NRZ 转换、解扰、4B/5B 译码及串并转换。

接收侧从均衡滤波器开始，以补偿双绞线电缆上的符号间干扰（inter-symbol interference， ISI）。由于幅度损耗和相位失真与电缆长度成函数关系，均衡器必须调整其特性以优化性能。在该设计中，可变均衡器基于输入信号强度与某些已知电缆特性的比较进行初始估计，然后调谐自身进行优化。这是一个持续的过程，并将针对环境变化（如温度变化）进行自我调整。

接下来，均衡后的信号通过直流恢复和数据转换模块。直流恢复电路用于补偿基线漂移的影响，并改善动态范围。差分数据转换电路将 MLT3 格式转换回 NRZI。限幅阈值也是自适应的。

时钟恢复电路从 NRZI 信号边沿提取 125 MHz 时钟。然后，该恢复时钟用于将 NRZI 信号转换为 NRZ 格式。此信号通过解扰器发送，后跟 4B/5B 译码器。最后， NRZ 串行数据被转换为 MII 格式，并作为输入数据提供给 MAC。

© 2018 Microchip Technology Inc.

4.1.1.3 加扰器 / 解扰器

加扰器的用途是扩展信号功率谱以减少电磁干扰 （electromagnetic interference， EMI）和基线漂移。加扰器仅用于 100BASE-TX。

发送的数据使用 11 位宽线性反馈移位寄存器 （linear feedback shift register， LFSR）进行加扰。加扰器生成 2047 位的非重复序列，然后接收器使用与发射器相同的序列对输入数据流进行解扰。

4.1.2 10BASE-T/Te 收发器

当 **AVDDH** 电源为 3.3V 时，10 Mbps 接口为 10BASE-T。当 **AVDDH** 为 2.5V 时，10BASE-T 信号具有减小的发送信号幅度，并被称为 10BASE-Te。使用 Cat5 电缆时， 10BASE-Te 与 10BASE-T 之间可进行互操作的距离为 100 米。

4.1.2.1 10BASE-T/Te 发送

10BASE-T/Te 驱动器与 100BASE-TX 驱动器相结合，允许使用相同的磁性元件传输。它们在内部进行波形整形并预加重为具有典型电压幅度 （10BASE-T 为 2.5V， 10BASE-Te 为 1.75V）的输出。当由全 1 曼彻斯特编码信号驱动时，谐波含量比基频至少低 27 dB。

4.1.2.2 10BASE-T/Te 接收

接收侧采用了输入缓冲器和电平检测静噪电路。差分输入接收器电路和锁相环 （phase-locked loop， PLL）执行译码功能。

曼彻斯特编码的数据流被分成时钟信号和 NRZ 数据。静噪电路抑制电平低于 400 mV 或具有短脉冲宽度的信号，以防止 RXP1 或 RXM1 输入处的噪声错误地触发译码器。当输入超过静噪限制时，PLL 锁定到输入信号，器件对数据帧进行译码。接收器时钟在数据接收之间的空闲时段保持活动状态。

4.1.3 自动 MDI/MDI-X

自动 MDI/MDI-X 功能也称为自动交叉功能，使得无需确定在该器件与其链路伙伴之间使用的是直连电缆还是交叉电缆。该自动检测功能会检测链路伙伴的 MDI/MDI-X 对映射，并相应地分配该器件的 MDI/MDI-X 对映射。表 4-1 显示了该器件 MDI 和 MDI-X 引脚映射的 10/100 Mbps 引脚配置分配。

表 4-1： MDI/MDI-X 引脚定义

引脚 （RJ45 对）	MDI		MDI-X	
	100BASE-TX	10BASE-T/Te	100BASE-TX	10BASE-T/Te
TXP/M_A （1,2）	TX+/-	TX+/-	RX+/-	RX+/-
RXP/M_A （3,6）	RX+/-	RX+/-	TX+/-	TX+/-

自动 MDI/MDI-X 默认使能。它可以通过端口控制寄存器予以禁用。如果自动 MDI/MDI-X 禁用，也可以使用端口控制寄存器在 MDI 和 MDI-X 设置之间进行选择。

推荐使用具有对称发送和接收数据路径的隔离变压器，以支持自动 MDI/MDI-X。

4.1.4 波形整形、转换率控制和部分响应

在通信系统中，使用信号传输编码方法来提供噪声整形功能并使传输通道中的失真和误差最小化。

- 对于 100BASE-TX，使用简单的转换率控制方法来最大限度减少 EMI。
- 对于 10BASE-T/Te，使用预加重来提高通过电缆传输的信号质量。

4.1.5 自动协商

该器件符合 IEEE 802.3 定义的自动协商协议。自动协商允许链路伙伴选择最佳的共模工作模式，从而使得每个端口都可以采用 10BASE-T/Te 或 100BASE-TX 运行。在自动协商期间，链路伙伴跨链路彼此通告能力，然后将自己的能力与链路伙伴通告的能力进行比较。选择两个链路伙伴共同的最高速率和双工设置作为工作模式。自动协商还用于通过下一页功能协商对节能以太网 （EEE）的支持。

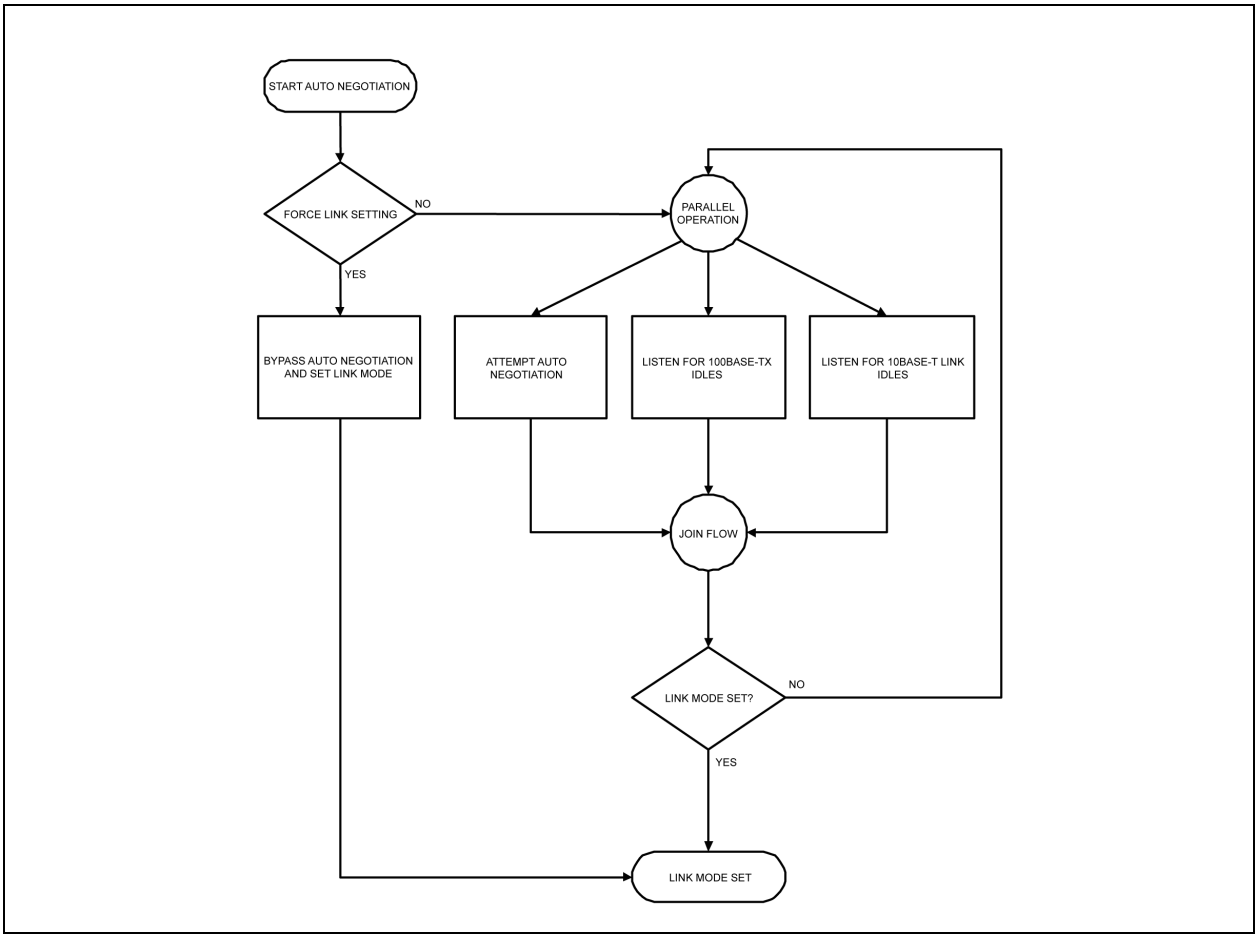
以下列表按照优先级从高到低排列显示了速率和双工工作模式。

- 优先级 1：100BASE-TX，全双工
- 优先级 2：100BASE-TX，半双工
- 优先级 3：10BASE-T/Te，全双工
- 优先级 4：10BASE-T/Te，半双工

如果 KSZ8567R 链路伙伴不支持自动协商或强制绕过自动协商，则 KSZ8567R 端口会通过观察其接收器处的信号来设置其工作模式。这被称为并行检测，它使得 KSZ8567R 能够在没有自动协商通告协议的情况下通过监听固定信号协议来建立链路。

自动协商链路建立过程如图 4-1 所示。

图 4-1： 自动协商和并行操作



自动协商在上电或硬件复位后默认使能。之后，可通过 PHY 基本控制寄存器的 bit 12 来使能或禁止自动协商。如果禁止自动协商，则速率由 PHY 基本控制寄存器的 bit 13 设置，双工由 bit 8 设置。

如果速率发生实时变化，则断开链路并开始自动协商或并行检测，直到为链路重新建立了 KSZ8567R 与其链路伙伴之间的共同速率。

如果链路已建立且在运行期间无速率变化，则除非通过 PHY 基本控制寄存器的 bit 9 重新启动自动协商，或发生链路断开到链路建立的转换 （即断开并重新连接电缆），否则更改 （例如，双工和暂停能力）不会生效。

© 2018 Microchip Technology Inc.

自动协商完成后，链路状态在 PHY 基本状态寄存器中更新，链路伙伴能力在 PHY 自动协商链路伙伴能力寄存器和 PHY 自动协商扩展状态寄存器中更新。

4.1.6 Quiet-WIRE 过滤

Quiet-WIRE 功能可以通过减少来自 TXP/M 信号对的传导和辐射发射，增强 100BASE-TX EMC 性能。它既可用来减少绝对辐射，也使得可以用非屏蔽电缆替换屏蔽电缆，同时保持与标准 100BASE-TX 器件的互操作性。

Quiet-WIRE 过滤在内部实现，无需附加外部元件。所有 PHY 的该功能在上电时使能或禁用，并通过 **LED1_0** 引脚上的配置选项复位。该器件上电后，可通过写入相应的控制寄存器来使能或禁用 Quiet-WIRE 功能。

Quiet-WIRE 的默认设置是主要减少 60 MHz 以上的辐射，对于频率较低的辐射，减少量较小。减少几 dB 是可能的。信号衰减大致相当于将电缆长度增加 10 到 20 米，因此电缆所及范围会减少相同长度。对于需要更适度地改善辐射的应用，可通过写入某些寄存器来降低过滤水平。

4.1.7 快速链路建立

链接建立时间通常取决于完成自动协商所需的时间。自动 MDI/MDI-X 功能可能会增加一些时间。从上电或电缆连接到链路建立的总时间通常为一秒或更长时间。

快速链路建立模式通过禁用自动协商和自动 MDI/MDI-X 功能以及固定 TX 和 RX 通道，大幅缩短 100BASE-TX 链路建立时间。该模式由 **LED2_1** 配置选项使能或禁止。它不由寄存器设置，因此上电时可立即实现快速链路建立。上电时的快速链路建立仅适用于 100BASE-TX 链路速率，该速率通过将 **LED4_0** 引脚配置为高电平来选择。快速链路建立也适用于 10BASE-T/Te，但必须先通过寄存器写入来选择该链路速率。

快速链路建立设计用于预先知道链路伙伴的专门应用。链路也必须是已知的，以便一个器件的固定发送通道连接到另一个器件的固定接收通道，反之亦然。 TX 和 RX 通道的分配取决于 **LED2_0** 上的 MDI/MDI-X 配置选项。

如果快速链路建立模式下的器件连接到普通器件（自动协商和自动 MDI/MDI-X），链接不会出现问题，但快速链路建立的速度优势将不会实现。

有关配置引脚的更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

4.1.8 LinkMD® 电缆诊断

LinkMD® 功能使用时域反射法（Time Domain Reflectometry，TDR）来分析常见布线问题，如开路、短路和阻抗不匹配。

LinkMD® 的工作原理是，沿 MDI 或 MDI-X 差分对发送已知幅度和持续时间的脉冲，然后分析反射信号的形状来确定故障类型。反射信号返回的持续时间提供了到布线故障的大概距离。 LinkMD® 功能可处理该 TDR 信息，并将其显示为可转换为电缆距离的数值。

4.1.9 LinkMD® + 增强诊断：接收信号质量指示器

该器件提供接收信号质量指示器（Signal Quality Indicator，SQI）功能，用于指示 100BASE-TX 接收信号的相对质量。它近似于信噪比，并受到电缆长度、电缆质量以及环境噪声耦合的影响。

原始 SQI 值可以随时从 SQI 寄存器中读取。值越小，信号质量越好；值越大，信号质量越差。即使在低噪声环境下的稳定配置中，从该寄存器读取的值也可能会不同。因此，应当多次读取，然后取平均值。 SQI 寄存器的更新时间间隔为 2 µs，因此间隔小于 2 µs 的测量是多余的。在安静的环境中，建议读取 6 到 10 次来取平均值。在嘈杂的环境中，个别读数不可靠，因此建议至少读取 30 次来取平均值。 SQI 电路不包含任何迟滞。

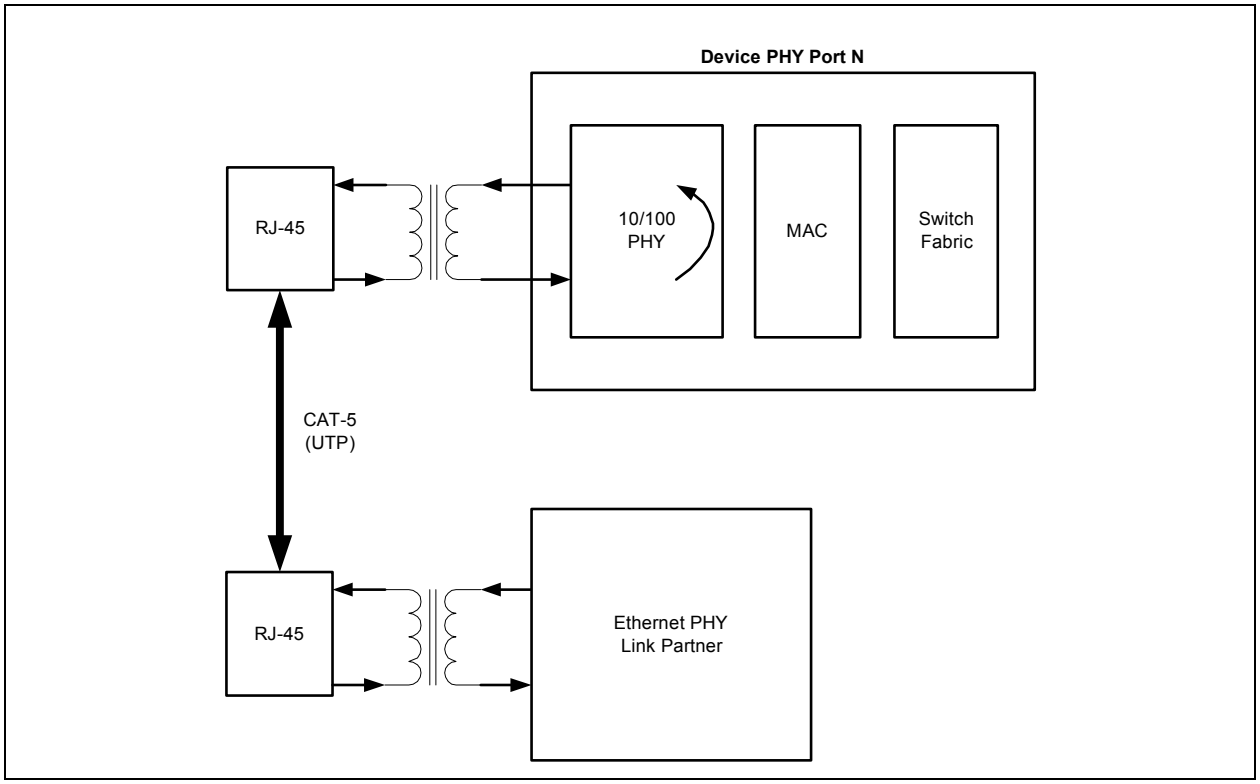
4.1.10 远程 PHY 环回

该环回模式会检查 KSZ8567R 与其以太网 PHY 链路伙伴之间的线路（差分对、变压器、 RJ-45 连接器和以太网电缆）发送和接收数据路径，并且只支持 10/100 Mbps 全双工模式。

环回数据路径如图 4-2 所示，运行方式如下：

- 以太网 PHY 链路伙伴将数据发送到 KSZ8567RPHY 端口。
- PHY 端口外部引脚处接收到的数据被环回，而不通过 MAC 和内部开关结构。
- 同一 KSZ8567RPHY 端口将数据发回给以太网 PHY 链路伙伴。

图 4-2： 远程 PHY 环回



以下编程步骤和寄存器设置适用于 100BASE-TX 模式和 10BASE-T 模式的远程 PHY 环回模式。

- 100BASE-TX 模式
  - 设置端口 N （1-5），即 PHY 自动协商通告寄存器 = 0x0181
  - 设置端口 N （1-5），即 PHY 远程环回寄存器 = 0x01F0
  - 设置端口 N （1-5），即 PHY 基本控制寄存器 = 0x3300

- 10BASE-T 模式
  - 设置端口 N （1-5），即 PHY 自动协商通告寄存器 = 0x0061
  - 设置端口 N （1-5），即 PHY 远程环回寄存器 = 0x01F0
  - 设置端口 N （1-5），即 PHY 基本控制寄存器 = 0x3300

© 2018 Microchip Technology Inc.

4.2 LED

每个 PHY 端口都有两个可编程的 LED 输出引脚（**LED*x*_0** 和 **LED*x*_1**），用于指示 PHY 链路和活动状态。有两种不同的 LED 模式可供选择。通过写入 PHY 间接寄存器中的 PHY 模式位（MMD 2，地址 0， bit 4），可分别为每个 PHY 端口更改 LED 模式。

- 1 = 单 LED 模式
- 0 = 三色双 LED 模式（默认值）

每个 LED 输出引脚都可直接驱动带串联电阻（通常为 220Ω 至 470Ω）的 LED。 LED 输出为低电平有效。

4.2.1 单 LED 模式

在单 LED 模式下， **LED*x*_1** 引脚指示链路状态， **LED*x*_0** 引脚指示活动状态，如图 4-2 所示。

表 4-2： 单 LED 模式引脚定义

LED 引脚	引脚状态	引脚 LED 定义	链路 / 活动
LED*x*_1	H	关闭	链路关闭
	L	开启	链路开启（任意速率）
LED*x*_0	H	关闭	无活动
	切换	闪烁	活动（RX， TX）

4.2.2 三色双 LED 模式

在三色双 LED 模式下：对于 1000BASE-T，链路和活动状态由 **LED*x*_1** 引脚指示；对于 100BASE-TX，由 **LED*x*_0** 引脚指示；对于 10BASE-T，由 **LED*x*_1** 和 **LED*x*_0** 引脚共同指示。图 4-3 对此作了总结。

表 4-3： 三色双 LED 模式引脚定义

LED 引脚（状态）		LED 引脚（定义）		链路 / 活动
LED*x*_1	**LED*x*_0**	**LED*x*_1**	**LED*x*_0**	
H	H	关闭	关闭	链路关闭
L	H	开启	关闭	1000 Mbps 链路 / 无活动
切换	H	闪烁	关闭	1000 Mbps 链路 / 活动（RX， TX）
H	L	关闭	开启	100 Mbps 链路 / 无活动
H	切换	关闭	闪烁	100 Mbps 链路 / 活动（RX， TX）
L	L	开启	开启	10 Mbps 链路 / 无活动
切换	切换	闪烁	闪烁	10 Mbps 链路 / 活动（RX， TX）

4.3 媒体访问控制器 （MAC）

4.3.1 MAC 操作

该器件严格遵守 IEEE 802.3 标准，以最大程度地提高兼容性。另外，还增加了 MAC 过滤功能来过滤单播数据包。MAC 过滤功能在 VoIP 等应用中非常有用，因为限制某些数据包可减少拥塞并提高性能。

发送 MAC 从出口缓冲区获取数据，在该数据前面添加前导码和起始帧定界符来创建完整的以太网帧，并生成附加到帧尾的 FCS。它也会根据需要发送流量控制数据包。

接收 MAC 通过集成式 PHY 或通过 MII/RMII/RGMII 接口接受数据。它对数据字节进行解码，去除每个帧的前导码和 SFD。该 MAC 会提取目标地址和源地址以及 VLAN 标记，用于过滤以及寻址 /ID 查找，同时还计算已接收帧的 CRC，将其与 FCS 字段进行比较。该 MAC 可以丢弃大小错误、存在 FCS 错误、或者源 MAC 地址与开关 MAC 地址匹配的帧。

接收 MAC 还能实现局域网唤醒 （WoL）功能。第 4.10 节 “电源管理”详细介绍了该系统节能功能。

在接收和发送两个方向上都会收集 MIB 统计信息。

4.3.2 封包间隙 （Inter-Packet Gap， IPG）

如果帧发送成功，那么 IPG 的最短 96 位时间会被指定为两个连续数据包之间的时间间隔。如果当前数据包发生冲突，那么 IPG 的最短 96 位时间会被指定为从载波检测 （carrier sense， CRS）到下一个发送数据包的时间间隔。

4.3.3 回退算法

该器件在半双工模式下实施 IEEE 标准 802.3 二进制指数回退算法。在发生 16 次冲突之后，数据包会被丢弃。

4.3.4 延迟冲突

如果发送数据包在发送的 512 位时间后发生冲突，该数据包会被丢弃。

4.3.5 合法数据包大小

在所有端口上，该器件会丢弃小于 64 字节 （不包括 VLAN 标记，但包括 FCS）或超出最大数据包大小的接收数据包。默认最大数据包大小是 1518 字节（IEEE 标准），但可以设定为 2000 字节。工作速率为 1000 Mbps 的端口可以设定为接受最大 9000 字节的巨型数据包，但考虑到性能问题，建议不要同时使能超过两个端口来接收巨型数据包。

4.3.6 流量控制

该器件在发送和接收方向上都支持标准 MAC 控制 PAUSE （802.3x 流量控制）帧，以便实现全双工连接。

在接收方向上，如果在任何端口接收到 PAUSE 控制帧，该器件将不会在该端口上发送下一个正常帧，直到 PAUSE 控制帧中指定的定时器超时。如果在当前定时器超时之前收到另一个 PAUSE 帧，定时器将更新为第二个 PAUSE 帧中的新值。在此期间 （流量受控期间），仅会发送来自该器件的流量控制数据包。

在发送方向上，该器件能够智能高效地确定何时应调用流量控制并发送 PAUSE 帧。流量控制基于可用缓冲区、可用发送队列和可用接收队列等系统资源的可用性。

该器件发出 PAUSE 帧，其中包含 IEEE 标准 802.3x 中定义的最大暂停时间。在资源释放后，该器件会发出另一个包含零暂停时间的流量控制帧来关闭流量控制 （打开到相应端口的传输）。该器件上提供了迟滞功能，用于防止流量控制机制始终处于激活和停用状态。

4.3.7 半双工背压

另外还提供了半双工背压选项 （非 IEEE 802.3 标准）。激活和停用条件与全双工模式下相同。如果需要背压，该器件会发送前导码以延迟其他站点的传输 （载波检测推迟）。

© 2018 Microchip Technology Inc.

为了避免 Jabber 和过多推迟 （如 802.3 标准中所定义），在一段时间之后，该器件会停止载波检测，然后再次快速启动检测。这个短暂的静默时间 （无载波检测）用于防止其他站点发送数据包，从而使这些站点保持载波检测推迟状态。如果端口在背压情形下有数据包要发送，载波检测型背压会被中断并发送这些数据包。如果没有其他数据包要发送，载波检测型背压将会重新激活，直到芯片资源释放。如果发生冲突，会跳过二进制指数回退算法并立即生成载波检测，从而减少进一步发生冲突的可能性，并保持载波检测以阻止接收数据包。

为确保在 10BASE-T/Te 或 100BASE-TX 半双工模式下不丢包，用户必须使能以下功能：

- 无过度冲突丢弃 （开关 MAC 控制 1 寄存器）
- 背压 （端口 MAC 控制 1 寄存器）

4.3.8 流量控制和背压寄存器

表 4-4 列出了与流量控制和背压相关的寄存器。

表 4-4： 流量控制和背压寄存器

寄存器	说明
LED 配置引脚寄存器	LED 配置引脚设置。 （**LED1_1** 用于使能流量控制和背压）
开关 MAC 地址 0 寄存器 至 开关 MAC 地址 5 寄存器	开关的 MAC 地址，用作 PAUSE 控制帧的源地址
开关 MAC 控制 0 寄存器	“主动回退”使能
开关 MAC 控制 1 寄存器	BP 模式，“公平模式”使能，“无过度冲突丢弃”使能
开关 MAC 控制 4 寄存器	允许 PAUSE 控制帧
端口状态寄存器	流量控制使能 （每个端口）
PHY 自动协商通告寄存器	PHY - 流量控制通告 （每个端口）
端口 MAC 控制 1 寄存器	半双工背压使能 （每个端口）
端口入口速率限制控制寄存器	入口速率限制流量控制使能 （每个端口）
端口控制 0 寄存器	丢弃模式 （每个端口）

4.3.9 广播风暴保护

该器件具有智能选项，可防止开关系统接收太多广播数据包。由于广播数据包会转发到除源端口之外的所有端口时，因此可能会使用过多的开关资源 （发送队列中的带宽和可用空间） 。该器件可选择为包含 “多播数据包”以进行风暴控制。广播风暴速率参数是全局设定的，并可在每个端口上使能或禁止。广播风暴速率基于 50 ms 时间间隔 （100BASE-TX）和 500 ms 时间间隔 （10BASE-T/Te）。在每个时间间隔开始时，计数器清零，并且速率限制机制开始计算时间间隔期间的字节数。控制寄存器中描述了速率定义。默认设置相当于 1% 的速率。

4.3.10 自动地址过滤

如果接收数据包的源地址与该器件的 MAC 地址匹配，可以过滤 （丢弃）这些数据包。如果要在数据包遍历环形网络并返回到源端后将其自动终止，该功能会很有用。该功能可以通过开关查找引擎控制 1 寄存器和端口控制 2 寄存器在每个端口上使能。

4.4 开关

4.4.1 开关引擎

高性能开关引擎用于将数据移入和移出 MAC 的数据包缓冲区。它采用存储并转发模式工作，而高效的开关机制可以减少整体延迟。开关引擎有一个 256 KB 的内部帧缓冲区，该缓冲区在所有端口之间共享。

对于大多数开关功能来说，所有数据端口都地位平等。但 IGMP 窥探、802.1X、转发无效 VLAN 数据包等少数功能会对主机端口给予特别重视。通过使能端口的尾部标记模式，即可将任何端口 （通常是端口 6 或端口 7）分配为主机端口。只有一个端口可以是主机端口。

当开关接收到非错误数据包时，它会检查数据包的目标 MAC 地址。如果该地址已知，数据包会被转发到与目标 MAC 地址关联的输出端口。下面的段落描述了目标地址查找和源地址学习的主要功能。这些过程可与 VLAN 支持和其他功能结合使用，后文的小节中将对此加以介绍。

4.4.2 地址查找

目标地址查找在该器件的三个独立内部地址表中执行：

1. 地址查找 （Address Lookup， ALU）表：4000 个动态和静态条目
2. 静态地址表：16 个静态条目
3. 保留多播地址表：8 个预配置的静态条目

4.4.2.1 地址查找 （Address Lookup， ALU）表

地址查找（ALU）表用于存储 MAC 地址及其关联信息。该表中包含动态和静态条目。动态条目是在硬件中自动创建的，如第 4.4.2.4 节 “学习”所述。静态条目由管理软件创建。

该表是一个 4 向联想存储，具有 1000 个储存桶，总共有 4000 个条目。一个散列函数会将接收数据包的 MAC 地址（以及可选的 FID）转译为 10 位索引以访问该表。每个存储桶中都有四个全相联的地址条目。所有四个条目会同时与 MAC 地址 （以及可选的 FID）进行比较，以确定是否可能存在匹配。

散列函数有三个选项可用，如表 4-5 所述。如果 VLAN（开关查找引擎控制 0 寄存器中的 802.1Q VLAN 使能位）使能，则 VLAN 组 （FID）会与 MAC 地址一起包含在散列函数中。如果 VLAN 未使能，散列函数会应用于 MAC 地址以及为 0 的默认 VLAN （VID = 1）中的 FID。

表 4-5： 地址查找表散列选项

HASH_OPTION （开关查找引擎控制 0 寄存器）	说明
01b （默认值）	一种散列算法，基于 MAC 地址及 FID 的 CRC。该散列算法使用 CRC-CCITT 多项式，散列的输入被减少到 16 位 CRC 散列值。该算法将散列值的 Bit [9:0] 以及（二进制加法）7 位 FID（在左边扩展的零）用作地址查找表的索引。 CRC-CCITT 多项式为：$X^{16}+X^{12}+X^5+1$。
10b	一种 XOR 算法，基于三重折叠 MAC 地址的 XOR 的 16 位。该算法使用 XOR 值的 Bit [9:0] 以及 7 位 FID （左扩展）来为该表建立索引。
00b 或 11b	一种直接算法。该算法使用 MAC 地址的 10 个最低有效位以及 7 位 FID 来为该表建立索引。

4.4.2.2 静态地址表

静态地址表包含 16 个条目，通常用于保存多播地址，但不仅限于此。与 ALU 表中的静态条目一样，静态地址表中的条目由管理软件创建。它与 ALU 表中创建的静态条目具有相同的作用，因此它的使用是可选的。

© 2018 Microchip Technology Inc.

4.4.2.3 保留多播地址表

保留多播地址表用于保存 8 个预配置的地址条目，如表 4-6 中所定义。该表是可选功能，在上电时被禁用。如果需要，可以修改转发端口。

表 4-6： 保留多播地址表

组	地址	MAC 组地址功能	默认 PORT FORWARD 值 （定义转发端口：P7...P1）	默认转发操作
0	(01-80-C2-00)-00-00	桥接组数据	100_0000	仅转发到编号最大的端口（默认主机端口）
1	(01-80-C2-00)-00-01	MAC 控制帧 （通常为流量控制）	000_0000	丢弃 MAC 流量控制
2	(01-80-C2-00)-00-03	802.1X 访问控制	100_0000	转发到编号最大的端口
3	(01-80-C2-00)-00-10	桥接管理	111_1111	洪泛到所有端口
4	(01-80-C2-00)-00-20	GMRP	011_1111	洪泛到除编号最大的端口之外的所有端口
5	(01-80-C2-00)-00-21	GVRP	011_1111	洪泛到除编号最大的端口之外的所有端口
6	(01-80-C2-00)-00-02, (01-80-C2-00)-00-04 – (01-80-C2-00)-00-0F		100_0000	转发到编号最大的端口
7	(01-80-C2-00)-00-11 - (01-80-C2-00)-00-1F, (01-80-C2-00)-00-22 - (01-80-C2-00)-00-2F		011_1111	洪泛到除编号最大的端口之外的所有端口

如果在其中一个表中找到匹配项，则从该表条目读取目标端口。如果在多个表中找到匹配项，静态条目会优先于动态条目。

4.4.2.4 学习

如果满足以下条件，内部查找引擎会使用新的动态条目更新 ALU 表：

- 接到数据包的源地址 （source address， SA）不在该查找表中。
- 接收到的数据包没有错误，并且数据包长度合法。
- 接收到的数据包有一个单播 SA。
- 如果 VLAN 使能，接收到的数据包必须属于指定的 VLAN 域 （FID）。

查找引擎会合格的 SA 连同端口号和时间戳一起插入到该表中。如果所有四个表条目均有效，可以删除动态条目 （最多四个）中最旧的条目，以便为新条目腾出空间。学习过程永远不会删除静态条目。如果所有四个条目都是静态条目，则不会学习地址，但会生成一个中断，并且会向中断服务程序提供该表的索引号。

4.4.2.5 迁移

内部查找引擎还会监控站点是否发生了移动。如果站点发生了移动，该引擎会相应地更新 ALU 表。满足以下条件时便会发生迁移：

- 接收数据包的 SA 位于该表中，但关联的源端口信息不同。
- 接收到的数据包没有接收错误，并且数据包长度合法。

查找引擎会使用新的源端口信息更新表中的现有记录。

4.4.2.6 老化

每当出现相应的 SA 时，查找引擎都会更新 ALU 表中动态记录的时间戳信息。时间戳用于老化过程。如果记录在一段时间内没有更新，查找引擎会将其从该表中删除。查找引擎会不断执行老化过程并不断删除老化记录。老化周期约为 300 秒 （±75 秒），可配置为更长或更短时间 （1 秒至 30 分钟）。该功能可以使能或禁用。静态条目免于老化过程。

4.4.2.7 转发

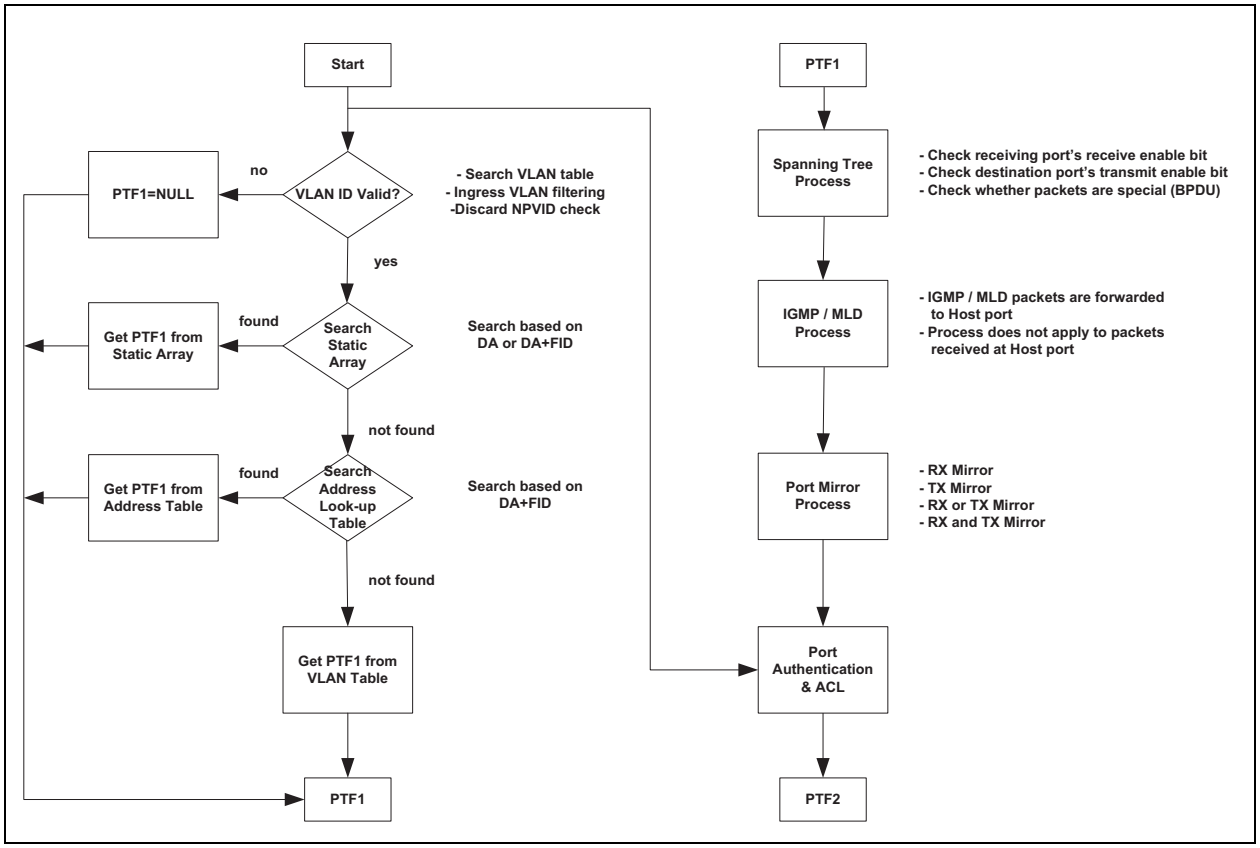
该器件使用图 4-3 中所示的算法来转发数据包。图 4-3 显示了转发算法的第一阶段，其中搜索引擎在 VLAN ID、静态表和动态表中查找目标地址，并得到“转发端口 1”（PTF1）。PTF1 随后被生成树、IGMP 窥探、端口镜像以及端口 VLAN 过程进一步修改。

ACL 过程与上面概述的流程并行工作。身份验证和 ACL 过程在转发过程中具有最高优先级，并且 ACL 结果可能会覆盖上述流程的结果。 ACL 过程的输出是最终的 “转发端口 2”（PTF2）目标端口。

该器件不会转发以下数据包：

- 错误数据包：这包括帧错误、帧校验序列 （Frame Check Sequence， FCS）错误、对齐错误以及数据包大小非法错误。
- MAC 控制 PAUSE 帧：该器件会拦截这些数据包并相应地执行全双工流程控制。
- “本地”数据包：基于目标地址（Destination Address， DA）查找。如果查找表中的目标端口与数据包来源端口匹配，该数据包会被定义为 “本地”数据包。
- 带内管理数据包。

图 4-3： 数据包转发过程流程图



© 2018 Microchip Technology Inc.

4.4.2.8 查找引擎寄存器

表 4-7 列出了与查找引擎相关的寄存器。

表 4-7： 查找引擎寄存器

寄存器	说明
全局中断状态寄存器， 全局中断屏蔽寄存器	顶层 LUE 中断
开关查找引擎控制 0 寄存器， 开关查找引擎控制 1 寄存器， 开关查找引擎控制 2 寄存器， 开关查找引擎控制 3 寄存器	其他
地址查找表中断寄存器， 地址查找表屏蔽寄存器	底层 LUE 中断
地址查找表条目索引 0 寄存器， 地址查找表条目索引 1 寄存器	访问失败地址 / 索引
ALU 表索引 0 寄存器， ALU 表索引 1 寄存器， ALU 表访问控制寄存器， 静态地址和保留多播表控制寄存器， ALU/ 静态地址表条目 1 寄存器， ALU/ 静态地址 / 保留多播表条目 2 寄存器， ALU/ 静态地址表条目 3 寄存器， ALU/ 静态地址表条目 4 寄存器	地址表访问寄存器

4.4.3 IEEE 802.1Q VLAN

虚拟局域网是将物理网络分隔成多个虚拟网络的一种方式，其中流量可以被限制在较大网络的特定子集中。 IEEE 802.1Q 使用 4 字节标记来定义 VLAN 协议，该标记会添加到以太网帧头中。该器件支持基于端口和基于标记的 VLAN，包括标记、取消标记、转发和过滤。

4.4.3.1 基于端口的非标记 VLAN

最简单的 VLAN 方法不使用 VLAN 标记，即可逐个端口地建立转发限制。每个入口端口都有一个寄存器，用于指定允许的转发端口。传入的数据包被限制转发到该入口端口不允许的任何出口端口。相关设置在端口控制 1 寄存器中进行设定。该功能会始终使能；开关查找引擎控制 0 寄存器中的 802.1Q VLAN 使能位不使能和禁用该功能。默认设置为允许所有入口到出口的端口路径。

4.4.3.2 基于标记的 VLAN

802.1Q VLAN 使能后，具有 4000 个条目的内部 VLAN 用于存储与每个 VLAN 相关的端口成员列表、VLAN 组 ID（FID）以及其他信息。该表必须由管理员在使能 802.1Q VLAN 之前设置。通过将开关查找引擎控制 0 寄存器中的 802.1Q VLAN 使能位置 1 即可完成使能。

在 802.1Q VLAN 模式下，查找过程从 VLAN 表查找开始，并将标记的 VID 用作地址。第一步是确定 VID 是否有效。如果 VID 无效，会丢弃数据包且不学习其地址。或者，可将未知的 VID 数据包转发到预定义的端口或主机端口。如果 VID 有效，则检索 FID 以进一步查找。FID + 目标地址（散列（DA）+ FID）用于确定目标端口。FID + 源地址（散列（SA）+ FID）用于地址学习 （见表 4-9 和表 4-10）。

散列（DA）+ FID 经过散列处理，用于在地址查找表和静态地址表中进行转发查找。要成功进行地址表查找，FID 字段也必须匹配。如果匹配失败，数据包会广播到 VLAN 表条目中定义的所有 VLAN 端口成员。如果存在匹配项且出口 VLAN 过滤使能，数据包会被转发到同时位于地址表端口转发列表和 VLAN 表端口成员列表中的端口。

会使用散列 （SA） + FID 执行类似的地址表查找。如果查找失败，则学习 FID 和 SA。

如果接收到未标记或带有空值 VID 标记的数据包，则使用入口端口默认 VID（端口默认标记 0 寄存器和端口默认标记 1 寄存器）进行查找。

表 4-8 详细介绍了各种 VLAN 情形下的转发和丢弃操作。该表中的第一个条目解释如下：即使 802.1Q VLAN 未使能，VLAN 表查找也会使能。请注意，在端口默认标记 0 寄存器和端口默认标记 1 寄存器中，每个端口的端口默认 VID 是 1。相应地， VID = 1 的 VLAN 表条目中的 VLAN 端口成员列表会在上电时预配置为全 1。这提供了广播具有未知目标地址的所有数据包的标准以太网开关行为。如果 VLAN 表条目 1 发生变化，或者端口默认的 VID 发生变化，则即使 VLAN 未使能，这也可能会影响 “未知数据包”的转发操作。

还应注意，出口 VLAN 过滤位的默认值是 0。这些位之所以为 0 只是为了向后兼容之前的 “KSZ”开关。在 VLAN 和 ALU 查找成功的情况下，产生的开关行为是将数据包转发到地址表端口转发列表中的端口，而不考虑 VLAN 端口成员列表。建议将出口 VLAN 过滤位置 1，以便使用 VLAN 表中的 VLAN 端口成员列表来限定从地址查找确定的转发。

表 4-8： VLAN 转发

VLAN 使能（注 4-1）	VLAN 匹配 / 有效（注 4-2）	转发选项（注 4-3）	出口 VLAN 过滤（注 4-4）	未知 VID 转发（注 4-5）	丢弃无效 VID（注 4-6）	ALU 匹配 / 有效（注 4-7）	操作
0	X	X	X	X	X	否	转发到 LAN 表中默认 VID 的端口成员列表
0	X	X	X	X	X	是	转发到地址查找端口转发列表
1	否	X	X	0	0	X	转发到主机端口
1	否	X	X	0（默认值）	1（默认值）	X	丢弃
1	否	X	X	1	X	X	转发到未知 VID 数据包转发端口列表
1	是	0	X	X	X	否	**广播：**转发到 VLAN 表端口成员列表 （PORT FORWARD） **多播：**如果 UM 使能，则转发到未知多播端口。否则，转发到 VLAN 表端口成员列表。 **单播：**如果 UU 使能，则转发到未知单播端口。否则，转发到 VLAN 表端口成员列表。
1	是	0	0（默认值）	X	X	是	转发到地址表查找端口转发列表
1	是	0	1	X	X	是	转发到地址表查找端口转发列表和 VLAN 表端口成员列表（按位与）
1	是	1	X	X	X	是	转发到 VLAN 表端口成员列表

© 2018 Microchip Technology Inc.

注： “（默认值）”表示默认上电值。

注 4-1 **VLAN 使能**是开关查找引擎控制 0 寄存器中的 bit 7

注 4-2 **VLAN 匹配 / 有效**指示 VLAN 表条目有效的时间

注 4-3 **转发选项**是 VLAN 表条目 0 寄存器中的位

注 4-4 **出口 VLAN 过滤**是开关查找引擎控制 2 寄存器中的 bit 5 和 bit 4

注 4-5 **未知 VID 转发**是未知 VLAN ID 控制寄存器中的位

注 4-6 **丢弃无效 VID** 是开关查找引擎控制 0 寄存器中的 bit 6

注 4-7 **ALU 匹配 / 无效**指示地址查找成功的时间

表 4-9 更加详细地描述了 VLAN 表查找之后的地址查找过程。这时会同时在地址查找表和静态地址表中进行查找，所得的操作取决于两个查找的结果。

表 4-9： VLAN 模式下的散列 （DA） + FID 查找

在静态 MAC 表中找到了 DA？	使用 FID 标志？（静态 MAC 表）	FID 匹配？	在 ALU 表中找到了 DA+FID？	操作
否	任意值	任意值	否	查找已失败。广播到 VLAN 表中定义的成员端口
否	任意值	任意值	是	发送到地址查找 （ALU）表中定义的目标端口
是	0	任意值	任意值	发送到静态地址表中定义的目标端口
是	1	否	否	查找已失败。广播到 VLAN 表中定义的成员端口。
是	1	否	是	发送到地址查找 （ALU）表中定义的目标端口
是	1	是	任意值	发送到静态地址表中定义的目标端口

源地址 （SA）查找也在地址查找表中执行。找到地址时， SA 查找也会执行 SA 过滤和 MAC 优先级。表 4-10 描述了在成功完成 VLAN 表查找且在地址查找表和静态地址表中都未找到匹配的静态条目时，如何在地址查找表中执行学习。

表 4-10： VLAN 模式下的散列 （SA） + FID 查找

在地址查找 （ALU）表中找到了 FID + SA？	操作
否	学习 FID + SA 并将其添加到地址查找 （ALU）表
是	更新时间戳

4.4.3.2.1 标记插入和移除

如果 VLAN 功能使能，所有端口上都会使能标记插入。在入口端口上，未标记的数据包会使用入口端口的默认标记进行标记。每个端口的默认标记可以单独编程。除非使能双重标记，否则开关不会为已带标记的数据包添加标记。

在出口端口，如果 VLAN 表条目中使能了取消标记，带标记的数据包会删除其 802.1Q VLAN 标记。该功能在每个端口上分别进行控制。如果 802.1Q 使能，将不会修改未标记的数据包。

4.4.3.2.2 双重标记

该开关支持双重标记 （也称为 Q-in-Q 或 VLAN 堆栈）。服务提供商可以使用此功能来在客户应用的第一个 VLAN 标记之外附加第二个 VLAN 标记。使能 VLAN 支持时可以选择使用或不使用双重标记。使能双重标记时，会识别外部标记（而非内部标记）并用于 VLAN 和地址查找。外部标记位于帧头中的内部标记之前：外部标记紧接在源地址之后，并包含与内部标记不同的标记协议标识符 （Tag Protocol Identifier， TPID）值。

附加控制可用于完全控制 VLAN 功能。其中一些功能可以在每个端口上分别使能，而其他功能则是全局使能：

- **入口 VLAN 过滤：**如果 VLAN 表中的 VID 端口成员不包括入口端口，则丢弃数据包。
- **丢弃非 PVID 数据包：**如果 VID 与入口端口默认 VID 不匹配，则丢弃数据包。
- **丢弃未标记的数据包：**丢弃任何未标记的接收数据包。
- **丢弃标记：**丢弃添加了 VLAN 标记的数据包。
- **未知 VID 转发：**如果 VLAN 查找失败，则转发到一组固定的端口。
- **丢弃未知 VID：**适用于未知 VID 数据包的其他选项：丢弃或转发到主机端口。
- **空 VID 替换：**用入口端口默认 VID 替换空 VID。
- **PVID 替换：**用入口端口默认 VID 替换非空 VID。
- **双重标记多播陷阱：**在双重标记模式下，俘获所有保留的多播数据包并转发到主机端口。

4.4.3.3 VLAN 寄存器

表 4-11 列出了与 VLAN 相关的寄存器。

表 4-11： VLAN 寄存器

寄存器	说明
开关操作寄存器	双重标记使能
开关查找引擎控制 0 寄存器	VLAN 使能；丢弃无效的 VID 帧
开关查找引擎控制 2 寄存器	俘获双重标记的 MC 帧； 动态和状态出口 VLAN 过滤
未知 VLAN ID 控制寄存器	转发未知 VID
开关 MAC 控制 2 寄存器	在出口处用 PVID 替换空 VID
VLAN 表条目 0 寄存器， VLAN 表条目 1 寄存器， VLAN 表条目 2 寄存器， VLAN 表索引寄存器， VLAN 表访问控制寄存器	对 VLAN 表的读 / 写访问
端口默认标记 0 寄存器， 端口默认标记 1 寄存器	端口默认标记
端口入口 MAC 控制寄存器	丢弃非 VLAN 帧；标记丢弃
端口发送队列 PVID 寄存器	出口处的 PVID 替换
端口控制 2 寄存器	VID=0 时的 VLAN 表查找； 入口 VLAN 过滤； PVID 不匹配丢弃

© 2018 Microchip Technology Inc.

4.4.4 服务质量 （Quality-of-Service， QoS）优先级支持

该器件为 VoIP 等应用提供服务质量 （QoS）。有多种方法可以为入口数据包分配优先级。根据数据包的优先级设置方法，数据包优先级会被映射到每个端口的出口队列。每个端口都可配置为 1 个、2 个和 4 个出口队列，按照优先级排序。每个端口的默认值是 1 个队列。

配置为 4 个优先级队列时，队列 3 为最高优先级队列，队列 0 为最低优先级队列。同样，对于 2 队列配置，队列 1 是最高优先级队列。如果端口没有配置为 2 个或 4 个队列，则高优先级数据包和低优先级数据包在单个发送队列中的优先级相同。

每个端口都有一个附加选项，可以选择始终首先从最高优先级队列开始传送数据包，也可以在多个队列之间使用加权轮询排队。后文的第 4.4.13 节 “调度和速率限制”对此做了介绍。

4.4.4.1 基于端口的优先级

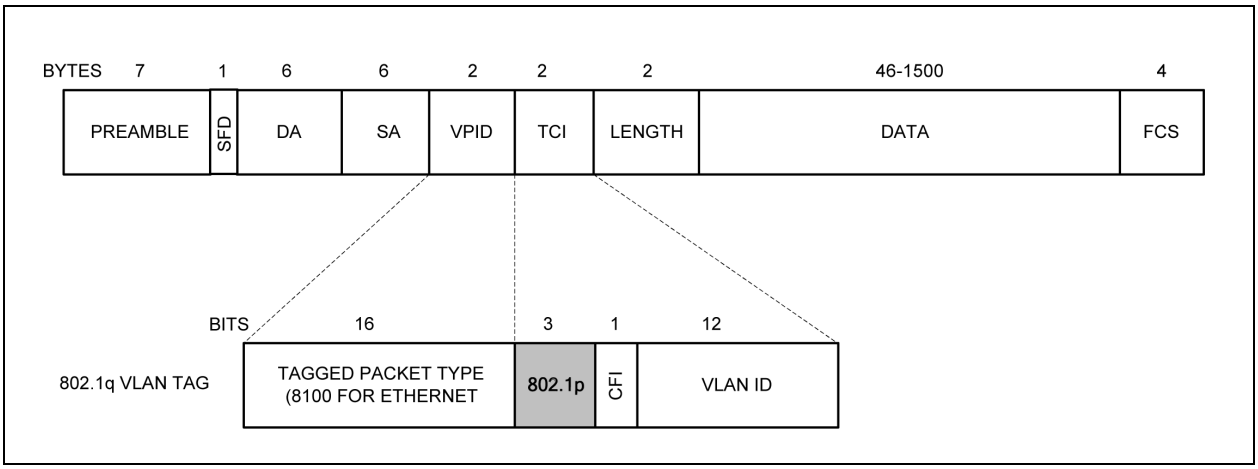
根据基于端口的优先级，每个入口端口会被单独分类为特定的优先级。在高优先级接收端口接收到的所有数据包都会被标记为高优先级，并且如果相应的发送队列被分成 2 或 4 个队列，则会被发送到高优先级发送队列。

4.4.4.2 基于 IEEE 802.1p 的优先级

对于基于 IEEE 802.1p 的优先级，该器件会检查入口数据包以确定它们是否带有标记。如果带有标记，则检索 VLAN 标记中的 3 位 PCP 优先级字段并用于查找 “优先级映射”值。“优先级映射”值是可编程的。

图 4-4 显示了 802.1Q VLAN 标记中嵌入 802.1p 优先级字段的方式。

图 4-4： 802.p 优先级字段格式



4.4.4.3 IEEE 802.1p 优先级字段重映射

这是一项 QoS 功能，允许器件在任何入口端口设置“用户优先级上限”。如果入口数据包的优先级字段的优先级值高于入口端口默认标记优先级字段的优先级值，则会将数据包的优先级字段替换为默认标记的优先级字段。

4.4.4.4 DiffServ （DSCP）优先级 （IP）

IP 报头内 DSCP 字段中基于 DiffServ 的优先级可用于确定数据包优先级。 6 位 DSCP 值用作一组寄存器的索引，这些寄存器用于将 6 位 DSCP 值转译为用于指定 4 （或 2）个队列之一的 2 位值。这些寄存器完全可编程。

4.4.4.5 ACL 优先级

访问控制列表 （ACL）过滤功能也可用于为接收到的数据包分配优先级。第 4.4.18 节 “访问控制列表 （ACL）过滤”中对此做了介绍。

4.4.5 流量调节和监管

4.4.5.1 双速率三色标记器

双速率三色标记器会计量 IP 数据包流，并将其数据包标记为绿色、黄色或红色。如果数据包超过峰值信息速率 （Peak Information Rate， PIR），则会被标记为红色。否则，会根据是否超出承诺信息速率 （Committed Information Rate，CIR），被标记为黄色或绿色。

仪表提供两种工作模式。在色盲模式下，仪表会假定数据包流未着色。在颜色感知模式下，仪表会假定某个前面的实体已经对传入的数据包预先进行了着色，使得每个数据包都是绿色、黄色或红色。标记器会根据仪表的结果为 IP 数据包（重新）着色。

4.4.5.2 加权随机早期检测 （Weighted Random Early Detection， WRED）

WRED 功能监控数据包存储器的平均队列大小和每个流量类别的入口队列大小，并根据存储器和队列利用率丢弃数据包。如果缓冲区几乎为空，则接受所有传入流量。随着缓冲区利用率增加，传入数据包的丢弃概率也会增大。

WRED 旨在避免全局同步的问题。当开关变得拥塞并突然开始丢弃数据包时，就可能发生全局同步。对于 TCP 流，丢包会引发 TCP 拥塞控制机制，该机制会降低传输速率，直到不再丢包。如果有多个 TCP 流且它们的拥塞控制机制步调一致，这可能会导致流量速率出现不良波动。WRED 通过提前选择性丢弃一些数据包，而不是等到缓冲区满，从而避免突然出现数据包大量丢弃，并最大限度地降低发生全局同步的可能性。

丢包概率基于最小阈值、最大阈值和概率乘数。当平均队列深度大于最小阈值时，则开始出现丢包。丢包率随着平均队列大小的增加而呈线性增加，直到平均队列大小达到最大阈值。概率乘数是平均队列深度处于最大阈值时的丢包比例。当平均队列大小大于最大阈值时，则会丢弃所有数据包。

AVB 流量流 （SR 流）可以免于 WRED 监管。

4.4.6 生成树支持

为了支持生成树，一个端口是主机处理器的指定端口，定义为使能了尾部标记的端口。其他各个端口可以通过“发送使能”、“接收使能”和“学习禁止”寄存器位配置为五种生成树状态之一。表 4-12 显示了五种生成树状态中每一种状态对应的端口设置和软件操作。

表 4-12： 生成树状态

禁止状态	**端口设置**	**软件操作**
该端口不应转发或接收任何数据包。 学习功能禁用。	发送使能 = 0 接收使能 = 0 学习禁止 = 1	处理器不应向该端口发送任何数据包。开关可能仍会向处理器发送特定数据包 （与 “静态 MAC 表”中的一些条目匹配且 “改写位”置 1 的数据包），而处理器应丢弃这些数据包。该状态下会禁用该端口的地址学习功能。
阻塞状态	**端口设置**	**软件操作**
仅转发发送到处理器的数据包。 学习功能禁用。	发送使能 = 0 接收使能 = 0 学习禁止 = 1	该状态下处理器不应向（多个）端口发送任何数据包。处理器应将需要接收的条目 （如 BPDU 数据包）编入“静态 MAC 表”中。此外，应将 “改写”位置 1，以便开关将这些特定数据包转发到处理器。该状态下会禁用该端口的地址学习功能。
侦听状态	**端口设置**	**软件操作**

© 2018 Microchip Technology Inc.

表 4-12： 生成树状态 （续）

仅转发来自或发送到处理器的数据包。 学习功能禁用。	发送使能 = 0 接收使能 = 0 学习禁止 = 1	处理器应将需要接收的条目 （如 BPDU 数据包）编入“静态 MAC 表”中。应将 “改写”位置 1，以便开关将这些特定数据包转发到处理器。在该状态下，处理器可以向 （多个）端口发送数据包。该状态下会禁用该端口的地址学习功能。
学习状态	**端口设置**	**软件操作**
仅转发来自或发送到处理器的数据包。 学习功能使能。	发送使能 = 0 接收使能 = 0 学习禁止 = 0	处理器应将需要接收的条目 （如 BPDU 数据包）编入“静态 MAC 表”中。应将 “改写”位置 1，以便开关将这些特定数据包转发到处理器。在该状态下，处理器可以向 （多个）端口发送数据包。在该状态下，该端口的地址学习功能使能。
转发状态	**端口设置**	**软件操作**
正常转发和接收数据包。 学习功能使能。	发送使能 = 1 接收使能 = 1 学习禁止 = 0	处理器应将需要接收的条目 （如 BPDU 数据包）编入“静态 MAC 表”中。应将 “改写”位置 1，以便开关将这些特定数据包转发到处理器。在该状态下，处理器可以向 （多个）端口发送数据包。在该状态下，该端口的地址学习功能使能。

4.4.7 快速生成树支持

对于快速生成树协议 （Rapid Spanning Tree Protocol， RSTP），每个端口分配了以下三种工作状态：

1. 丢弃状态
2. 学习状态
3. 转发状态

4.4.7.1 丢弃状态

丢弃端口既不参与活动拓扑，也不学习 MAC 地址。

- 丢弃状态：该状态包括 STP 的禁止、阻塞和侦听三种状态。
- 端口设置：发送使能 = “0”，接收使能 = “0”，学习禁止 = “1”。
- 软件操作：主机处理器不应向该端口发送任何数据包。开关可能仍会向处理器发送特定数据包 （与静态表中的一些条目匹配且 “改写位”置 1 的数据包），而处理器应丢弃这些数据包。当该端口的学习功能 （学习禁止 = “1”）禁用时，可以快速刷新 ALU 表和静态 MAC 表中的端口相关条目。

4.4.7.2 学习状态

“学习状态”下的端口会学习 MAC 地址，但不会转发用户流量。

- 学习状态：仅转发来自或发送到主机处理器的数据包。学习功能使能。
- 针对学习状态的端口设置：发送使能 = “0”，接收使能 = “0”，学习禁用 = “0”。
- 软件操作：处理器应将需要接收的条目 （如 BPDU 数据包）编入静态地址表中。应将 “改写”位置 1，以便开关将这些特定数据包转发到处理器。在该状态下，处理器可以向处于该状态的 （多个）端口发送数据包 （有关详细信息，请参见第 4.4.9 节 “尾部标记模式”）。在该状态下，该端口的地址学习功能使能。

4.4.7.3 转发状态

处于 “转发状态”的端口会完全参与数据转发和 MAC 学习。

- 转发状态：正常转发和接收数据包。学习功能使能。
- 端口设置：发送使能 = “1”，接收使能 = “1”，学习禁止 = “0”。

© 2018 Microchip Technology Inc.

- 软件操作：主机处理器应将需要接收的条目 （如 BPDU 数据包）编入静态地址表中。应将 “改写”位置 1，以便开关将这些特定数据包转发到处理器。在该状态下，处理器可以向处于该状态的（多个）端口发送数据包（有关详细信息，请参见第 4.4.9 节 “尾部标记模式”）。在该状态下，该端口的地址学习功能使能。

RSTP 仅使用一种称为 RSTP BPDU 的 BPDU。 RSTP BPDU 与 STP 配置 BPDU 类似，但以下几点除外：RSTP 的类型字段设置为 “版本 2”，而 STP 的类型字段设置为 “版本 0”；带有承载附加信息的标志字段。

4.4.8 多生成树支持

多生成树协议 （Multiple Spanning Tree Protocol， MSTP）是 RSTP 的扩展，允许不同的 VLAN 拥有不同的生成树配置。 VLAN 表、地址查找表、静态地址表和保留多播地址表都包含一个 3 位字段，该字段可用来指定八个生成树之一。每个端口都包含状态寄存器，用于为每个生成树指定唯一的状态。

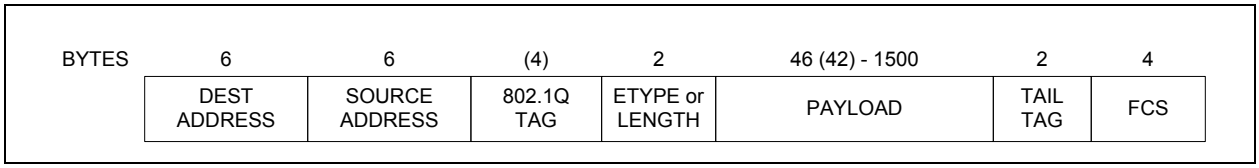
4.4.9 尾部标记模式

尾部标记是在主机处理器和开关之间传输入口和出口端口信息的一种方法。它适用于生成树协议、 IGMP/MLD 窥探、IEEE 1588 以及其他应用。

当开关将帧转发到主机端口时，开关会向帧中添加两个尾部标记字节，以向主机处理器指示接收该帧的端口。在另一个方向上，主机处理器会向帧中添加尾部标记字节，以指示开关预期的出口目标端口。如果使能了多个优先级队列，尾部标记还用于指示优先级队列。尾部标记字节会在帧离开开关之前被移除。可在任一端口上使能尾部标记，这定义了主机端口。不得在多个端口上使能尾部标记。

尾部标记是通过在数据包末尾的数据字段与 4 字节 CRC/FCS 之间插入两个额外字节来实现的，如图 4-5 所示。

图 4-5： 尾部标记帧格式



4.4.10 IGMP 支持

对于第 2 层中的互联网组管理协议 （Internet Group Management Protocol， IGMP）支持，该器件提供两个部分：

- “IGMP”窥探
- 静态 MAC 表中的 “多播地址插入”

4.4.10.1 “IGMP”窥探

该器件会俘获 IGMP 数据包并仅转发给处理器（主机端口）。IGMP 数据包被标识为 IP 版本为 0x4 和协议版本号为 0x2 的 IP 数据包 （以太网 IP 数据包或 IEEE 802.3 SNAP IP 数据包）。

注： 使能尾部标记模式的端口是主机端口。

4.4.10.2 静态 MAC 表中的 “多播地址插入”

在静态地址表或地址查找表中编入多播地址后，会根据订阅端口调整多播会话，而不是广播到所有端口。

为了让主机处理器知道接收到 IGMP 数据包的端口，必须使能尾部标记模式。

4.4.11 IPv6 MLD 窥探

该器件会俘获 IPv6 多播监听者发现 （MLD）数据包并仅转发给处理器 （主机端口）。

© 2018 Microchip Technology Inc.

4.4.12 端口镜像

该器件全面支持 “端口镜像”，具体如下所述：

- 端口上的 “仅接收” 镜像
- 端口上的 “仅发送” 镜像
- 端口上的 “接收和发送” 镜像

4.4.12.1 端口上的 “仅接收” 镜像

端口上接收到的所有数据包都将镜像到嗅探器端口。例如，端口 1 被设定为 “接收嗅探”，主机端口被设定为 “嗅探器”。端口 1 上接收到的数据包会在内部查找后发送到端口 2。该数据包会同时转发到端口 2 和主机端口。该器件甚至可以选择将接收到的 “不良” 数据包转发到 “嗅探器端口”。

4.4.12.2 端口上的 “仅发送” 镜像

端口上发送的所有数据包都将镜像到嗅探器端口。例如，端口 1 被设定为 “发送嗅探”，主机端口被设定为 “嗅探器端口”。端口 2 上接收到的数据包会在内部查找后发送到端口 1。该器件会将该数据包同时转发到端口 1 和主机端口。

4.4.12.3 端口上的 “接收和发送” 镜像

端口 A 上接收的和端口 B 上发送的所有数据包都将镜像到嗅探器端口。例如，端口 1 被设定为 “接收嗅探”，端口 2 被设定为 “发送嗅探”，主机端口被设定为 “嗅探器端口”。端口 1 上接收到的数据包会在内部查找后发送到端口 2。该器件会将该数据包同时转发到端口 2 和主机端口。

可将多个端口选定为 “接收嗅探” 或者 “发送嗅探”。此外，还可将任意端口选定为 “嗅探器端口”。

4.4.13 调度和速率限制

每个器件端口有两个出口数据包调度选项，可在将端口配置为两个或四个队列时应用。另外，每个端口都有入口和出口速率限制器功能。

4.4.13.1 严格优先级调度

当出口端口配置为两个或四个队列，并且选择了严格优先级调度时，每个队列相比于所有低优先级队列具有绝对的优先级。如果某个数据包可以从队列 3 （最高优先级队列）发送，那么相较于也可使用任意其他队列的任何数据包，该数据包的发送优先级更高。只有队列3中没有数据包时，才会发送队列2中的数据包。加权轮询是严格优先级调度的替代方案。

4.4.13.2 加权轮询 （Weighted Round Robin， WRR）调度

WRR 调度是出口队列严格优先级调度的替代方案。它被称为公平排队，因为它会按比例向最高优先级队列赋予更高优先级，但不是绝对优先级。

4.4.13.3 速率限制

该器件支持为每个端口单独设定入口和出口硬件速率限制。通常认为这两个功能是互斥的，不鼓励用户在同一个端口上使用这两个功能。

对于 10BASE-T/Te，10 Mbps 以上的速率设置意味着速率不受限制。同样，对于 100BASE-TX，100 Mbps 以上的速率设置意味着速率不受限制。在接收端，可通过设置入口速率控制寄存器来限制每个端口每个优先级的数据接收速率。在发送端，可通过设置出口速率控制寄存器来限制每个端口每个优先级队列的数据传输速率。除了数据字段 （从数据包 DA 到 FCS）之外，每个帧的大小还可以包含最小帧间间隔 （IFG）或前导码字节。

对于入口速率限制，该器件提供一些选项，允许选择性地从所有类型的帧 （多播帧、广播帧和洪泛单播帧）中进行选择。该器件会这些选定类型的帧的数据速率进行计数。当数据速率超过指定的速率限制时，该入口端口会丢弃数据包。

对于出口速率限制，每个输出优先级队列都采用漏桶算法来对输出流量进行整形。帧间间隔在每个帧上延长，以生成平滑的非突发出口流量。每个输出优先级队列的吞吐量受限于指定的出口速率。

如果任何出口队列收到的流量超过指定的出口速率吞吐量，数据包可能会累积在输出队列和数据包存储器中。当队列或端口的存储器用完后，会触发丢包或流量控制。由于发生拥塞，实际出口速率可能取决于入口端的流量控制 / 丢包，因此可能会略低于指定的出口速率。

为了减少拥塞，确保出口带宽超过入口带宽是一个很好的做法。

4.4.14 出口流量整形

有两个选项可用于对时间敏感流量传输进行整形：IEEE 802.1Qav 基于可信因子的流量整形器和时间感知流量调度器（TAS）。基于可信因子的整形器在 IEEE 802.1Qav 中被定义用于音视频桥接 （AVB）。它尝试在适用的出口队列中最大限度地减少流量抖动，但来自 “尽力而为” 队列的大型数据包传输可能会对其性能产生负面影响。时间感知整形器会保留从其队列传输数据的定期时间窗口。这确保低优先级流量不会阻塞时间敏感流量的定期传输，也可以降低端口的总带宽。

使用整形器时，相应的出口端口通常配置为两个或四个队列。一个或多个队列可用于时间敏感 （即调度）流量，而且其余队列用于较低优先级的非调度 （尽力而为）流量。每个端口上根据每个队列应用整形器。每个端口和每个队列都是单独配置整形功能。

基于可信因子的整形器可应用于同一端口上的一到两个队列。但是，时间感知调度器只可应用于每个端口上的一个队列。

可同时在同一端口上使用时间感知调度器 （Time Aware Scheduler， TAS）和基于可信因子的整形器 （Credit based Shaper， CBS）选项。 TAS 和 CBS 队列 / 优先级分配是通过软件配置的。

第 4.4.4 节 “服务质量（Quality-of-Service， QoS）优先级支持” 讨论了入口数据包根据优先级映射到出口队列的方式。最常见的方法是通过 VLAN 标记的 PCP 字段。

4.4.14.1 IEEE 802.1Qav 基于可信因子的流量整形器

流量整形器用于计量由 SR 类别流量的保留带宽确定的高优先级 （AVB）出口流量。每个端口的每个优先级队列的出口处都有一个单独的流量整形器。如果端口配置为四个队列，则两个最高优先级队列可用于 SR 流量类别。如果端口配置为两个队列，则最高优先级队列 （1）可用于 SR 流量类别。在为优先级较低的队列禁用流量整形器的情况下，这些队列用于 “尽力而为” 类别流量并配置用于严格优先级调度。

流量整形器比前面描述的传统 “漏桶” 速率限制功能更复杂。可以为 AVB 流预留 （stream reservation， SR）流量类别保留一定比例的端口带宽。流量整形器可配置用于保留带宽，允许队列以高达但不超过此带宽的速率发出数据包。如果出口数据包因为从另一队列发出的数据包而被延迟，该队列可以累积 “可信因子”。累积的可信因子可用来使数据包发送提前，以便维持平均速度。

如果基于可信因子的整形器支持的流量类别所用带宽少于分配到的带宽，未使用的带宽可以被其他流量类别使用，具体取决于流量类别的相对优先级以及关联的传输排队算法。

4.4.14.2 时间感知流量调度器 （TAS）

与基于可信因子的整形器一样，时间感知调度器用于调节高优先级出口流量。TAS 定义了一个定期时间窗口，在这个时间窗口内，只有调度的 （高优先级）流量可以从某个端口流出。另外，在高优先级发送窗口之前的防护带时段器件，不会开始低优先级流量传输。这确保了在发送窗口期间不会发生阻塞。

TAS 是分别针对每个出口端口进行配置的。通常情况下，出口端口应配置为多个队列 （2 个或 4 个），其中至少有一个队列保留用于非调度的 “尽力而为” 流量。对于每个端口，只能为一个队列设置 TAS。采用 4 队列配置时，可以同时拥有 TAS 队列以及一到两个基于可信因子的整形器队列。

防护带时段开始后，除非非 TAS 队列的数据包长度小于剩余防护带时间，否则不会启动数据包传输。允许任何已在发送的数据包完成传输。防护带时段应设置为与可能的最大非调度数据包的发送时间相匹配。这确保传输始终会在防护带时间结束之前完成。防护带时间后紧接着的是发送窗口。在发送窗口期间，只允许 TAS 队列传输。所有其他队列保持阻塞。在发送窗口结束时，所有队列的阻塞均解除，并且允许这些队列按照调度方案 （即严格优先级或者加权轮询（WRR））进行发送。下个防护带时段开始时循环重复。

© 2018 Microchip Technology Inc.

128 条目表用于定义与防护带、发送窗口和循环时间相关的时间间隔。该表的大小使得可以定义与两个或两个以上单独流对应的两个或两个以上并发循环。每个循环都可以有一个唯一的周期、防护带和发送窗口时间。

4.4.15 低延迟直通交换模式

直通交换模式允许将数据包直接转发到出口端口，而无需等待接收到整个数据包，从而缩短数据包通过开关的延迟。此功能与时间感知流量调度器（TAS）结合使用，并仅在传入数据包被发送到具有相应 TAS 队列的目标端口时适用。直通交换模式是针对每个出口端口单独使能或禁止的。

直通交换模式并不保证可以加速调度流量类别中的所有数据包。必须满足以下条件，给定数据包才会进行直通交换。如果不满足相关条件，数据包会按照常用方式进行存储和排队。

- 出口端口的其中一个队列必须应用时间感知调度器。
- 数据包必须属于使用时间感知调度器的调度流量类别。
- TAS 传输窗口必须处于打开状态。
- 该端口上当前未在发送其他数据包。
- 该端口的 TAS 队列是空的。
- 出口端口的速度必须等于入口端口的速度。
- 数据包必须是单播数据包。

进入直通交换出口端口的唯一流量应当是单个单播直通交换流。出口端口可配置为单个队列，并将时间感知调度器应用于该单个队列。发送窗口应设置为 100%。

发生直通交换时，器件会在收到数据包的前 64 个字节后就转发数据包。无论数据包大小如何，对于 1Gb/s 流量，通过开关的延迟时间大约为 900 ns。对于非直通交换数据包，最小延迟与数据包大小成正比。

4.4.16 入口 MAC 地址过滤功能

接收到数据包时，器件会在静态 MAC 地址表和动态 MAC 地址表中查找目标 MAC 地址。如果未在这些表中找到对应地址，则目标 MAC 地址为 “未知”。默认情况下，未知数据包会被转发到除接收到该数据包的端口以外的所有端口。可选功能可以指定要将未知数据包转发至的（多个）端口。也可以不指定任何端口，这意味着未知数据包将被丢弃。该功能针对未知单播、未知多播和未知 VID 数据包分别实现。

4.4.17 802.1X 访问控制

IEEE 802.1X 是基于端口的身份验证协议。 EAPOL 是身份验证过程通常将其用作非受控端口的协议。通过接收和提取特殊的 EAPOL 帧，主机处理器可以控制入口和出口端口是否应当转发数据包。如果用户端口想从另一个端口（验证器）获得服务，它必须得到验证器的认可。该器件通过检查帧的目标地址来检测 EAPOL 帧。目标地址应当是 IEEE 802.1x（01-80-C2-00-00-03）中定义的多播地址，或者是可编程保留多播地址域中使用的地址 （偏移量为 -00-03）。检测到 EAPOL 帧后，这些帧会被转发到主机端口，以便主机端口可以将这些帧发送到验证器服务器。最终， CPU 根据其源 MAC 地址确定请求者是否合格，然后接受或丢弃这些帧。

当将该器件配置为验证器时，那么必须将开关的端口配置用于授权。在验证器发起的端口授权中，客户端上电或插入端口，然后验证器端口向请求方发送一个扩展身份验证协议 （Extensible Authentication Protocol， EAP） PDU，请求请求方进行识别。在该过程的这一阶段，从物理角度看，开关上的端口已连接；不过，802.1X 过程尚未授权该端口，因此没有任何帧通过请求方上的该端口传递到开关结构中。如果与开关 （KSZ8567R）相连的请求方不理解其从开关收到的 EDP PDU，它便无法发送 ID，而该端口会持未授权状态。在这种状态下，该端口将不允许任何用户流量通过。如果请求方运行的是 802.1X EAP，会使用其已配置的 ID 响应请求。（这可能是用户名 / 密码组合或者证书。）

从请求方收到 ID 后，该器件会将该 ID 信息传递到身份验证服务器 （RADIUS 服务器），该服务器可以验证识别信息。RADIUS 服务器做出响应，向开关发送成功或失败消息。如果响应指示成功，端口将获得授权，允许用户流量通过该端口，就像任何连接到接入器件的开关端口一样。如果响应指示失败，端口将保持未授权状态，因此保持闲置状态。如果服务器没有任何响应，端口也将保持未授权状态，不会传递任何流量。

通过访问控制列表 （ACL）过滤功能可以执行端口控制。

4.4.18 访问控制列表 （ACL）过滤

可以为每个端口创建访问控制列表 （ACL），对传入的第 2 层 MAC、第 3 层 IP 或第 4 层 TCPUDP 数据包进行过滤。多播过滤在 “静态地址表” 和 “保留多播地址表” 中进行处理，但 ACL 为路由网络协议过滤提供了额外的能力。如图 4-3 所示， ACL 过滤可优先于其他转发功能。

ACL 允许开关基于以下报头字段过滤入口流量：

- 源地址或目标 MAC 地址和 / 或 EtherType
- 具有可编程掩码的源地址或目标 IPv4 地址
- IPv4 协议
- 源或目标 UDP 端口
- 源或目标 TCP 端口
- 具有可编程掩码的 TCP 标志

ACL 使用一个最多具有 16 个访问控制规则的有序列表来实现，这些规则通过编程方式写入 ACL 表中。每个条目都指定了一些规则 （一组匹配条件和操作规则）来控制数据包的转发和优先级。当接口接收到数据包时，开关会将该数据包中的字段与应用的 ACL 进行比较，以根据列表中指定的条件，验证数据包是否具有进行转发所需的权限。可以使用 AND 或 OR 来结合使用多个匹配条件。

ACL 还可以实现计数功能，用于生成中断而不是转发操作。计数器可以是看门狗定时器，也可以是事件计数器。使用看门狗定时器时，如果在指定的时间间隔内未接收到具有特定 MAC 地址和 EtherType 的数据包，便会生成中断。使用事件计数器时，在接收到指定数量具有特定 MAC 地址和 EtherType 的数据包后，就会生成一个中断。

ACL 由匹配规则、操作规则和处理条目这三部分组成。匹配规则指定应对传入数据包执行的比较测试。它也可以使能计数器功能。操作规则指定匹配测试成功时要采取的转发操作。或者，如果在匹配规则中使能了计数功能，则在相应的操作规则字段中存储 11 位计数值，而不存在转发动作。

一般来说， 16 个匹配规则并不是与 16 个操作规则直接关联。例如，匹配条目 0 不一定与操作条目 0 相关。在匹配规则中使能了计数器功能时是个例外，这时同一 ACL 表条目的匹配规则和操作规则字段会共同发挥作用，不再独立。

16 个处理条目中每一个都用于将任意数量的匹配规则 （规则集中指定）与任何一个操作规则 （FRN 中指定）相关联。当一个规则集中有多个匹配规则时，这些规则就会通过逻辑 “与” 运算一起发挥作用。只有所有这些匹配结果都为 true，才会采取 FRN 操作。

另外还可以将 ACL 表配置为多个处理条目指定相同的操作规则。这样，最终匹配结果是来自多个规则集中每个规则集的匹配结果经过逻辑 “或” 运算后的结果。

16 个 ACL 规则代表一个有序列表，条目 0 具有最高优先级，条目 15 具有最低优先级。所有匹配规则都被评估。如果有多个匹配结果为 true 且存在多个对应的操作，将会采取这些操作中的最高优先级 （最低编号）操作。

© 2018 Microchip Technology Inc.

4.4.18.1 处理条目描述

处理条目由两个参数组成，如表 4-13 所示。

表 4-13： ACL 处理条目参数

参数	说明
FRN[3:0]	第一规则编号 操作规则条目的指针。可能的值为 0 到 15。如果规则集中指定的所有匹配规则都为 true，那么这就是最终的操作规则。
RuleSet[15:0]	指定一组匹配规则条目 （一个或多个条目）。 对于 16 个匹配规则条目中的每一个条目，规则集都有一个对应的位。如果选择了多个匹配规则，所有条件将进行逻辑 “与” 运算，得出最终的匹配结果。 0 = 未选择匹配规则 1 = 已选择匹配规则

图 4-6： ACL 结构和示例规则值

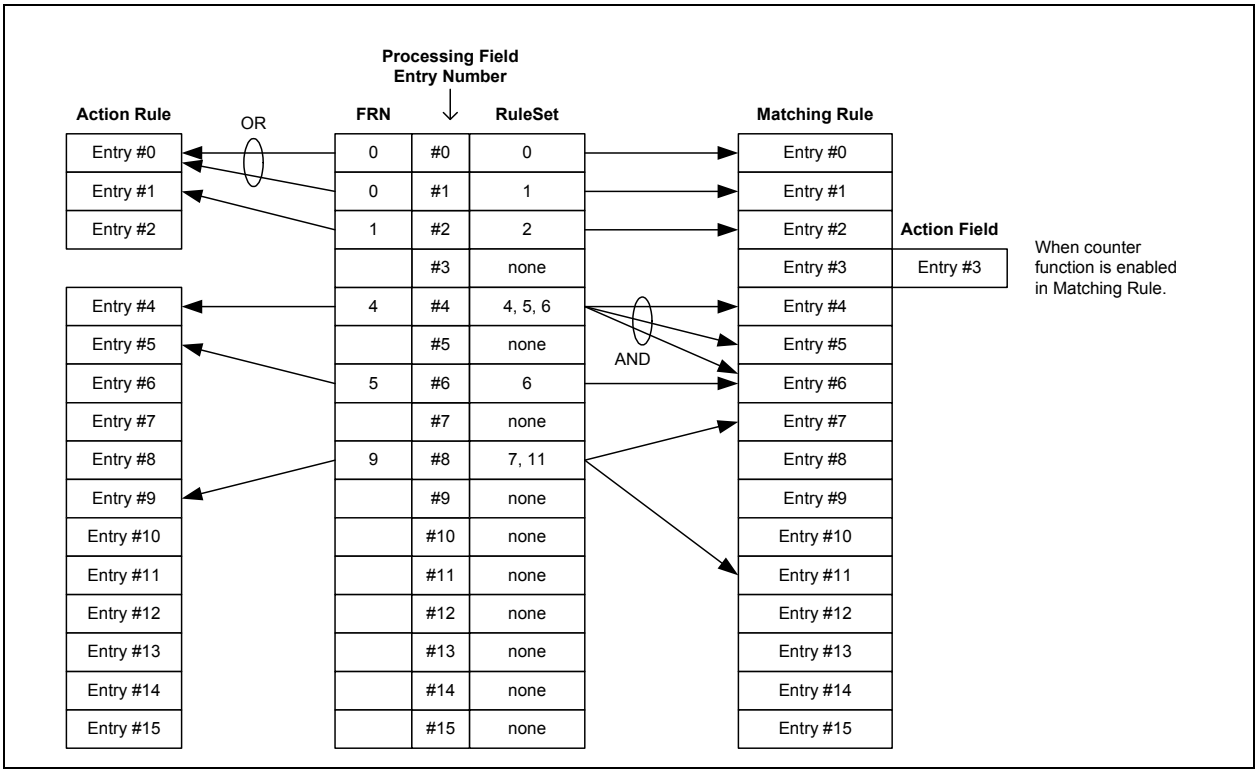


图 4-6 中的例子解释如下：

- 规则 #0：测试匹配规则条目 #0。如果结果为 true，应用操作规则条目 #0。
- 规则 #1：测试匹配规则条目 #1。如果结果为 true，应用操作规则条目 #0。
- 规则 #2：测试匹配规则条目 #2。如果结果为 true，应用操作规则条目 #1。
- 匹配规则条目 #3 配置用于计数器功能。操作条目 #3 用于保存相应的计数值。
- 规则 #4：测试匹配规则条目 #4、 #5 和 #6。如果三者都为 true，应用操作规则条目 #4。
- 规则 #6：测试匹配规则条目 #6。如果结果为 true，应用操作规则条目 #5。
- 规则 #8：测试匹配规则条目 #7 和 #11。如果两者都为 true，应用操作规则条目 #9。

对任何数据包采取的操作都不能超过一个。如果多个规则集的匹配条件都为 true，那么具有最小值 （最高优先级） 的相应 FRN 字段确定要采取的操作。

请注意，处理条目 #0 和 #1 会生成一个或函数：如果规则集 #0 或规则集 #1 为 true，则执行操作 #0。

请注意，处理条目 #4 和 #6 的规则集重叠，但 FRN 不同。这可以概括为：

如果匹配 #4、 #5 和 #6 都为 true，应用操作 #4，

否则，如果匹配 #6 为 true，则应用操作 #5。

表 4-14 总结了可用的匹配选项。 MD 和 ENB 字段用于选择所需的匹配选项。以下部分给出了更多的配置详情。

表 4-14： 匹配规则选项

MD[1:0]	ENB[1:0]	匹配规则
00	XX	匹配规则禁止
01（第 2 层匹配：MAC 地址，EtherType）	00	操作字段用作具有匹配 MAC 地址和 EtherType 的数据包的计数值
	01	仅比较 MAC 地址
	10	仅比较 EtherType
	11	同时比较 MAC 地址和 EtherType
10（第 3 层匹配：IP 地址）	00	保留
	01	比较 IPv4 源地址和目标地址 （带掩码）
	10	比较源和目标 IPv4 地址 （无掩码）
	11	保留
11（第 4 层匹配：TCP、 UDP、IP 协议）	00	比较 IPv4 协议
	01	比较 TCP 源端口或目标端口
	10	比较 UDP 源端口或目标端口
	11	比较 TCP 序列号

4.4.18.2 匹配规则描述

匹配规则由几个参数组成。前两个参数 MD[1:0] 和 ENB[1:0] 用于确定每个匹配规则剩余部分的组织结构。

MD = 00 时，匹配规则禁用。

表 4-15： ACL 匹配规则参数 （MD= 1）

参数	说明
MD[1:0]	模式 00 = 匹配规则禁止 01 = 第 2 层 MAC 报头或计数器过滤 10 = 第 3 层 IP 报头过滤 11 = 第 4 层 TCP 报头 （和 IP 协议）过滤
ENB[1:0]	00 = 计数模式。会对 MAC 地址和 TYPE 进行测试。同时还会结合计数值 （时间或数据包计数）。详情见下表。 01 = 仅对 MAC 地址值进行比较 10 = 仅对 TYPE 值进行比较 11 = 对 MAC 地址和 TYPE 进行测试
S/D	源 / 目标 0 = 目标地址 1 = 源地址
EQ	等于 / 不等于 0 = 不等于产生 true 结果 1 = 等于产生 true 结果
MAC ADDRESS[47:0]	48 位 MAC 地址
TYPE[15:0]	EtherType

© 2018 Microchip Technology Inc.

MD = 01、 ENB = 00 的详细信息：

操作规则条目中 PM、P、RPE、RP 和 MM 的聚合位字段的 11 位用于指定匹配字段中与 MAC 地址和 TYPE 匹配的数据包的计数值。

计数单位由 TU 位 （位于操作规则中）确定。

- 如果为 0，单位是微秒。
- 如果为 1，单位是毫秒。

CA 位 （位于操作规则中）确定计数终止时用于生成中断的算法。

- 如果为 0， 11 位计数器将加载列表中的计数值，并在每个单位时间开始倒计数。定时器超时后会生成一个中断，即在该值指定的时间段内没有接收到下一个合格的数据包。
- 如果为 1，计数器每接收到一个匹配的数据包就会递增。计数结束时产生中断。此后计数复位。这种模式下不使用时间单位。

表 4-16： ACL 匹配规则参数 （MD = 10）

参数	说明
MD[1:0]	模式 00 = 匹配规则禁止 01 = 第 2 层 MAC 报头或计数器过滤 10 = 第 3 层 IP 报头过滤 11 = 第 4 层 TCP 报头 （和 IP 协议）过滤
ENB[1:0]	00 = 保留 01 = IPv4 源地址或目标地址 （带掩码） 10 = IPv4 源地址和目标地址 （无掩码） 11 = 保留
S/D	源 / 目标 0 = 目标地址 1 = 源地址
EQ	等于 / 不等于 0 = 不等于产生 true 结果 1 = 等于产生 true 结果
IP ADDRESS[31:0]	IPv4 地址 ENB = 01 时为源地址或目标地址 （取决于源 / 目标） ENB = 10 时为源地址
IP MASK[31:0]	ENB = 01 时为 IPv4 地址的屏蔽位： 0 = 比较地址的该位 1 = 不比较地址的该位 ENB = 10 时为目标 IPv4 地址

表 4-17： ACL 匹配规则参数 （MD = 11）

参数	说明
MD[1:0]	模式 00 = 匹配规则禁止 01 = 第 2 层 MAC 报头或计数器过滤 10 = 第 3 层 IP 报头过滤 11 = 第 4 层 TCP 报头 （和 IP 协议）过滤
ENB[1:0]	00 = IP 协议比较使能 01 = TCP 源端口 / 目标端口比较使能 10 = UDP 源端口 / 目标端口比较使能 11 = 比较 TCP 序列号
S/D	源 / 目标 0 = 目标地址 1 = 源地址

表 4-17： ACL 匹配规则参数 （MD = 11）（续）

参数	说明
EQ	等于 / 不等于 0 = 不等于产生 true 结果 1 = 等于产生 true 结果
MAX PORT[15:0] MIN PORT[15:0]	TCP/UDP 的最大端口和最小端口 或 TCP 序列号 [31:0]
PC[1:0]	端口比较 00 = 端口比较禁止 01 = 端口与 MAX 或 MIN 匹配 10 = 端口号在 MIN 到 MIN 的范围内则匹配 11 = 端口号超出范围则匹配
PRO[7:0]	要匹配的 IPv4 协议
FME	TCP 标志匹配使能 0 = TCP 标志匹配禁止 1 = TCP 标志匹配使能
FMASK[7:0]	TCP 标志屏蔽 0 = 比较标志字段的该位 0 = 不比较标志字段的该位
FLAG[7:0]	要匹配的 TCP 标志

4.4.18.3 操作规则描述

表 4-18： 适用于非计数模式的 ACL 操作规则参数 （MD ≠ 01 或 ENB ≠ 00）

参数	说明
PM[1:0]	优先级模式 00 = ACL 不指定数据包优先级。优先级由标准 QoS 功能确定。 01 = 如果数据包优先级大于 QoS 结果，则将数据包优先级更改为 P[2:0]。 10 = 如果数据包优先级小于 QoS 结果，则将数据包优先级更改为 P[2:0]。 11 = 始终将数据包优先级更改为 P[2:0]。
P[2:0]	优先级值
RPE	备注优先级使能 0 = 禁止优先级备注 1 = 使能优先级备注。 VLAN 标记优先级 （PCP）位由 RP[2:0] 替代。
RP[2:0]	添加了备注的优先级值
MM[1:0]	映射模式 00 = 无转发重映射 01 = FORWARD 中的转发映射与地址查找表中的转发映射进行逻辑 “或”运算。 10 = FORWARD 中的转发映射与地址查询表中的转发映射进行逻辑 “与”运算。 11 = FORWARD 中的转发映射将替换地址查找表中的转发映射。
FORWARD[N-1:0]	转发端口 Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 0 = 不转发到该端口 1 = 转发到该端口

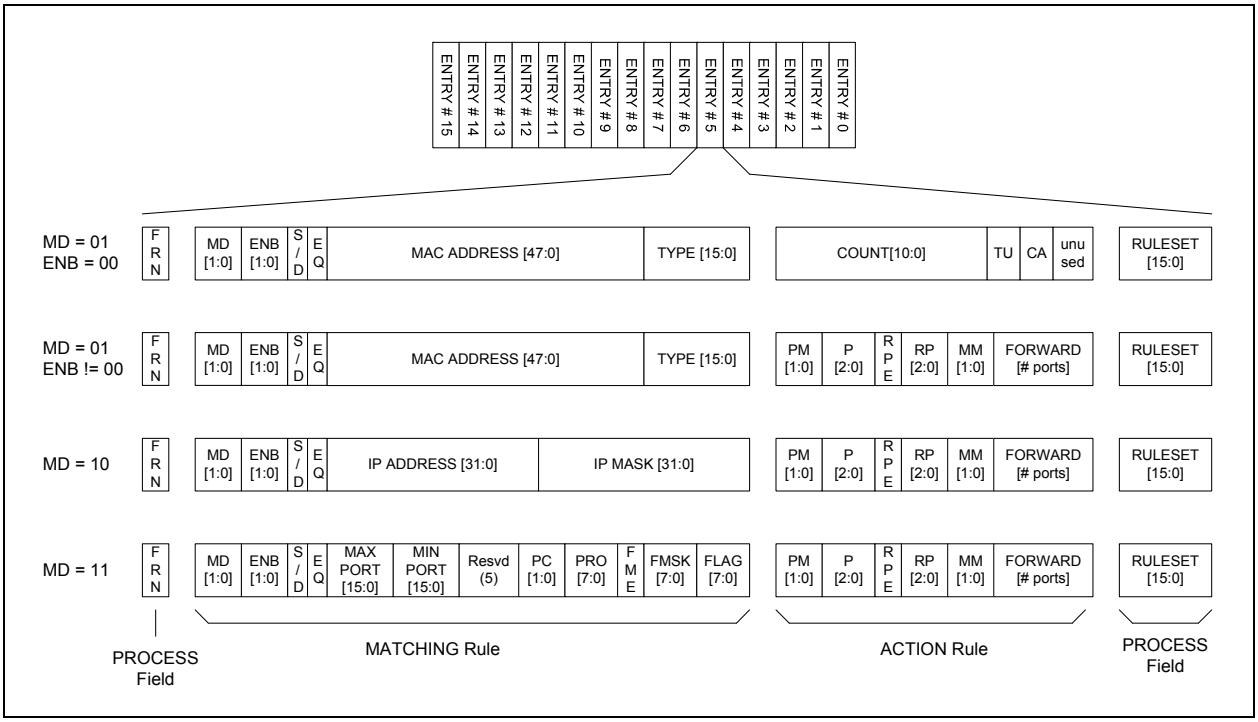
© 2018 Microchip Technology Inc.

表 4-19： 适用于计数模式的 ACL 操作规则参数 （MD = 01 或 ENB = 00）

参数	说明
COUNT[10:0]	计数值
TU	计数器的时间单位。 0 = 微秒 1 = 毫秒
CA	计数器算法。 0 = 11 位计数器将加载列表中的计数值，并在每个单位时间开始倒计数。定时器超时后会生成一个中断，即在该值指定的时间段内没有接收到下一个合格的数据包。 1 = 计数器每接收到一个匹配的数据包就会递增。计数结束时产生中断。此后计数复位。这种模式下不使用时间单位。

图 4-7 显示了 ACL 表的基本组织结构。该表有 16 个条目，每个条目都包括匹配字段、操作字段和过程字段。尽管这些字段一起存储在一个表中，但对于给定的表条目，“匹配”、“操作”和“过程”字段通常不会形成关联的组。匹配规则处于计数模式 （MD = 01 和 ENB = 00）时是个例外。在这种情况下，“匹配”字段和 “操作”字段将一起使用。

图 4-7： ACL 表格式



4.4.18.4 ACL 中断

ACL 过滤功能不会产生中断。中断仅适用于计数模式 （MD = 01， ENB = 00） 。匹配规则可配置为在经过特定类型（MAC 地址和 EtherType）的数据包之间的时间间隔后，或者接收到这些数据包时超时。每个端口都有一个单独的中断。端口专用中断状态和掩码位于端口中断状态寄存器和端口中断屏蔽寄存器中。每个端口的顶层中断寄存器位于全局端口中断状态寄存器和全局端口中断屏蔽寄存器中。

4.4.18.5 ACL 寄存器

表 4-20 列出了与 ACL 相关的寄存器。

表 4-20： ACL 寄存器

寄存器	说明
端口中断状态寄存器， 端口中断屏蔽寄存器	ACL 中断
端口 ACL 访问 0 寄存器至 端口 ACL 访问 F 寄存器， 端口 ACL 字节使能 MSB 寄存器， 端口 ACL 字节使能 LSB 寄存器， 端口 ACL 访问控制 0 寄存器	ACL 表访问
端口优先级控制寄存器	优先级分类
端口身份验证控制寄存器	ACL 使能

4.5 IEEE 1588 精密时间协议

IEEE 1588 精密时间协议（PTP）提供了一种在网络中节点之间建立时间同步的方法。该器件支持 V2（2008）版 IEEE 1588 PTP 规范，并可以设置为端口之间的端到端 （end-to-end， E2E）或点对点 （peer-to-peer， P2P）透明时钟（transparent clock， TC）。此外，主机端口可以设置为主 / 从普通时钟（ordinary clock， OC）端口。该器件支持入口时间戳捕获、出口时间戳记录、具有驻留时间和链路延迟的纠错字段更新、延迟周转时间插入、出口时间戳插入以及校验和更新。实现了 PTP 帧过滤，以便提高整个系统的性能。实现了延迟调整，以便对同步进行微调。通过 **GPIO_1** 引脚实现了多功能事件触发输出和时间戳捕获输入，以便满足各种实时应用要求。

IEEE 1588 实现的主要特性如下：

- 一步或两步事件消息格式
- 根据规范实现精密时钟
  - 不实现第二个时钟的高 16 位
- E2E 和 P2P TC
- 主 OC 和从 OC
- PTP 多播和单播寻址
- 通过 IPv4/IPv6 UDP 和 IEEE 802.3/ 以太网的 PTP 传输
- **GPIO_1** 引脚上输入信号的精密时间标记
- 相对于精密时间时钟时间，在 **GPIO_1** 引脚上创建并传送时钟、脉冲或其他唯一串行位流。
- 支持 IEEE 802.1AS gPTP

IEEE 1588 定义了两个基本功能：使用 Delay_Req/Resp 或 Pdelay_Req/Resp 消息来测量链路和驻留 （切换）延迟，以及使用 Sync/Follow_Up 消息来分配时间信息。网络中的宗机会定期向所有从时钟器件发送 1588 PTP 事件消息。链路延迟由每个从节点到其链路伙伴进行测量，以补偿通过网络发送的 PTP 消息的延迟。

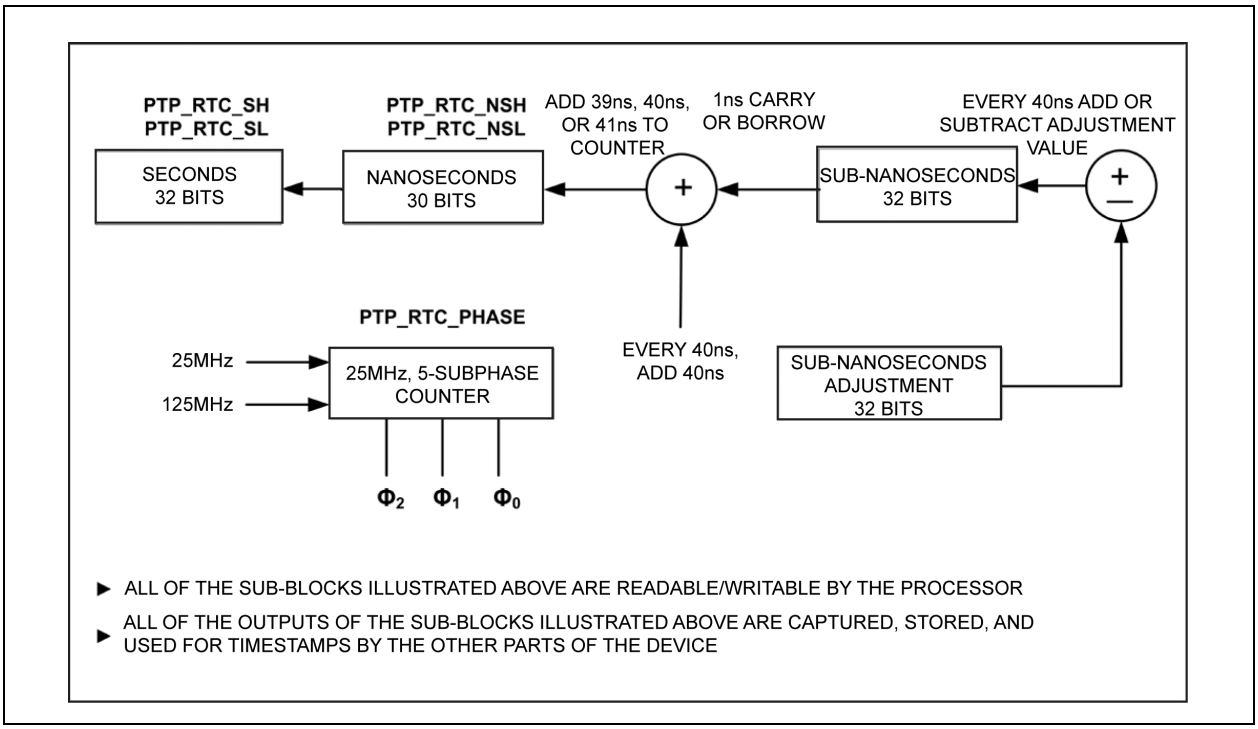
4.5.1 IEEE 1588 PTP 系统时钟

该器件的系统时钟（system time clock，STC）是可读写的高精度计数器，用于保持 PTP 时间。计数器分辨率为 2^{-32} ns。图 4-8 是 PTP 时钟的详图。

© 2018 Microchip Technology Inc.

.

图 4-8： PTP 系统时钟概述



4.5.2 IEEE 1588 PTP 消息传递处理

当 1588 PTP 模式和消息检测使能时，该器件支持 IEEE 1588 PTP 时间同步。根据透明时钟模式下的 P2P 或 E2E 设置、普通时钟模式下的主 / 从设置、一步或两步时钟模式以及是否使能了域检查，会对 PTP 数据包进行不同的操作。对于 IPv4/UDP 出口数据包，可通过重新计算两字节或将其置零来更新校验和。对于 IPv6/UDP 出口数据包，校验和将始终更新。

4.5.3 IEEE 1588 PTP 事件触发和时间戳记

当目标和激活时间与 IEEE1588 PTP 系统时钟时间匹配时，可以生成事件触发输出信号。同样，可以从外部事件输入信号捕获事件时间戳输入，并捕获 IEEE1588 PTP 系统时钟上的相应时间。输出事件模块和输入时间戳模块经过设定后均可产生中断。

4.6 音视频桥接和时间敏感型网络

AVB 定义了一组功能和协议，用于确保时间敏感流量 （如音频流和视频流）具有高 QoS。该器件提供了实现 AVB 所必需的硬件功能：gPTP 定时同步功能（802.1AS，基于 1588 PTP）、优先排队和基于可信因子的流量整形器（802.1Qav）。支持 AVB 的端口必须以全双工 100 Mbps 的速度运行。 10 Mbps 和 / 或半双工与 AVB 不兼容。

非 AVB 器件不允许加入 AVB 网络，但允许非 AVB 流量占用 AVB 流量未使用的可用带宽。为网络发现、路径建立和网络上带宽预留定义了协议。

AVB 定义了流预留（SR）流量类别，这些流量类别在排队和出口调度中具有高优先级。每个端口最多有四个出口队列，所以该器件最多可以容纳两个 SR 流量类别。入口 AVB 流量数据包通常带 VLAN 标记。如果不带该标记，该器件可以为每个端口分配一个可定制的 VLAN 标记。该标记中的信息 （包括 3 位 PCP 优先级字段）用于将数据包映射到相应的高优先级队列。必须为非 SR 流量类别保留至少一个队列，以处理常规的 “尽力而为”网络流量。

如下文所述，每个队列由基于可信因子的流量整形器调节来自 （多个）高优先级队列的 SR 级流量流出。如果 SR 流量流不超过其保留带宽，则流量整形器将确保数据包以相对均匀的方式出包。

确保 AVB 网络中节点同步的 802.1AS 标准在很大程度上依赖于适用于 PTP 的 IEEE 1588 标准。它为 1588 定义了一个特定的配置文件，并在 802.1Q 的环境中添加了其他一些要求。所得到的实体被称为广义 PTP （generalized PTP，gPTP）。第 4.5 节 “IEEE 1588 精密时间协议”讨论了 IEEE 1588 和 802.1AS。

该器件提供两个出口流量整形选项。 IEEE 802.1Qav 基于可信因子的流量整形器提供了 IEEE 802.1Qav 中定义的流量整形。这项功能在每个队列上分别进行配置。每个端口还具有时间感知流量调度器 （TAS），它可以为时间敏感流量类别数据的传输提供定期时间窗口。整形器与调度器的选项和细节是针对每个出口端口单独进行配置的。

4.7 NAND 树支持

KSZ8567R 提供参数化 NAND 树支持，用于在芯片 I/O 和电路板之间进行故障检测。 NAND 树是嵌套的 NAND 门链，其中每个 KSZ8567R 数字 I/O（NAND 树输入）引脚是该链上的一个 NAND 门输入。在该链的末尾，**INTRP_N** 引脚为最后一个 NAND 门提供输出。

NAND 树测试过程包括：

- 使能 NAND 树模式
- 将所有 NAND 树输入引脚拉至高电平
- 从表 4-21 的第一行开始，按照 NAND 树引脚顺序依次将每个 NAND 树输入引脚驱动至低电平。
- 检查 NAND 树的输出，以确保被驱动至低电平的每个 NAND 树输入都存在一个从高电平到低电平或从低电平到高电平的切换。

表 4-21： NAND 树测试引脚顺序

NAND 树序列	引脚编号	引脚名称	NAND 树描述
1	48	**TX_CLK6/REFCLKI6**	输入
2	49	**TX_EN6/TX_CTL6**	输入
3	50	**TX_ER6**	输入
4	51	**COL6**	输入
5	52	**TXD6_3**	输入
6	53	**TXD6_2**	输入
7	54	**TXD6_1**	输入
8	55	**TXD6_0**	输入
9	57	**RX_CLK6/REFCLKO6**	输入
10	58	**RX_DV6/CRS_DV6/RX_CTL6**	输入
11	59	**RX_ER6**	输入
12	60	**CRS6**	输入
13	62	**RXD6_3**	输入
14	63	**RXD6_2**	输入
15	64	**RXD6_1**	输入
16	65	**RXD6_0**	输入
17	66	**TX_CLK7/REFCLKI7**	输入
18	67	**TX_EN7/TX_CTL7**	输入
19	68	**TX_ER7**	输入
20	69	**COL7**	输入
21	70	**TXD7_3**	输入
22	71	**TXD7_2**	输入
23	72	**TXD7_1**	输入

© 2018 Microchip Technology Inc.

表 4-21： NAND 树测试引脚顺序 （续）

NAND 树序列	引脚编号	引脚名称	NAND 树描述
24	73	**TXD7_0**	输入
25	75	**RX_CLK7/REFCLKO7**	输入
26	76	**RX_DV7/CRS_DV7/RX_CTL7**	输入
27	78	**RX_ER7**	输入
28	79	**CRS7**	输入
29	80	**RXD7_3**	输入
30	81	**RXD7_2**	输入
31	82	**RXD7_1**	输入
32	83	**RXD7_0**	输入
33	85	**LED4_0**	输入
34	86	**LED4_1**	输入
35	88	**LED3_0**	输入
36	89	**LED3_1**	输入
37	90	**GPIO_1**	输入
38	91	**LED2_0**	输入
39	92	**LED2_1**	输入
40	93	**PME_N**	输入
41	96	**RESET_N**	输入
42	97	**SDO**	输入
43	98	**SDI/SDA/MDIO**	输入
44	100	**SCS_N**	输入
45	101	**SCL/MDC**	输入
46	102	**LED5_0**	输入
47	103	**LED5_1**	输入
48	105	**LED1_0**	输入
49	106	**LED1_1**	输入
50	94	**INTRP_N**	输出

以下步骤可用于检查连接到电路板的 KSZ8567R 数字 I/O 引脚是否存在故障：

1. 通过 **LED2_1**、 **LED2_0** 和 **LED4_0** 配置引脚选项使能 NAND 树模式。
2. 使用电路板逻辑将所有 KSZ8567R NAND 树输入引脚驱动至高电平，并验证 **INTRP_N** 引脚输出是否为高电平。
3. 按照 NAND 树引脚顺序使用电路板逻辑驱动每个 NAND 树输入引脚，如下所示：
   a） 将 NAND 树序列中的第一个引脚（**TX_CLK6/REFCLKI6**）从高电平切换到低电平，并确认 **INTRP_N** 引脚从高电平切换到低电平，以指示第一个引脚连接正确。
   b） 将第一个引脚 （**TX_CLK6/REFCLKI6**）保持低电平。
   c） 将 NAND 树序列中的第二个引脚 （**TX_EN6/TX_CTL6**）从高电平切换到低电平，并确认 **INTRP_N** 引脚从低电平切换到高电平，以指示第二个引脚连接正确。
   d） 将第一个引脚 （**TX_CLK6/REFCLKI6**）和第二个引脚 （**TX_EN6/TX_CTL6**）保持低电平。
   e） 将 NAND 树序列中的第三个引脚（**TX_ER6**）从高电平切换到低电平，并确认 **INTRP_N** 引脚从高电平切换到低电平，以指示第三个引脚连接正确。
   f） 按照这个序列继续操作，直到切换了所有 KSZ8567R NAND 树输入引脚。

每个 KSZ8567R NAND 树输入引脚都必须使 **INTRP_N** 输出引脚进行高电平到低电平或低电平到高电平的切换，以指示连接良好。当 KSZ8567R 输入引脚从高电平切换到低电平时，如果 **INTRP_N** 引脚没有切换，则表示该输入引脚有故障。

4.8 时钟

4.8.1 主时钟

该器件在 **XI** 引脚处需要 25 MHz 的参考时钟输入。该时钟在内部进行倍频，用于为所有内部逻辑和开关功能提供时钟。它通常也用于为 PHY 发送路径提供时钟。可通过在 **XI** 引脚和 **XO** 引脚之间连接晶振（以及相应的接地负载电容）来提供该时钟。或者，可通过外部 CMOS 时钟信号驱动 **XI**，而 **XO** 保留为不连接。 **XI/XO** 模块由 **AVDDH** 供电。

4.8.2 MAC 接口时钟

MII 接口的时钟是不对称的，通过 PHY 器件将 **RX_CLK*x*** 接收时钟和 **TX_CLK*x*** 发送时钟驱动到 MAC 器件。可通过配置选项在复位时配置每个 MII 端口以发挥 PHY 或 MAC 的作用。因此， **RX_CLK*x*** 和 **TX_CLK*x*** 既可以都是输入，也可以都是输出，具体取决于 MII 模式。

RMII 接口使用单个 50 MHz 时钟。该 REFCLK 可来源于 KSZ8567R 或连接的器件。配置选项用于为每个端口选择模式。“正常模式”是由其他器件提供时钟的模式，并且时钟是器件 **REFCLKI*x*** 引脚的输入。“时钟模式”是 KSZ8567R 在 **REFCLKO*x*** 引脚上产生 50 MHz 时钟的模式。

RGMII 接口采用源同步时钟，因此它是对称的，无需选择模式。 **RX_CLK*x*** 引脚上产生输出时钟，而 **TX_CLK*x*** 引脚上接收输入时钟。时钟速度随接口数据速率（10 Mbps、100 Mbps 或 1000 Mbps）而变化。配置选项用于选择 100 Mbps 和 1000 Mbps 之间的速率。如果需要 10 Mbps 的速率，应使用寄存器设置来设定该速度。

MAC 接口由 **VDDIO** 供电。

注： 有关使用配置引脚的更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

4.8.3 串行管理接口时钟

无论配置为 SPI、 I^2C 还是 MIIM， KSZ8567R 始终都是从器件并通过输入获得时钟。串行管理接口由 **VDDIO** 供电。

4.8.4 同步以太网和 SYNCLKO

输出时钟通过 **SYNCLKO** 引脚提供。默认情况下，它源自 **XI** 上的 25 MHz 输入参考时钟，但可以选择为来自任何 PHY 端口的恢复时钟。该恢复时钟可向外部器件馈送低带宽 PLL 和保持功能，用于同步以太网应用。然后，源自 **SYNCLKO** 的 25 MHz 时钟可用作 **XI** 的输入。

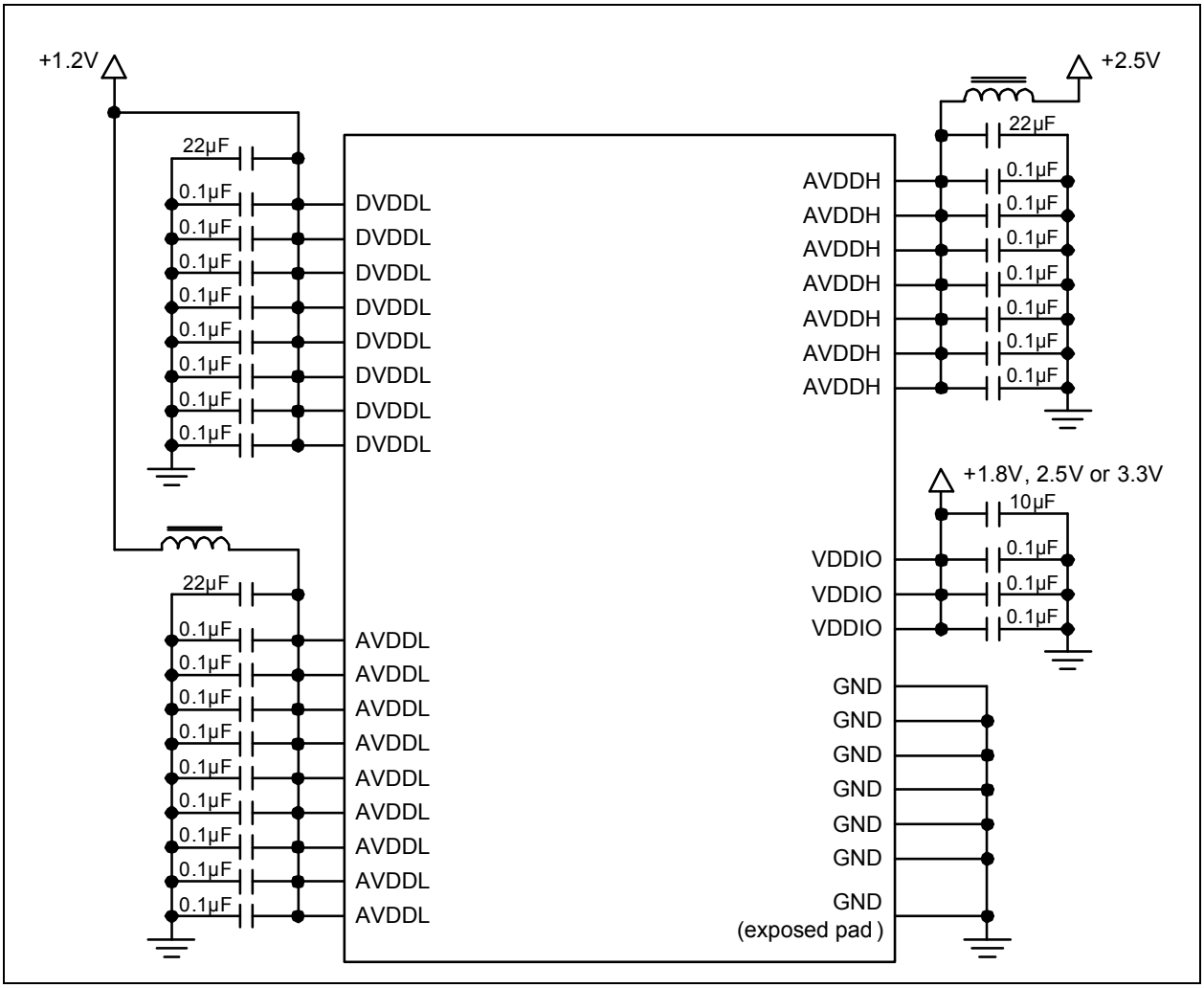
可选择的输出频率为 25 MHz （默认值）和 125 MHz。如果不需要，也可以禁止该输出时钟。 **SYNCLKO** 由输出时钟控制寄存器控制，并由 **VDDIO** 供电。

© 2018 Microchip Technology Inc.

4.9 电源

KSZ8567R 需要两到三个电源电压。该器件内核采用 1.2V 电源 （**DVDDL** 和 **AVDDL**）供电。 PHY 收发器以及 XI/XO 晶振 / 时钟接口采用 2.5V 或 3.3V 电源 （**AVDDH**）工作。数字 I/O 的工作电压为 1.8V、 2.5V 或 3.3V （**VDDIO**）。由 **VDDIO** 供电的数字 I/O 包括 RGMII、RMII、MII、SPI、I^2C、MIIM、LED、**RESET_N**、**PME_N**、**INTRP_N** 和 **SYNCLKO**。图 4-9 给出了一张电源连接图。

图 4-9： 电源连接图



4.10 电源管理

该器件支持低功耗状态下的增强电源管理功能，凭借能量检测，可在器件空闲期间确保低功耗。电源管理功能下有三种全局实施的工作模式 （即适用于所有端口）：

- 正常工作模式
- 能量检测模式
- 全局软掉电模式

表 4-22 总结了三种电源管理工作模式下的所有内部功能模块状态。

表 4-22： MDI/MDI-X 引脚定义

功能模块	电源管理工作模式		
	正常模式	能量检测模式	软掉电模式
内部 PLL 时钟	使能	禁止	禁止
TX/RX PHY	使能	RX 处能量检测	禁止
MAC	使能	禁止	禁止
主机接口	使能	禁止	禁止

还有另外两种节能模式，这些模式可在每个端口上实现：

- 基于端口的掉电
- 节能以太网 （EEE）－只有在该器件中使能并 （每个端口）与链路伙伴自动协商后，才处于活动状态。 EEE 在每个端口都可使能，但在非 PHY 端口 6 和 7 上不可用。

前三种全局电源模式是相互排斥的；一次只能选择一种模式。无论全局电源模式如何，都可以使能基于端口的掉电。

4.10.1 正常工作模式

上电时，该器件进入正常工作模式。它也是通过掉电控制 0 寄存器中的 bit[4:3] = 00 选定的。当该器件处于正常工作模式时，所有 PLL 时钟都处于运行状态， PHY 和 MAC 处于开启状态，并且 CPU 已准备好通过串行接口 （SPI、 I^2C 或 MIIM）对器件寄存器进行读取或写入操作。

在正常工作模式下，主机处理器可以改变掉电控制 0 寄存器中的电源管理模式位，以转换到任何其他电源管理模式。

4.10.2 能量检测模式

通过将掉电控制 0 寄存器中的 bit [4:3] 设置为 01，即会使能能量检测模式，也称为能量检测掉电模式 （energy-detect power down， EDPD）。能量检测模式提供了一种机制，可在器件未连接到活动链路伙伴时实现省电。在能量检测模式下，必须使能自动协商。

能量检测模式由正常功耗状态和低功耗状态两种组成。当处于此模式时，该器件将监控电缆能量。如果电缆上没有电能的时间超过预先配置的值，该器件将进入低功耗状态。当处于低功耗状态时，该器件会禁用除接收器能量检测电路之外的所有电路来降低功耗，此时功耗降到最低。当处于低功耗状态时，该器件发送链路脉冲的时间间隔很长，占空比非常低。同时，它会继续监控电缆上的能量。一旦在电缆上检测到能量并且能量存在时间超过 100 ns，该器件将进入正常功耗状态。

4.10.3 全局软掉电模式

全局软掉电模式用于在上电后不使用时关闭该器件的电源。该模式会禁用除串行 （SPI 或 I^2C）管理接口以外的所有内部功能。

当退出软掉电模式时，所有寄存器都会被复位到默认值，并且所有配置引脚都会被采样以设置器件设置。

4.10.4 基于端口的掉电

可单独关断闲置端口以实现省电。

4.10.5 节能以太网 （EEE）

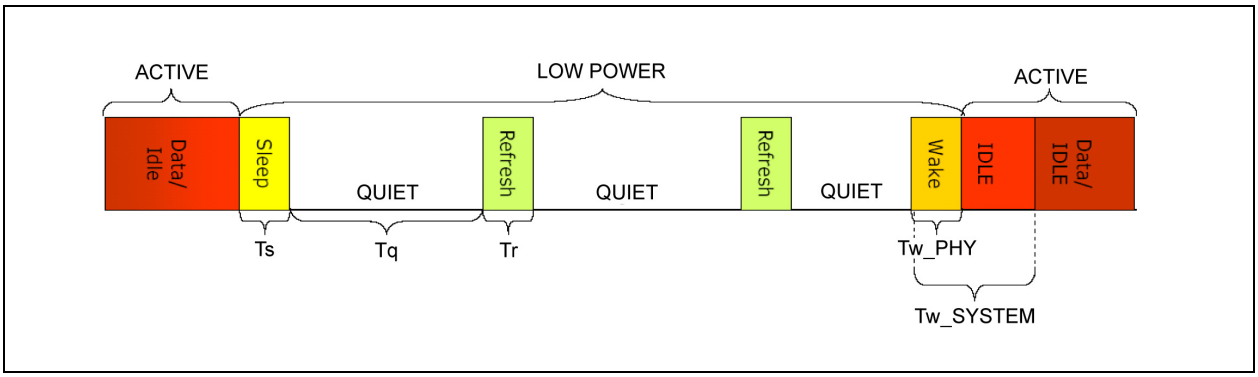
节能以太网 （EEE）按照 IEEE 802.3AZ 规范所述在该器件的端口 1 至 5 上实现。 EEE 在端口 6 和 7 上不可用。在没有流量活动期间， EEE 会尽量将以太网电缆上的电压保持在 0V 左右来实现省电。这被称为低功耗空闲 （low-power idle，LPI）状态。但是，当流量恢复时，链路将自动响应，避免出现阻塞或丢包（100BASE-TX 的唤醒时间小于 30 µs）。发送和接收方向是独立进行控制的。

© 2018 Microchip Technology Inc.

EEE 功能默认处于禁用状态。 EEE 必须具有自动协商，并且仅当链路上两个节点都支持时才使能。

LPI 模式处于活动状态的时间段称为安静时间，具体如图 4-10 所示。

图 4-10： 流量活动和 EEE



4.10.5.1 MII 模式的发送方向控制

对于 EEE 端口，当内部 EEE MAC 向其 PHY 发送信号时，将进入发送方向的低功耗空闲 （LPI）状态。 PHY 将根据 MAC 指示一直保持在发送 LPI 状态。 **TX_CLK*x*** 不会停止。

即使 PHY 处于 LPI 状态，它也将定期退出 LPI 状态来使用特定的发送码位发送刷新信号。这样链路伙伴就能够跟踪通道特性的长期变化以及两个伙伴之间的时钟漂移。大约每 20 ms 到 22 ms，PHY 会向链路伙伴发送一个位模式，持续时间为 200 µs-220 µs。刷新时间如图 4-10 所示。

4.10.5.2 MII 模式的接收方向控制

如果 LPI 模式使能，在接收到 P 码位模式（刷新）时， PHY 将进入 LPI 状态并向内部 MAC 发送信号。如果 PHY 收到一些非 P 码位模式，它会发信号给 MAC 以返回到“正常帧”模式。在 LPI 状态下产生九个或更多个时钟后， PHY 可关闭 **RX_CLK*x***。

在符合 EEE 标准的环境中，内部 PHY 将会监控并期望从其链路伙伴获得 P 代码（刷新）位模式，该模式大约每 20 ms 到 22 ms 产生一次，持续时间约为 200 µs-220 µs。这样链路伙伴就能够跟踪通道特性的长期变化以及两个伙伴之间的时钟漂移。

4.10.6 局域网唤醒 （WoL）

局域网唤醒允许通过网络消息打开或唤醒计算机。消息通常由同一局域网中另一台计算机上执行的程序发出。只要在网络上向系统提交有意义的数据，就会使用唤醒帧事件唤醒系统。有意义的数据示例包括魔术数据包接收、远程管理员发出的管理请求或者仅仅是直接以本地系统为目标的网络通信。该器件可以设置为在电源管理事件信号 （**PME_N**）置位时向主机通知检测到唤醒帧。

该器件的 MAC 支持检测以下唤醒事件：

- 能量信号超过预配置的值检测
- 网络链路状态链路建立检测
- 魔术数据包接收

此外，还有此处未列出的其他类型唤醒事件，因为制造商可能选择按照自己的方式来实现这些唤醒事件。

4.10.6.1 能量方向

在电缆上检测到能量并持续存在时间超过预先配置的值，尤其是在这种能量变化可能影响到系统应当重新进入正常功耗状态的电平时。

4.10.6.2 链路建立方向

链路状态唤醒事件对于指示网络连接状态中的链路建立非常有用。

4.10.6.3 Magic Packet™

魔术数据包是一种广播帧，其有效载荷的 6 个字节为全 1（FF FF FF FF FF FF），后跟重复 16 次的目标计算机 48 位 DA MAC 地址。由于只会扫描魔术数据包中的上述字符串，而实际上并未通过完整的协议栈解析魔术数据包，因此可将魔术数据包作为任意网络层和传输层协议进行发送。

魔术数据包技术用于远程唤醒 LAN 上已休眠或关机的 PC。这可通过向网络上的某个节点发送称为魔术数据包帧的特定信息数据包来实现。当能够接收特定帧的 PC 进入休眠状态时， PC 会在 LAN 控制器中使能魔术数据包接收模式；当 LAN 控制器接收到魔术数据包帧时，它会提醒系统唤醒。使能魔术数据包检测后，该器件便会扫描寻址到该节点的所有传入帧来查找特定数据序列，该数据序列用于向控制器指示这是魔术数据包帧。

魔术数据包帧还必须满足所选 LAN 技术的基本要求，例如源地址 （SA）、目标地址 （DA），这些地址可能是接收站点的 IEEE MAC 地址或者多播或广播地址和 CRC。该特定序列由该节点重复 16 次的 MAC 地址组成，无间断或中断。该序列可位于数据包内的任意位置，但前面必须是同步流。该同步流被定义为 6 个字节的 0xFF。只要重复 16 次的 IEEE 地址与待唤醒机器的地址匹配，该器件也会接受广播帧。

4.10.6.4 电源管理相关事件的中断生成

每当发生电源管理相关事件时，可通过两种方式向主机生成中断。生成的中断通过 **PME_N** 信号引脚或 **INTRP_N** 信号引脚传输。

4.11 管理接口

外部主机处理器可以使用该接口对该器件的寄存器进行读写操作。该接口有三种工作模式：SPI、 I^2C 或 MIIM。接口模式通过配置选项在复位取消置位时选择 （有关其他信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”）。

在这三种接口选项中， SPI 提供最高性能，而 MIIM 性能最低。最重要的是， MIIM 提供对 PHY 控制和状态寄存器的访问，但不提供对任何开关寄存器的访问。因此绝大多数应用可以使用 SPI 或 I^2C，但不能使用 MIIM。

也可以通过高性能带内管理接口来访问寄存器，如第 58 页上的第 4.12 节 “带内管理”所述。

4.11.1 SPI 从总线

KSZ8567R 支持从模式 SPI 接口，通过 SPI 主器件提供对所有器件寄存器的完整访问。 SPI 主器件提供时钟 （**SCL**）、选择 （**SCS_N**）和串行输入数据 （**SDI**）。串行输出数据 （**SDO**）由 KSZ8567R 驱动。

当 SPI 操作空闲时， **SCL** 预期会保持低电平。 SPI 操作从 **SCS_N** 的下降沿开始，到 **SCS_N** 的上升沿结束。一次读或写访问包括一个 27 位的命令 / 地址相位，然后是一个 5 位周转 （turnaround， TA）相位，然后是一个 8 位数据相位。对于突发读或写访问， **SCS_N** 保持低电平，同时 **SCL** 会继续切换。每 8 个 **SCL** 循环，该器件将使地址计数器递增，并依次在 **SDI** 或 **SDO** 上传输相应的数据字节。

所有命令、地址和数据都将以最高有效位优先方式传输。 **SDI** 上的输入数据在时钟 **SCL** 的上升沿锁存。 **SDO** 上的输出数据在 **SCL** 的下降沿逐个输出。

如图 4-23 所示，有两个命令：寄存器读取和寄存器写入。图 4-11 和图 4-12 显示了这两个操作的时序。

© 2018 Microchip Technology Inc.

表 4-23： 使用 SPI 接口访问寄存器

SPI 操作	命令 / 地址相位 （SDI 引脚）		TA 位 （注 4-8）	数据相位 （SDO 引脚或 SDI 引脚）
	命令	寄存器地址		
寄存器读取	011	A23 A22 A21 A20 … A7 A6 A5 A4 A3 A2 A1 A0	XXXXX	D7 D6 D5 D4 D3 D2 D1 D0
寄存器写入	010	A23 A22 A21 A20 … A7 A6 A5 A4 A3 A2 A1 A0	XXXXX	D7 D6 D5 D4 D3 D2 D1 D0

注 4-8 TA 位是周转位。它们是 “任意值” 位。

注： 实际器件地址空间为 16 位 （A15 - A0），因此 SPI 命令 / 地址相位的地址位 A23 - A16 的值为 “任意值”。

图 4-11： SPI 寄存器读操作

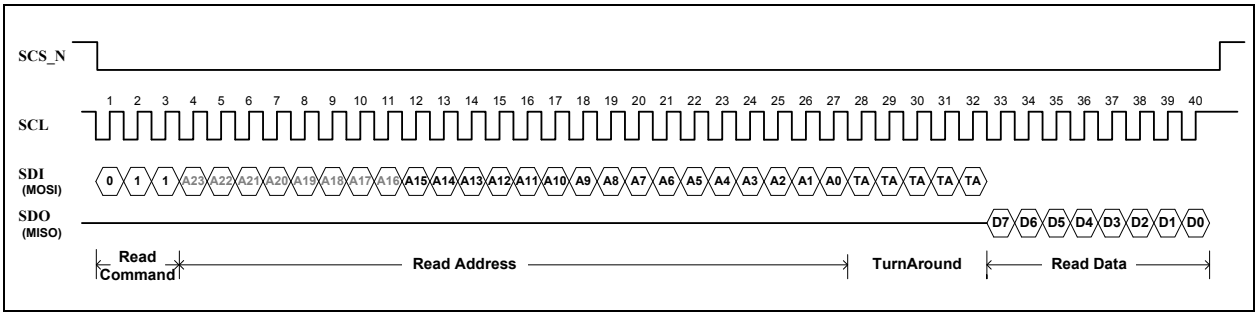
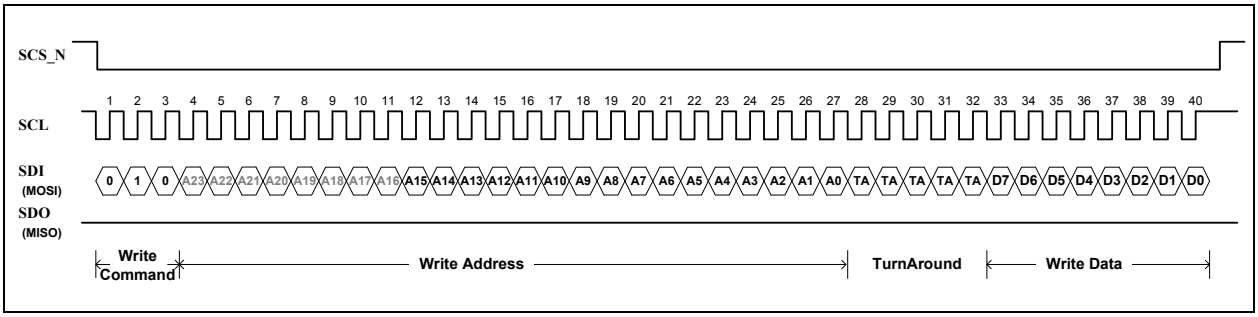


图 4-12： SPI 寄存器写操作



4.11.2 I²C 总线

管理接口可以配置为 I²C 从器件。在该模式下， I²C 主器件可以对该器件的内部控制寄存器和状态寄存器进行完全的编程访问，包括所有 MIB 计数器、地址查找表、 VLAN 表和 ACL 表。

7 位器件地址固定为 1011_111。由于地址固定，一次只能有一个 KSZ8567R 在 I²C 总线上。然后， R/W 控制位附加为最低有效位，以形成这些 8 位地址 / 控制字：

1011_1110 <write>

1011_1111 <read>

该器件的内部寄存器和表使用 16 位寻址和 8 位数据进行访问。访问格式如下：

图 4-13： 单字节寄存器写入

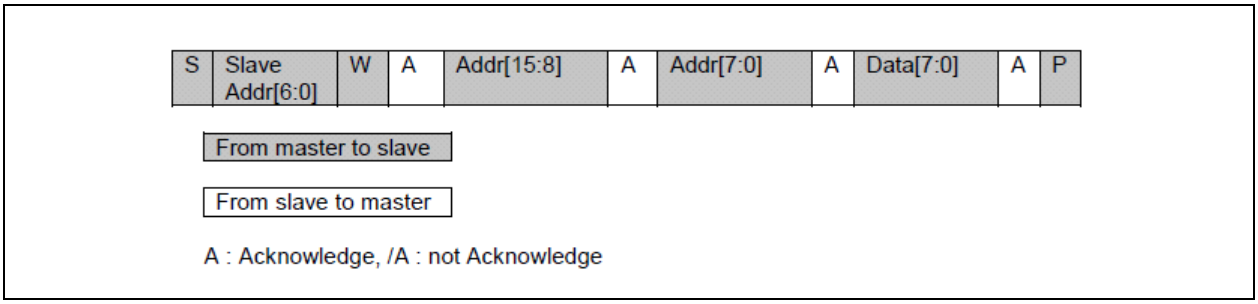


图 4-14： 单字节寄存器读取

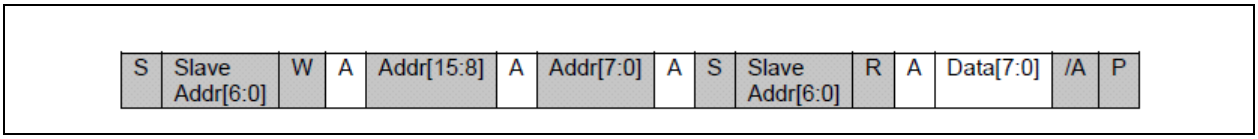


图 4-15： 突发寄存器写入

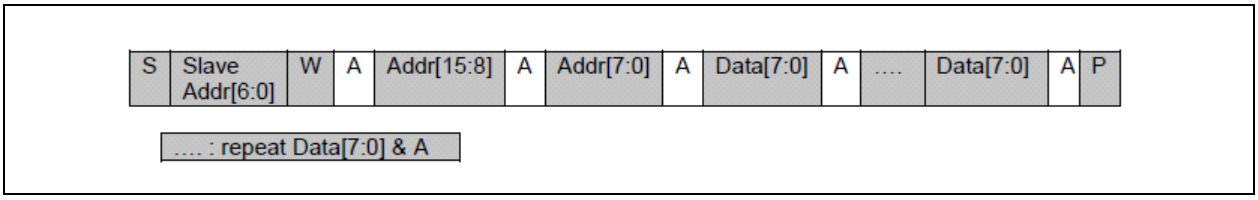
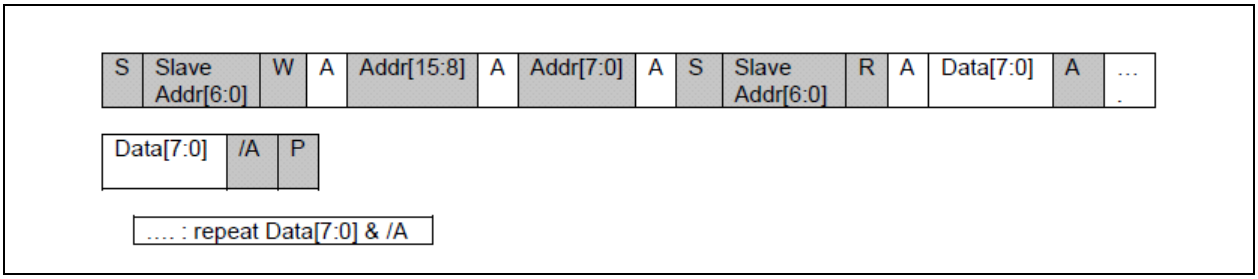


图 4-16： 突发寄存器读取



© 2018 Microchip Technology Inc.

4.11.3 MII 管理 （MII Management， MIIM）接口

该器件支持 IEEE 802.3 MII 管理接口，该接口也称为管理数据输入 / 输出 （Management Data Input/ Output， MDIO）接口。该接口使得上层器件能够监控和控制 KSZ8567R PHY 模块的状态，但不提供对开关寄存器的访问。可以使用具有 MDC/MDIO 功能的外部器件读取 PHY 状态或配置 PHY。有关 MIIM 接口的详细信息，请参见 IEEE 802.3 规范的第 22 条和第 45 条规定。

使用 MIIM 与使用带内管理接口冲突。不能同时使用这些接口。

MIIM 接口由以下部分组成：

- 使用数据信号 （**MDIO**）和时钟信号 （**MDC**）在外部控制器和 KSZ8567R 之间进行通信的物理连接。请注意，**MDIO** 信号为漏极开路信号。
- 在两个信号物理连接之间运行的特定协议，它允许外部控制器与内部 PHY 器件通信。
- 对一组标准供应商特定和扩展（MMD）16 位寄存器的访问。也可以通过 SPI 和 ^{2}C 接口选项直接访问这些寄存器。

MIIM 接口的最大时钟工作频率为 5 MHz。它仅限用于访问端口 1 至 5 上 PHY 模块中的寄存器。表 4-24 总结了 MII 管理接口帧格式。

表 4-24： MII 管理接口帧格式

工作模式	前导码 （32 位）	帧起始 （2 位）	操作码 （2 位）	PHY 地址 （5 位）	寄存器地址 （5 位）	周转 （2 位）	寄存器数据 （16 位）	空闲
读取	全 1	01	10	A[4:0]	Reg[4:0]	Z0	D[15:0]	Z
写入	全 1	01	01	A[4:0]	Reg[4:0]	10	D[15:0]	Z

MIIM PHY 地址到 PHY 端口的映射如下：

- PHY 地址 1h 对应于 PHY 端口 1
- PHY 地址 2h 对应于 PHY 端口 2
- PHY 地址 3h 对应于 PHY 端口 3
- PHY 地址 4h 对应于 PHY 端口 4
- PHY 地址 5h 对应于 PHY 端口 5

MIIM 寄存器地址空间由两个不同的区域组成。

- 标准 MIIM 寄存器 （直接）
- MDIO 可管理器件 （MMD）寄存器 （间接）

4.11.3.1 标准 MIIM 寄存器 （直接）

标准寄存器提供对 32 个寄存器地址空间的直接读 / 写访问，定义参见 IEEE 802.3 规范第 22 条。在该地址空间内，前 16 个寄存器 （寄存器 0h 至 Fh）根据 IEEE 规范定义，其余 16 个寄存器 （寄存器 10h 至 1Fh）由 PHY 供应商定义。

对于每个 PHY 端口， KSZ8567R 都支持表 4-25 中列出的标准寄存器。每个 16 位 MIIM 标准寄存器地址均映射到两个对应的 8 位端口 N 寄存器地址。寄存器位映射和说明位于 8 位端口 N 寄存器地址中。

表 4-25： 标准 MIIM 寄存器

MIIM 标准寄存器地址 （十六进制）	端口 N 寄存器地址 （十六进制）	说明
IEEE 定义寄存器		
0h	0xN100 - 0xN101	PHY 基本控制寄存器
1h	0xN102 - 0xN103	PHY 基本状态寄存器
2h	0xN104 - 0xN105	PHY ID 高位寄存器

表 4-25： 标准 MIIM 寄存器 （续）

MIIM 标准寄存器地址（十六进制）	端口 N 寄存器地址（十六进制）	说明
3h	0xN106 - 0xN107	PHY ID 低位寄存器
4h	0xN108 - 0xN109	PHY 自动协商通告寄存器
5h	0xN10A - 0xN10B	PHY 自动协商链路伙伴能力寄存器
6h	0xN10C - 0xN10D	PHY 自动协商扩展状态寄存器
7h	0xN10E - 0xN10F	PHY 自动协商下一页寄存器
8h	0xN110 - 0xN111	PHY 自动协商链路伙伴下一页能力寄存器
9h-Ch	-	保留
Dh	0xN11A - 0xN11B	PHY MMD 设置寄存器
Eh	0xN11C - 0xN11D	PHY MMD 数据寄存器
Fh	-	保留
供应商特定寄存器		
10h	-	保留
11h	0xN122 - 0xN123	PHY 远程环回寄存器
12h	0xN124 - 0xN125	PHY LinkMD 寄存器
13h	0xN126 - 0xN127	PHY 数字 PMA/PCS 状态寄存器
14h	-	保留
15h	0xN12A - 0xN12B	端口 RXER 计数寄存器
16h-1Ah	-	保留
1Bh	0xN136 - 0xN137	端口中断控制 / 状态寄存器
1Ch	0xN138 - 0xN139	PHY 自动 MDI/MDI-X 寄存器
1Dh-1Eh	-	保留
1Fh	0xN13E - 0xN13F	PHY 控制寄存器

4.11.3.2 MDIO 可管理器件 （MMD）寄存器 （间接）

MIIM 接口提供对第 195 页上的第 5.4 节 “MDIO 可管理器件 （MDIO Manageable device， MMD）寄存器 （间接）”中定义的一组 MMD 寄存器的间接访问。

4.12 带内管理

带内管理访问 （in-band management access， IBA）功能通过七个数据端口中的任何一个来提供完整的寄存器读写访问。端口 7 是默认的 IBA 端口。带内功能在上电和复位时通过配置选项使能或禁用。要将其他端口而不是端口 7 用于 IBA，必须使用 SPI 或 I^2C 接口或者 IBA 来写入控制寄存器。 IBA 一次只能在一个端口上使用。

带内管理帧的处理方式与普通网络帧不同。它们被识别为特殊帧，因此地址和 VID 查找、 VLAN 标记、源地址过滤、未标记丢弃、带标记帧丢弃等都不适用于这些帧。接收到的带内管理帧永远不会转发到开关结构或任何其他端口。

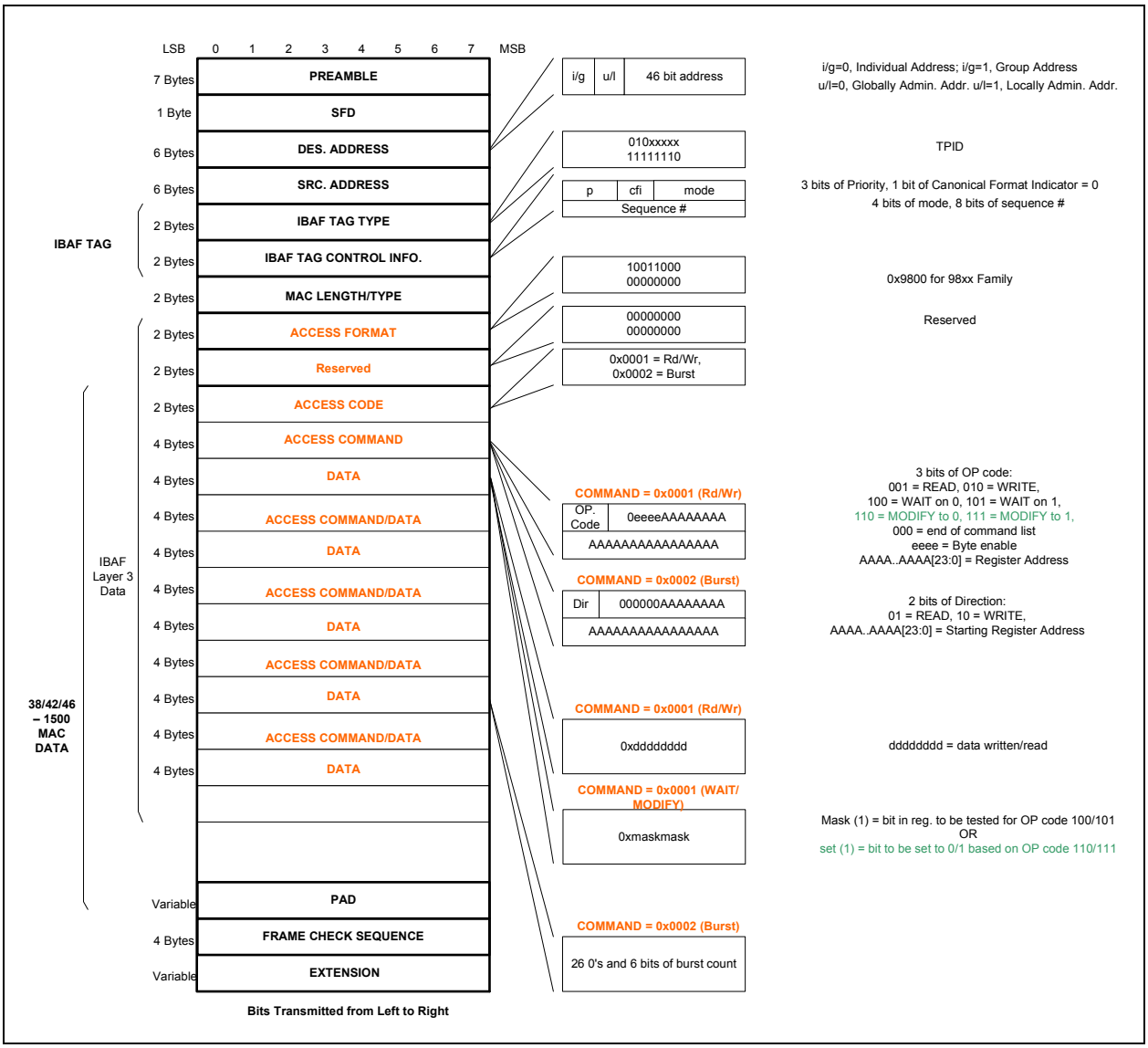
带内管理（In-Band Management，IBA）控制寄存器用于使能和控制 IBA 功能，并将七个端口中的一个端口指定为 IBA 端口。

IBA 帧格式如图 4-17 所示。 IBA 帧的第 2 层部分包含正常的目标地址 （DA）和源地址 （SA）字段。这类帧的 DA 被定义为开关 MAC 地址（默认为 00-10-A1-FF-FF-FF），SA 为源器件的 MAC 地址。DA 和 SA 将在响应帧中交换。SA 之后有一个特殊的 4 字节 IBA 标记。然后是 2 字节的 EtherType/Length 字段，该字段用于将该帧标识为 IBA 帧。

© 2018 Microchip Technology Inc.

一次只能处理一个 IBA 帧。除非最近的响应帧已经完全发送，否则该器件接收到的任何后续 IBA 帧都将被丢弃。
有六种读 / 写命令：READ、 WRITE、 WAIT on 0、 WAIT on 1、 MODIFY to 0 以及 MODIFY to 1。
突发命令提供快速和捆绑数据返回，直至达到 IBA 帧缓冲区的容量。突发命令有两种类型的操作：读取突发和写入突发。

图 4-17： 带内管理帧格式



4.13 MAC 接口 （RGMII/MII/RMII 端口 6 至 7）

配置选项用于单独为端口 6 和 7 选择这些 MAC 接口选项中的任意一个：

- 媒体独立接口 （Media Independent Interface， MII）：支持 100 Mbps 和 10 Mbps 数据速率
- 简化的媒体独立接口 （RMII）：支持 100 Mbps 和 10 Mbps 数据速率
- 简化的千兆位媒体独立接口 （RGMII）：支持 1000 Mbps、 100 Mbps 和 10 Mbps 数据速率

请注意， KSZ8567R MAC 接口上信号的名称与用于 PHY 的名称相同：TX 方向进入 KSZ8567R， RX 方向离开 KSZ8567R，就好像是集成 MAC 的主机处理器。与这种 “MAC” 器件的信号连接是 TX 到 TX 和 RX 到 RX。

外部 PHY（例如 Microchip KSZ9031RNX）可以连接到任一端口，但在该情况下，信号连接将是 RX 到 TX 和 TX 到 RX。

RGMII/MII/RMII 接口由 **VDDIO** 电源供电。

4.13.1 媒体独立接口 （Media Independent Interface， MII）

媒体独立接口 （MII）在 IEEE 802.3 标准的第 22 条中指定。它提供了 PHY 层和 MAC 层器件之间的通用接口。该数据接口是 4 位宽，运行速率是网络比特率的四分之一； 10BASE-T/Te 中为 2.5 MHz， 100BASE-TX 中为 25 MHz （未编码）。发送端的附加信号指示何时数据有效或者传输过程中何时发生错误。同样，接收端提供信号来指示何时数据有效且没有物理层错误。对于半双工操作， COL 信号用于指示在传输期间是否发生了冲突。

每个 MII 接口都可以在 PHY 模式或 MAC 模式下运行。当端口连接到具有 MAC 功能的处理器或其他器件时，选择 PHY 模式；当连接到外部 PHY 时，选择 MAC 模式。请注意， **TX_CLK*x***、 **RX_CLK*x***、 **COL*x*** 和 **CRS*x*** 信号的方向会受到 PHY 模式或 MAC 模式设置的影响，而其他 MII 信号不改变方向。

对于端口 6，MII 模式在复位时通过引脚 **RXD6_3** 和 **RXD6_2** 上的配置选项进行选择；对于端口 7，则通过引脚 **RXD7_3** 和 **RXD7_2**。对于 100/10 Mbps 模式，应当设置速度配置选项（端口 6 上为引脚 **RXD6_0**，端口 7 上为 **RXD7_0** 上的）。PHY 模式或 MAC 模式通过引脚 **RXD6_1** （端口 6）和 **RXD7_1** （端口 7）上的配置选项进行选择。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

该接口包含两组不同的信号，一组用于发送，另一组用于接收。表 4-26 和表 4-27 分别描述了 MII 接口用于连接外部 MAC 或外部 PHY 的信号。

表 4-26： MII （PHY 模式）连接到外部 MAC

MII 接口信号描述	KSZ8567R PHY 模式下的信号	外部 MAC 器件信号
发送使能	**TX_EN*x*** （输入）	TX_EN （输出）
传输错误	**TX_ER*x*** （输入）	TX_ER （输出）
发送数据位 [3:0]	**TXD*x*_[3:0]** （输入）	TXD[3:0] （输出）
发送时钟	**TX_CLK*x*** （输出）	TX_CLK （输入）
冲突检测	**COL*x*** （输出）	COL （输入）
载波检测	**CRS*x*** （输出）	CRS （输入）
接收数据有效	**RX_DV*x*** （输出）	RX_DV （输入）
接收错误	**RX_ER*x*** （输出）	RX_ER （输入）
接收数据位 [3:0]	**RXD*x*_[3:0]** （输出）	RXD[3:0] （输入）
接收时钟	**RX_CLK*x*** （输出）	RX_CLK （输入）

表 4-27： MII （MAC 模式）连接到外部 PHY

MII 接口信号描述	KSZ8567R MAC 模式下的信号	外部 PHY 器件信号
发送使能	**RX_DV*x*** （输出）	TX_EN （输入）
传输错误	**RX_ER*x*** （输出）	TX_ER （输入）
发送数据位 [3:0]	**RXD*x*_[3:0]** （输出）	TXD[3:0] （输入）
发送时钟	**RX_CLK*x*** （输入）	TX_CLK （输出）
冲突检测	**COL*x*** （输入）	COL （输出）
载波检测	**CRS*x*** （输入）	CRS （输出）
接收数据有效	**TX_EN*x*** （输入）	RX_DV （输出）
接收错误	**TX_ER*x*** （输入）	RX_ER （输出）

© 2018 Microchip Technology Inc.

表 4-27： MII （MAC 模式）连接到外部 PHY （续）

MII 接口信号描述	KSZ8567R MAC 模式下的信号	外部 PHY 器件信号
接收数据位 [3:0]	**TXD*x*_[3:0]** （输入）	RXD[3:0] （输出）
接收时钟	**TX_CLK*x*** （输入）	RX_CLK （输出）

4.13.2 简化的媒体独立接口 （RMII）

简化的媒体独立接口 （RMII）指定了一个基于 MII 的低引脚数接口，该接口提供与连接到该端口的 MAC 进行通信。与 MII 一样， RMII 提供物理层和 MAC 层器件之间或两个 MAC 层器件之间的通用接口，具有以下关键特性：

- 支持 10 Mbps 或 100 Mbps 的网络数据速率。
- 使用单个 50 MHz 时钟参考 （由内部或外部提供）来发送和接收数据。
- 使用独立的 2 位宽发送和接收数据路径。
- 包含两组不同的信号：一组用于发送，另一组用于接收。

用户通过设置适当的配置选项在两种 RMII 时钟模式中进行选择。端口 6 和端口 7 的时钟模式会单独进行选择。

在 RMII 正常模式下，端口需要一个外部 50 MHz 信号从外部源输入到 **TX_CLK*x*/REFCLKI*x***。该模式通过在复位期间将相应的引脚 （端口 6 为 **RXD6_1** ；端口 7 为 **RXD7_1**）配置为高电平来选择。

在 RMII 时钟模式下，端口将在 **RX_CLK*x*/REFCLKO*x*** 上输出一个 50 MHz 的时钟，该时钟源自连接到 **XI** 时钟输入的 25 MHz 晶振或振荡器。在此模式下， **TX_CLK*x*/REFCLKI*x*** 输入处于闲置状态。该模式通过在复位期间将相应的引脚（端口 6 为 **RXD6_1** ；端口 7 为 **RXD7_1**）配置为低电平来选择。

有关更多配置引脚信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

表 4-28 描述了 RMII 接口使用的信号。有关信号描述的完整详细信息，请参见 RMII 规范。

表 4-28： RMII 信号描述

RMII 信号名称（规范叫法）	RMII 信号（按照 KSZ8567R）	引脚方向（相对于 PHY，KSZ8567R）	引脚方向（相对于 MAC）	RMII 信号描述
REF_CLK	**REFCLKI6** **REFCLKI7**	输入	输入或输出	同步 50 MHz 参考时钟，当端口处于 RMII 正常模式时
n/a	**REFCLKO6** **REFCLKO7**	输出	输入	同步 50 MHz 参考时钟，当端口处于 RMII 时钟模式时
TX_EN	**TX_EN6** **TX_EN7**	输入	输出	发送使能
TXD[1:0]	**TXD6_[1:0]** **TXD7_[1:0]**	输入	输出	发送数据位 [1:0]
CRS_DV	**RX_DV6** **RX_DV7**	输出	输入	载波检测 / 接收数据有效
RX_ER	**RX_ER6** **RX_ER7**	输出	输入或不需要	接收错误
RXD[1:0]	**RXD6_[1:0]** **RXD7_[1:0]**	输出	输入	接收数据位 [1:0]

RMII 模式下的器件端口可以连接到外部 MAC 器件（如主机处理器）或外部 PHY ；但与 MII 不同的是， RMII 不提供单独的 PHY 和 MAC 工作模式。不过有必要正确连接引脚。

© 2018 Microchip Technology Inc.

表 4-29： RMII 连接到外部 MAC

RMII 接口信号描述	KSZ8567R 信号	外部 MAC 器件信号
发送使能	**TX_EN*x*** （输入）	TX_EN （输出）
发送数据位 [1:0]	**TXD*x*_[1:0]** （输入）	TXD[1:0] （输出）
参考时钟	**REFCLKI*x*** （输入） 或 **REFCLKO*x*** （输出）	REF_CLK （输入或输出）
载波检测数据有效	**RX_DV*x*** （输出）	CRS_DV （输入）
接收错误	**RX_ER*x*** （输出）	RX_ER （输入）
接收数据位 [1:0]	**RXD*x*_[1:0]** （输出）	RXD[1:0] （输入）

表 4-30： RMII 连接到外部 PHY

RMII 接口信号描述	KSZ8567R 信号	外部 PHY 器件信号
发送使能	**RX_DV*x*** （输出）	TX_EN （输入）
发送数据位 [1:0]	**RXD*x*_[1:0]** （输出）	TXD[1:0] （输入）
参考时钟	**REFCLKI*x*** （输入） 或 **REFCLKO*x*** （输出）	REF_CLK （输入或输出）
载波检测数据有效	**TX_EN*x*** （输入）	CRS_DV （输出）
接收错误	不连接	RX_ER （输出）
接收数据位 [1:0]	**TXD*x*_[1:0]** （输入）	RXD[1:0] （输出）

4.13.3 简化的千兆位媒体独立接口 （RGMII）

RGMII 在 RGMII PHY 和 MAC 间提供通用接口，并具有以下主要特性：

- 引脚数从 GMII 的 24 引脚减少到 RGMII 的 12 引脚。
- 半双工和全双工支持所有速率 （10 Mbps、 100 Mbps 和 1000 Mbps）。
- 数据发送和接收相互独立，隶属不同的信号组。
- 发送数据和接收数据均为四位宽 （半字节）。

在 RGMII 工作模式下， RGMII 引脚的功能如下：

- MAC 提供发送参考时钟（**TX_CLK*x***）：1000 Mbps 为 125 MHz、100 Mbps 为 25 MHz 以及 10 Mbps 为 2.5 MHz。
- PHY 恢复并提供接收参考时钟 （**RX_CLK*x***）： 1000 Mbps 为 125 MHz、 100 Mbps 为 25 MHz 以及 10 Mbps 为 2.5 MHz。
- 对于 1000BASE-T，发送数据 T**TXD*x*_[3:0]** 出现在 **TX_CLK*x*** 的两个边沿，接收数据 **RXD*x*_[3:0]** 在恢复的 125 MHz 时钟 **RX_CLK*x*** 的两个边沿逐个输出。
- 对于 10BASE-T/100BASE-TX， MAC 使 **TX_CTL*x*** 保持低电平，直到 PHY 和 MAC 以相同速率运行。在速率转换期间，接收时钟在正或负脉冲上延长，以确保不会向 MAC 提供时钟毛刺。
- **TX_ER*x*** 和 **RX_ER*x*** 分别与 **TX_EN*x*** 和 **RX_DV*x*** 组合，形成 **TX_CTL*x*** 和 **RX_CTL*x***。这两个 RGMII 控制信号在时钟下降沿有效。

上电或复位后，如果相应的配置引脚设置为 RGMII 模式能力选项之一，则该器件将配置为 RGMII 模式。有关可用选项，请参见第 16 页上的第 3.2.1 节 “配置引脚”。请注意， RGMII 接口没有机制可以使其速度自动适应所连 RGMII 器件的速度。配置引脚选项在上电时将每个 RGMII 接口的速度设置为 1000 Mbps 或 100 Mbps。对于每个端口，控制寄存器可以改写配置引脚选项，并将 RGMII 速度设置为 1000 Mbps、100 Mbps 或 10 Mbps。如果 PHY 连接到 RGMII 端口，则应确保 PHY 链路速度是固定的，以避免与 RGMII 速度不匹配。

© 2018 Microchip Technology Inc.

该器件提供了一个选项，可通过 XMII 端口控制 1 寄存器中的 RGMII 内部延迟控制位向 **TX_CLK*x*** 或 **RX_CLK*x*** 添加至少 1.5 ns 的内部延迟。这可以减少或消除在印刷电路板上为时钟信号添加跟踪延迟的需求。RGMII_ID_ig 为 **TX_CLK*x*** 使能延迟，并默认关闭。 RGMII_ID_eg 为 **RX_CLK*x*** 使能延迟，并默认打开。用户还应该了解所连 RGMII 器件可能添加的任何内部时钟延迟。

表 4-31： RGMII 信号描述

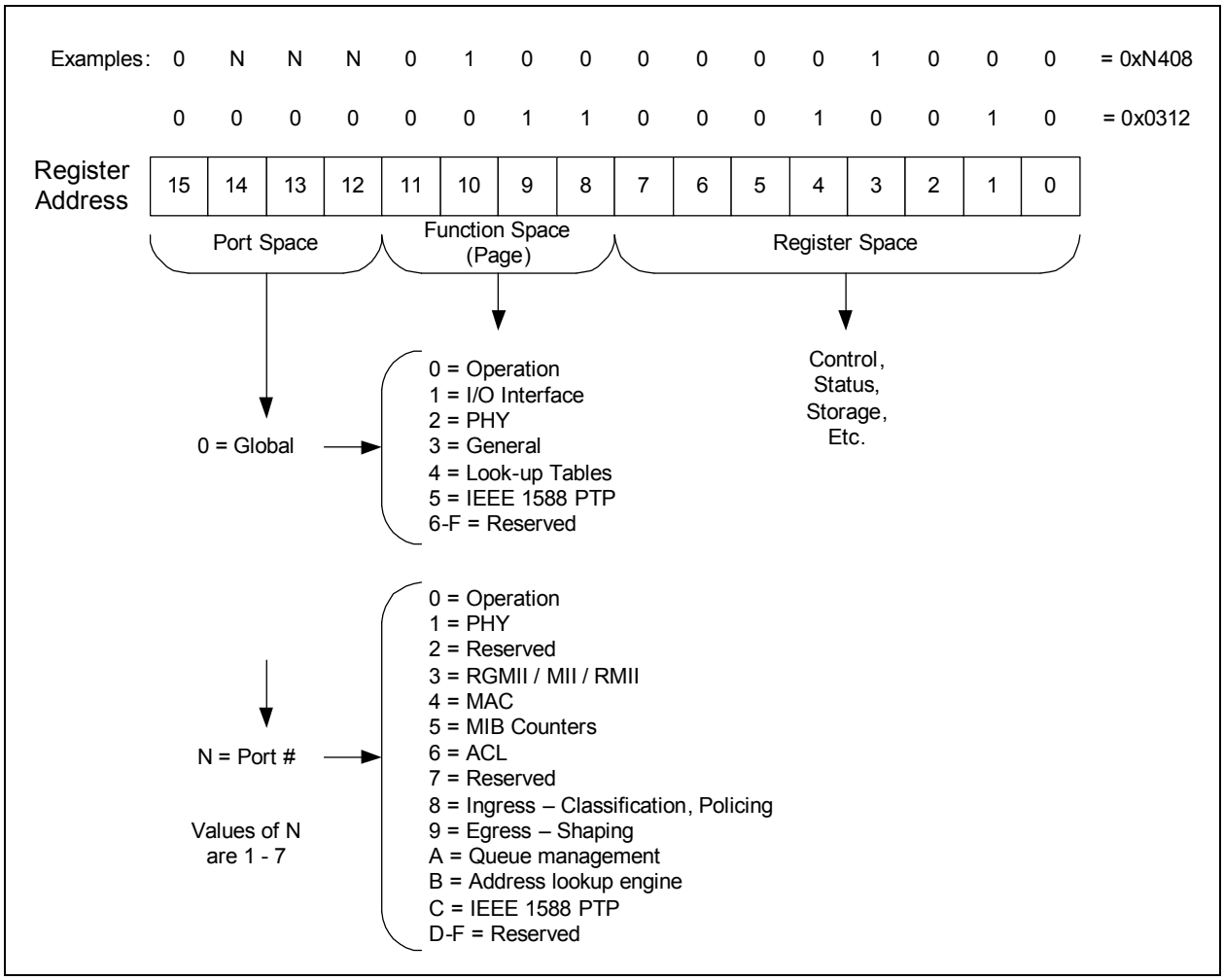
RGMII 信号名称（规范叫法）	RGMII 信号（按照 KSZ8567R）	引脚方向（相对于 PHY，KSZ8567R）	引脚方向（相对于 MAC）	RGMII 信号描述
TXC	**TX_CLK6** **TX_CLK7**	输入	输出	发送参考时钟 （1000 Mbps 为 125 MHz， 100 Mbps 为 25 MHz， 10 Mbps 为 2.5 MHz）
TX_CTL	**TX_CTL6** **TX_CTL7**	输入	输出	发送控制
TXD[3:0]	**TXD6_[3:0]** **TXD7_[3:0]**	输入	输出	发送数据 [3:0]
RXC	**RX_CLK6** **RX_CLK7**	输出	输入	接收参考时钟 （1000 Mbps 为 125 MHz， 100 Mbps 为 25 MHz， 10 Mbps 为 2.5 MHz）
RX_CTL	**RX_CTL6** **RX_CTL7**	输出	输入	接收控制
RXD[3:0]	**RXD6_[3:0]** **RXD7_[3:0]**	输出	输入	接收数据 [3:0]

5.0 器件寄存器

KSZ8567R 具有大量的寄存器，用于管理器件。用户可通过 SPI 或 I^2C 接口或带内管理功能访问这些寄存器。或者，也可以使用 MIIM 接口只访问 PHY 寄存器。 MIIM 接口无法访问开关寄存器。

器件寄存器通过 16 位地址来访问。该地址分为三个层次空间，如图 5-1 所示。这三个空间用于指定端口 / 通道（4 位）、端口的功能（页面）（4 位）以及功能寄存器（8 位）。各端口编号从 1 到 7。在端口空间内，值 0 用于全局寄存器。地址位 15 始终为 0。

图 5-1： 寄存器地址映射



© 2018 Microchip Technology Inc.

寄存器按字节寻址，管理接口 （SPI、 I2C 或带内）按字节传输数据。其中，寄存器以 16 位或 32 位显示，这仅用于描述。数据始终可以按任意顺序以单个字节形式写入和读取。

对于多字节寄存器，会以大端格式对数据进行寻址，其中最高有效字节位于最低地址，而最低有效字节位于最高地址，如图 5-2 所示。

图 5-2： 字节排序

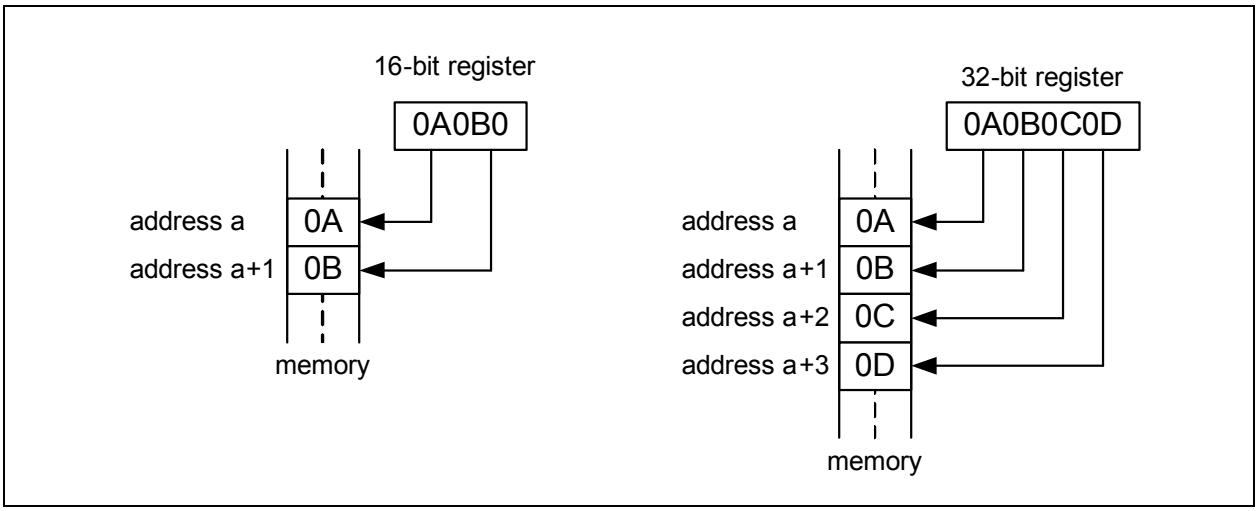


表 5-1 和表 5-2 分别详细说明了全局和端口寄存器地址映射。第 7 页上的表 1-3 “寄存器命名法”列出了寄存器位类型标记。

本章其余部分的组织结构如下：

- 全局寄存器
- 端口寄存器
- 表格和 MIB 计数器 （访问）
- MDIO 可管理器件 （MDIO Manageable device， MMD）寄存器 （间接）

表 5-1： 全局寄存器地址映射

地址	功能组
0x0000 - 0x00FF	全局操作控制寄存器 （0x0000 - 0x00FF）
0x0100 - 0x01FF	全球 I/O 控制寄存器 （0x0100 - 0x01FF）
0x0200 - 0x02FF	全局 PHY 控制和状态寄存器 （0x0200 - 0x02FF）
0x0300 - 0x03FF	全局开关控制寄存器 （0x0300 - 0x03FF）
0x0400 - 0x04FF	全局开关查找引擎 （LUE）控制寄存器 （0x0400 - 0x04FF）
0x0500 - 0x05FF	全局开关 PTP 控制寄存器 （0x0500 - 0x05FF）
0x0600 - 0x0FFF	保留

表 5-2： 端口 N（1 到 7）寄存器地址映射

地址	功能组
0xN000 - 0xN0FF	端口 N：端口操作控制寄存器 （0xN000 - 0xN0FF）
0xN100 - 0xN1FF	端口 N：端口以太网 PHY 寄存器 （0xN100 - 0xN1FF）
0xN200 - 0xN2FF	保留
0xN300 - 0xN3FF	端口 N：端口 RGMII/MII/RMII 控制寄存器 （0xN300 - 0xN3FF）
0xN400 - 0xN4FF	端口 N：端口开关 MAC 控制寄存器 （0xN400 - 0xN4FF）
0xN500 - 0xN5FF	端口 N：端口开关 MAC 计数器寄存器 （0xN500 - 0xN5FF）
0xN600 - 0xN6FF	端口 N：端口开关 ACL 控制寄存器 （0xN600 - 0xN6FF）
0xN700 - 0xN7FF	保留
0xN800 - 0xN8FF	端口 N：端口开关入口控制寄存器 （0xN800 - 0xN8FF）
0xN900 - 0xN9FF	端口 N：端口开关出口控制寄存器 （0xN900 - 0xN9FF）
0xNA00 - 0xNAFF	端口 N：端口开关队列管理控制寄存器 （0xNA00 - 0xNAFF）
0xNB00 - 0xNBFF	端口 N：端口开关地址查找控制寄存器 （0xNB00 - 0xNBFF）
0xNC00 - 0xNCFF	端口 N：端口开关 PTP 控制寄存器 （0xNC00 - 0xNCFF）
0xND00 - 0xNFFF	保留

注： 任何情况下都不得对 “保留” 地址空间进行写入操作。若未注意此警告，可能会导致不当操作和意外结果。如果需要写入同时包含可写位和保留位的寄存器，用户应先读回保留位（RO 或 R/W），使用读取的值与目标可设置位进行逻辑或运算，然后将通过或运算得出的值写回寄存器。

© 2018 Microchip Technology Inc.

5.1 全局寄存器

本节详细介绍了器件的全局寄存器。有关器件的整个寄存器映射的概述，请参见第 5.0 节 “器件寄存器”。有关器件的端口寄存器的详细信息，请参见第 5.2 节 “端口寄存器”。

5.1.1 全局操作控制寄存器 （0x0000 - 0x00FF）

5.1.1.1 全局芯片 ID 0 寄存器

地址： 0x0000 大小： 8 位

位	说明	类型	默认值
7:0	**固定值**	RO	0x00

5.1.1.2 全局芯片 ID 1 寄存器

地址： 0x0001 大小： 8 位

位	说明	类型	默认值
7:0	**芯片 ID （MSB）**	RO	0x85

5.1.1.3 全局芯片 ID 2 寄存器

地址： 0x0002 大小： 8 位

位	说明	类型	默认值
7:0	**芯片 ID （LSB）**	RO	0x67

5.1.1.4 全局芯片 ID 3 寄存器

地址： 0x0003 大小： 8 位

位	说明	类型	默认值
7:4	**版本 ID**	RO	-
3:1	**保留**	RO	-
0	**全局软件复位** 有关另一复位控制位，请参见开关操作寄存器。 0 = 正常工作 1 = 复位数据路径和状态机，但不复位寄存器值。	R/W SC	0b

5.1.1.5 PME 引脚控制寄存器

地址： 0x0006 大小： 8 位

位	说明	类型	默认值
7:2	**保留**	RO	-
1	**PME 引脚输出使能** 0 = 已禁止 1 = 已使能	R/W	0b
0	**PME 引脚输出极性** 0 = PME 低电平有效 1 = PME 高电平有效	R/W	0b

5.1.1.6 全局中断状态寄存器

地址： 0x0010 - 0x0013 大小： 32 位

该寄存器提供 LUE 和 GPIO 触发及时间戳功能的顶层中断状态。这些中断在全局中断屏蔽寄存器中使能。有关特定于端口的中断，请参见端口中断状态寄存器。

位	说明	类型	默认值
31	**查找引擎 （Lookup Engine， LUE）中断状态** 有关 LUE 中断状态位的详细信息，请参见地址查找表中断寄存器。 0 = 无中断 1 = 中断请求	RO	0b
30	**GPIO 引脚输出触发和时间戳单元中断状态** 要确定是触发输出单元中断还是时间戳单元中断，请参见 GPIO 状态监控 1 寄存器。 有关 PTP 出口帧基于端口的时间戳记的中断状态，请参见端口中断状态寄存器和端口 PTP 时间戳中断状态寄存器。 0 = 无中断 1 = 中断请求	RO	0b
29:0	保留	RO	-

© 2018 Microchip Technology Inc.

5.1.1.7 全局中断屏蔽寄存器

地址： 0x0014 - 0x0017 大小： 32 位

该寄存器允许全局中断状态寄存器中的中断。

位	说明	类型	默认值
31	**查找引擎（LUE）中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
30	**GPIO 引脚输出触发和时间戳单元中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
29:0	**保留**	RO	-

5.1.1.8 全局端口中断状态寄存器

地址： 0x0018 - 0x001B 大小： 32 位

该寄存器提供各端口的顶层中断状态。这些中断在全局端口中断屏蔽寄存器中使能。有关端口中断状态的详细信息，请参见端口中断状态寄存器。

位	说明	类型	默认值
31:7	**保留**	RO	-
6	**端口 7 中断状态** 0 = 无中断 1 = 中断请求	RO	0b
5	**端口 6 中断状态** 0 = 无中断 1 = 中断请求	RO	0b
4	**端口 5 中断状态** 0 = 无中断 1 = 中断请求	RO	0b
3	**端口 4 中断状态** 0 = 无中断 1 = 中断请求	RO	0b
2	**端口 3 中断状态** 0 = 无中断 1 = 中断请求	RO	0b
1	**端口 2 中断状态** 0 = 无中断 1 = 中断请求	RO	0b
0	**端口 1 中断状态** 0 = 无中断 1 = 中断请求	RO	0b

© 2018 Microchip Technology Inc.

5.1.1.9 全局端口中断屏蔽寄存器

地址： 0x001C - 0x001F 大小： 32 位

该寄存器允许全局端口中断状态寄存器中的中断。

位	说明	类型	默认值
31:7	**保留**	RO	-
6	**端口 7 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
5	**端口 6 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
4	**端口 5 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
3	**端口 4 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
2	**端口 3 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
1	**端口 2 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b
0	**端口 1 中断屏蔽** 0 = 允许中断 1 = 禁止中断	R/W	0b

5.1.2 全球 I/O 控制寄存器 （0x0100 - 0x01FF）

5.1.2.1 串行 I/O 控制寄存器

地址： 0x0100 大小： 8 位

位	说明	类型	默认值
7:3	**保留**	R/W	0100_0b
2	**MIIM 前导码抑制** 该功能仅影响MIIM（MDIO/MDC）接口。使用SPI或I^2C时，该位将不起作用。 0 = 正常工作。开关始终期望收到 MIIM 前导码。 1 = 即使没有前导码，开关也会响应 MIIM 命令。	R/W	0b
1	**自动 SPI 数据输出边沿选择** 使能后，该功能会自动确定用于在 **SDO** 上逐个输出 SPI 数据的 **SCL** 边沿。如果 **SCL** ≥ 约 25 MHz， **SDO** 数据由 **SCL** 的上升沿提供时钟。如果 **SCL** < 约 25 MHz， **SDO** 数据由 **SCL** 的下降沿提供时钟。 0 = 该自动功能禁用， bit 0 确定用于 SDO 的 SCL 时钟边沿。 1 = 该自动功能使能， bit 0 会被忽略。	R/W	1b
0	**SPI 数据输出边沿选择** 如果 bit 1 为零，那么该位确定用于 SPI 数据输出的时钟沿。如果 bit 1 置 1，那么该位会被忽略。 0 = **SDO** 数据由 **SCL** 的下降沿提供时钟。 1 = **SDO** 数据由 **SCL** 的上升沿提供时钟。	R/W	0b

5.1.2.2 输出时钟控制寄存器

地址： 0x0103 大小： 8 位

位	说明	类型	默认值
7	**恢复时钟就绪 （REC_CLK_RDY）** 0 = 选定的恢复时钟未就绪 1 = 选定的恢复时钟已就绪	RO	-
6:5	**保留**	RO	00b
4:2	**SYNCLKO 源** 000 = 来自 **XI** 引脚处的晶振 / 时钟输入 001 = 来自端口 1 恢复时钟 010 = 来自端口 2 恢复时钟 011 = 来自端口 3 恢复时钟 100 = 来自端口 4 恢复时钟 101 = 来自端口 5 恢复时钟 110 – 111 = 保留	R/W	000b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
1	**SYNCLKO 输出引脚使能** 0 = 已禁止 1 = 已使能	R/W	1b
0	**SYNCLKO 频率** 0 = 25 MHz 1 = 125 MHz	R/W	0b

5.1.2.3 带内管理 （In-Band Management， IBA）控制寄存器

地址： 0x0104 - 0x0107 大小： 32 位

该寄存器控制带内访问 （In-Band Access， IBA）功能。

位	说明	类型	默认值
31	**IBA 使能** 初始值通过 **RX_DV7/CRS_DV7/RX_CTL7** 引脚进行配置。 0 = 已禁止 1 = 已使能	R/W	注 5-1
30	**IBA 目的地 MAC 地址匹配使能** 该位置 1 可以使能目的地 MAC 地址检查功能，以便根据开关 MAC 地址 0 寄存器到开关 MAC 地址 5 寄存器中的开关 MAC 地址核对所收到 IBA 帧中的目的地 MAC 地址。不匹配的帧将被丢弃。 如果未使能，则不会检查 MAC 地址。	R/W	0b
29	**IBA 复位** 该位置 1 可以初始化 IBA 状态机。该位会自动清零。	R/W SC	0b
28:24	**保留**	RO	0x00
23:22	**IBA 响应的优先级队列** 指定 IBA 响应帧的发送优先级队列。该值通常保持不变。	R/W	01b
21:19	**保留**	RO	00_0b
18:16	**用于 IBA 通信的端口** 000 = 端口 1 001 = 端口 2 010 = 端口 3 011 = 端口 4 100 = 端口 5 101 = 端口 6 110 = 端口 7 111 = 保留	R/W	110
15:0	**IBA 帧头的 TPID （EtherType）值**	R/W	0x40FE

注 5-1 该字段的默认值取决于关联的配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

5.1.2.4 I/O 驱动强度寄存器

地址： 0x010D 大小： 8 位

位	说明	类型	默认值
7	**保留**	R/W	0b
6:4	**高速驱动强度 （24 mA）** 控制RGMII/MII/RMII（**TX_CLK/REFCLKI**、**COL**以及**CRS**除外）和**SYNCLKO**的驱动强度。	R/W	110b
3	**保留**	R/W	0b
2:0	**低速驱动强度 （8 mA）** 控制 **TX_CLK/REFCLKI**、**COL**、**CRS**、LED、**PME_N**、**INTRP_N**、**SDO** 以及 **SDI/SDA/MDIO** 的驱动强度。	R/W	10b

5.1.2.5 带内管理 （IBA）操作状态 1 寄存器

地址： 0x0110 - 0x0113 大小： 32 位

位	说明	类型	默认值
31	**良好 IBA 数据包检测** 1 = 接收到良好的 IBA 数据包。	RO	0b
30	**IBA 响应数据包发送完成** 1 = IBA 响应数据包已发出。 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b
29	**IBA 执行完成** 1 = 单个 IBA 数据包中的所有命令已全部执行完毕。 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b
28:15	**保留**	RO	0x0000
14	**IBA MAC 地址不匹配错误** 仅当 IBA_ENABLE（带内管理 （In-Band Management， IBA）控制寄存器，bit 30）置 1 时，该位有效。 1 = 接收到 MAC 地址不匹配的 IBA 数据包，地址不等于开关的 MAC 地址。 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b
13	**IBA 访问格式错误** 1 = 接收到访问格式错误 （不等于 0x9800）的 IBA 数据包。 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b
12	**IBA 访问代码错误** 1 = 接收到访问代码无法辨识的 IBA 数据包。（有效的访问代码为 0x0001 和 0x0002。） 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
11	**IBA 访问命令错误** 1 = 接收到命令代码无法辨识的 IBA 数据包。 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b
10	**IBA 超大数据包错误** 1 = 接收到超大 IBA 数据包。最大的 IBA 数据包大小为 320 字节，包括 FCS 前的 8 字节零和 4 字节 FCS。此时不会发送响应数据包。 接收到带有匹配 IBA 标记字段的数据包时，该位会清零。	RO	0b
9:7	**保留**	RO	000b
6:0	**IBA 访问代码错误位置** 当 “IBA 访问命令错误”（bit 11）置 1 时，这些位指示 IBA 数据包内错误命令代码的地址位置。	RO	0x000

5.1.2.6 LED 改写寄存器

地址： 0x0120 - 0x0123 大小： 32 位

位	说明	类型	默认值
31:10	**保留**	RO	0x00000
9:0	**改写 LED** 这些位用于选择是否每个 **LEDx_0** 和 **LEDx_1** 引脚都将用作 LED 或通用输出（General Purpose Output，GPO）。该字段的LSB位表示**LED1_0**、**LED1_1**、**LED2_0**，以此类推。若配置为GPO，则通过LED输出寄存器控制GPO输出。 0 = **LEDx_y** 引脚用作 LED 1 = **LEDx_y** 引脚用作 GPO		0000000000b

5.1.2.7 LED 输出寄存器

地址： 0x0124 - 0x0127 大小： 32 位

位	说明	类型	默认值
31:10	**保留**	RO	0x00000
9:0	**GPO 输出控制** 如果通过 LED 改写寄存器配置为 GPO，则 GPO 输出由该字段控制。该字段的 LSB 位表示 **LED1_0**、 **LED1_1**、 **LED2_0**，以此类推。 0 = **LEDx_y** 引脚输出低电平 1 = **LEDx_y** 引脚输出高电平	R/W	0000000000b

5.1.2.8 LED2_0/LED2_1 源寄存器

地址： 0x0128 - 0x012B 大小： 32 位

位	说明	类型	默认值
31:4	**保留**	RO	0x0000000
3	**LED2_1 源** 0 = **LED2_1** 输出作为 LED/GPO （通过 LED 改写寄存器进行配置） 1 = **LED2_1** 输出 “PTP 触发输出 1”	R/W	0b
2	**LED2_0 源** 0 = **LED2_0** 输出作为 LED/GPO （通过 LED 改写寄存器进行配置） 1 = **LED2_0** 输出 “PTP 触发输出 0”	R/W	0b
1:0	**保留**	RO	00b

5.1.3 全局 PHY 控制和状态寄存器 （0x0200 - 0x02FF）

5.1.3.1 掉电控制 0 寄存器

地址： 0x0201 大小： 8 位

位	说明	类型	默认值
7:6	**保留**	RO	00b
5	**PLL 掉电** 0 = 正常工作。 1 = 禁止 PLL。这可以与 EDPD 模式结合使用 —— 见下文。	R/W	0b
4:3	**电源管理模式** 00 = 正常工作 01 = 能量检测掉电 （Energy Detect Power Down， EDPD）模式 10 = 软掉电模式 11 = 无效	R/W	00b
2:0	**保留**	RO	000b

5.1.3.2 LED 配置引脚寄存器

地址： 0x0210 - 0x0213 大小： 32 位

位	说明	类型	默认值
31:10	**保留**	RO	0x000000
9:0	**LED 引脚的配置引脚值** **[LED4_1, LED4_0, LED3_1, LED3_0, LED2_1, LED2_0, LED1_1, LED1_0]**	RO	注 5-2

© 2018 Microchip Technology Inc.

注 5-2 该字段的默认值取决于关联的配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

5.1.4 全局开关控制寄存器 （0x0300 - 0x03FF）

5.1.4.1 开关操作寄存器

地址： 0x0300 大小： 8 位

位	说明	类型	默认值
7	**双重标记使能** 1 = 使能双重标记 0 = 禁止双重标记	R/W	0b
6:2	**保留**	RO	0x00
1	**硬件软复位** 置 1 时，除配置引脚选项之外的所有寄存器设置都会复位到默认值。	R/W SC	0b
0	**启动开关** 1 = 使能开关功能 0 = 禁止开关功能；在该位置 1 之前，不会有流量通过	R/W	注 5-3

注 5-3 该字段的默认值取决于 **LED5_1** 配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节“配置引脚”。

5.1.4.2 开关 MAC 地址 0 寄存器

地址： 0x0302 大小： 8 位

位	说明	类型	默认值
7:0	**MAC 地址 [47:40]** 该寄存器与开关 MAC 地址 1 至 5 寄存器一起定义用作 MAC 暂停控制帧中源地址以及用于自动过滤地址的开关 MAC 地址。	R/W	0x00

5.1.4.3 开关 MAC 地址 1 寄存器

地址： 0x0303 大小： 8 位

位	说明	类型	默认值
7:0	**MAC 地址 [39:32]**	R/W	0x10

5.1.4.4 开关 MAC 地址 2 寄存器

地址： 0x0304 大小： 8 位

位	说明	类型	默认值
7:0	**MAC 地址 [31:24]**	R/W	0xA1

5.1.4.5 开关 MAC 地址 3 寄存器

地址： 0x0305 大小： 8 位

位	说明	类型	默认值
7:0	**MAC 地址 [23:16]**	R/W	0xFF

5.1.4.6 开关 MAC 地址 4 寄存器

地址： 0x0306 大小： 8 位

位	说明	类型	默认值
7:0	**MAC 地址 [15:8]**	R/W	0xFF

5.1.4.7 开关 MAC 地址 5 寄存器

地址： 0x0307 大小： 8 位

位	说明	类型	默认值
7:0	**MAC 地址 [7:0]**	R/W	0xFF

© 2018 Microchip Technology Inc.

5.1.4.8 开关最大传输单位寄存器

地址： 0x0308 - 0x0309 大小： 16 位

位	说明	类型	默认值
15:14	**保留**	R/W	00b
13:0	**最大帧长度 （MTU）** 指定最大传输单位 （maximum transmission unit， MTU），即最大帧有效载荷大小。超过此最大值的帧会被截断。如果需要支持巨型帧，可以将该值设置到高达 9000（= 0x2328）。另请参见开关 MAC 控制 1 寄存器和端口 MAC 控制 0 寄存器。	R/W	0x07D0

5.1.4.9 开关 ISP TPID 寄存器

地址： 0x030A - 0x030B 大小： 16 位

位	说明	类型	默认值
15:0	**ISP 标记 TPID** 未标记传入帧的默认标记 TPID （EtherType），或双重标记功能的 ISP 帧标记 TPID。	R/W	0x9100

5.1.4.10 AVB 基于可信因子的整形策略寄存器

地址： 0x030E - 0x030F 大小： 16 位

位	说明	类型	默认值
15:2	**保留**	RO	0x0000
1	**整形可信因子记帐** 1 = 整形可信因子扣除发生在收到数据以及 IPG + 前导码时 0 = 整形可信因子扣除仅发生在收到数据时	R/W	1b
0	**管制可信因子记帐** 1 = 管制可信因子扣除发生在收到数据以及 IPG + 前导码时 0 = 管制可信因子扣除仅发生在收到数据时	R/W	1b

5.1.4.11 开关查找引擎控制 0 寄存器

地址： 0x0310 大小： 8 位

位	说明	类型	默认值
7	**802.1Q VLAN 使能** 这是 VLAN 转发和过滤的主机使能位。请注意，在使能 VLAN 模式之前，必须设置 VLAN Table。 1 = 使能 VLAN 模式 0 = 禁止 VLAN 模式	R/W	0b
6	**丢弃无效 VID** 1 = 丢弃所有接收到的 VLAN ID 无效的数据包。 0 = 将接收到的 VLAN ID 无效的数据包转发到主机端口。 请注意，如果使能了未知 VID 转发功能 （未知 VLAN ID 控制寄存器），该功能优先级高于此位。	R/W	1b
5:3	**年龄计数** 该位与 “年龄期” 值 （开关查找引擎控制 3 寄存器）相结合，用于确定地址查找表中动态条目的老化时间。每次更新动态表格条目时，该值用于 “年龄计数” 字段。	R/W	10_0b
2	**保留多播查找使能** 1 = 使能保留多播表 0 = 禁止保留多播表	R/W	0b
1:0	**HASH_OPTION** 定义将条目映射到动态查找表的散列选项。 00、 11 = 使用目标地址的 10 个最低有效位直接映射条目。 01 = 使用 CRC 散列功能。 10 = 使用 XOR 散列功能。 有关更多信息，请参见第26页上的第4.4.2.1节“地址查找（Address Lookup，ALU）表”。	R/W	01b

© 2018 Microchip Technology Inc.

5.1.4.12 开关查找引擎控制 1 寄存器

地址： 0x0311 大小： 8 位

位	说明	类型	默认值
7	**单播学习禁止** 1 = 禁止单播地址学习 0 = 使能单播地址学习	R/W	0b
6	**自动过滤地址－全局使能** 将接收到的数据包的源地址与寄存器开关 MAC 地址 0 寄存器到开关 MAC 地址 5 寄存器中的 MAC 地址进行比较，如果匹配，则丢弃该数据包。 通过将端口控制 2 寄存器中的端口使能位和该位置 1，可以逐个地为端口使能自动地址过滤。 1 = 为端口使能位（端口控制 2 寄存器）置 1 的端口全局使能自动地址过滤。 0 = 不在任何端口上过滤自动寻址的数据包。	R/W	0b
5	**刷新地址查找表** 开关查找引擎控制 2 寄存器中的 “刷新选项”位用于确定是否单独对动态条目或静态条目进行刷新或同时对这两者进行刷新。 1 = 触发对整个地址查找表的刷新。不刷新静态地址表。 0 = 正常工作	R/W SC	0b
4	**刷新 MSTP 地址条目 （地址查找表）** 开关查找引擎控制 2 寄存器中的 “刷新选项”位用于确定是否单独对动态条目或静态条目进行刷新或同时对这两者进行刷新。 1 = 触发对匹配的 MSTP 条目进行刷新 0 = 正常工作	R/W SC	0b
3	**多播源地址过滤** 1 = 转发含多播源地址的数据包 0 = 丢弃含多播源地址的数据包	R/W	1b
2	**老化使能** 1 = 使能地址表老化 0 = 禁止地址表老化	R/W	1b
1	**快速老化** 1 = 使能快速老化 0 = 禁止快速老化	R/W	0b
0	**链路断开刷新** 1 = 链路断开将激发对任何链路断开端口的条目进行刷新 0 = 禁止链路断开刷新	R/W	0b

5.1.4.13 开关查找引擎控制 2 寄存器

地址： 0x0312 大小： 8 位

位	说明	类型	默认值
7	**保留**	R/W	0b
6	**双重标记多播陷阱** 1 = 使能双重标记模式后，将所有保留的多播数据包仅转发到主机端口。 0 = 正常转发	R/W	0b
5	**动态条目出口 VLAN 过滤** 出口 VLAN 过滤功能使用 VLAN 表中的转发端口映射来限制根据地址查找确定的转发端口。这是使能 VLAN 时的建议工作模式。默认值为 0，仅适用于向后兼容之前开关的情况。 1 = 使能。为了成功查找地址表中的动态条目，会根据地址表端口映射和 VLAN 表端口映射的 AND 功能来确定转发端口。 0 = 禁止。为了成功查找地址表中的动态条目，仅会根据地址表来确定转发端口。	R/W	0b
4	**静态条目出口 VLAN 过滤** 出口 VLAN 过滤功能使用 VLAN 表中的转发端口映射来限制根据地址查找确定的转发端口。这是使能 VLAN 时的建议工作模式。默认值为 0，仅适用于向后兼容之前开关的情况。 1 = 使能。为了成功查找地址表中的静态条目，会根据地址表端口映射和 VLAN 表端口映射的 AND 功能来确定转发端口。 0 = 禁止。为了成功查找地址表中的静态条目，仅会根据地址表来确定转发端口。	R/W	0b
3:2	**刷新选项** 确定可以由开关查找引擎控制1寄存器中任一刷新操作刷新的地址查找表条目。 00 = 不刷新或刷新已完成 01 = 仅刷新动态表条目 10 = 仅刷新静态表条目 11 = 同时刷新静态表条目和动态表条目	R/W	00b
1:0	**MAC 地址优先级** 00 = 数据包的 MAC 地址 （MAC Address， MACA）优先级取决于目标地址 （destination address， DA）查找 01 = 数据包的 MACA 优先级取决于源地址 （source address， SA）查找 10 = 数据包的 MACA 优先级取决于 DA 查找和 SA 查找这两者中的较高者 11 = 数据包的 MACA 优先级取决于 DA 查找和 SA 查找这两者中的较低者	R/W	00b

© 2018 Microchip Technology Inc.

5.1.4.14 开关查找引擎控制 3 寄存器

地址： 0x0313 大小： 8 位

位	说明	类型	默认值
7:0	**年龄期** 该值乘以地址查找表条目中的 “年龄计数”值，可确定该表中动态条目的老化时间。单位为秒。	R/W	0x4B

5.1.4.15 地址查找表中断寄存器

地址： 0x0314 大小： 8 位

该寄存器提供地址查找表的中断状态详细信息。这些中断在地址查找表屏蔽寄存器中使能。全局中断状态寄存器中的 LUE 中断状态位与该寄存器中的状态位是 “或”关系。

位	说明	类型	默认值
7:3	**保留**	RO	0x00
2	**学习失败中断状态** 未能学习某个地址查找表条目，因为存储桶中的所有条目都是静态条目。	R/WC	0b
1	**几乎已满中断状态** 中断表示在写入新的静态条目后，地址查找表存储桶几乎已满（2 到 3 个有效条目）。	R/WC	0b
0	**写入失败中断状态** 中断表示地址查找表存储桶已满并且写入失败。	R/WC	0b

5.1.4.16 地址查找表屏蔽寄存器

地址： 0x0315 大小： 8 位

该寄存器屏蔽地址查找表中断寄存器中的地址查找表中断。

位	说明	类型	默认值
7:3	**保留**	RO	0x00
2	**学习失败中断屏蔽** 1 = 禁止中断 0 = 允许中断	R/W	1b
1	**几乎已满中断屏蔽** 1 = 禁止中断 0 = 允许中断	R/W	1b
0	**写入失败中断屏蔽** 1 = 禁止中断 0 = 允许中断	R/W	1b

5.1.4.17 地址查找表条目索引 0 寄存器

地址： 0x0316 - 0x0317 大小： 16 位

位	说明	类型	默认值
15:12	**保留**	RO	0x0
11:0 / 9:0	**几乎已满条目索引 [11:0]** 如果静态条目已成功写入地址查找表，但表格存储桶几乎已满（写入前包含 2 到 3 个静态条目），则会在此处报告条目地址。 **失败写入索引 [9:0]** 地址查找表中发生静态条目写入失败后，会在此处报告存储桶地址。	RO	0x000

5.1.4.18 地址查找表条目索引 1 寄存器

地址： 0x0318 - 0x0319 大小： 16 位

位	说明	类型	默认值
15:10	**保留**	RO	0000_00
9:0	**失败学习索引** 如果由于存储桶包含 4 个静态条目而导致地址查找表中无法学习目标地址，则会在此处报告存储桶地址。	RO	0x000

© 2018 Microchip Technology Inc.

5.1.4.19 地址查找表条目索引 2 寄存器

地址： 0x031A - 0x031B 大小： 16 位

位	说明	类型	默认值
15:10	**保留**	RO	0000_00
9:0	**CPU 访问索引** 每当对地址查找表进行外部读取或写入时，都会在此处报告访问的存储桶地址。	RO	0x000

5.1.4.20 未知单播控制寄存器

地址： 0x0320 - 0x0323 大小： 32 位

以下三个寄存器控制下述特性数据包的转发：1）具有未知单播目标地址； 2）具有未知多播目标地址；以及 3）具有未知 VLAN ID。

如果接收到的数据包具有多个上述特征，则优先顺序为：

1. 未知 VID
2. 未知单播
3. 未知多播

位	说明	类型	默认值
31	**未知单播数据包转发** 1 = 允许将未知单播数据包转发到以下指定的端口 0 = 禁止转发未知单播数据包	R/W	0b
30:7	**保留**	RO	0x000000
6:0	**未知单播转发端口** Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 将未知单播数据包转发到该端口 0 = 不转发到该端口 全 1 = 已转发到所有端口 全 0 = 不转发到任何端口	R/W	000_0000b

5.1.4.21 未知多播控制寄存器

地址： 0x0324 - 0x0327 大小： 32 位

位	说明	类型	默认值
31	**未知多播数据包转发** 1 = 允许将未知多播数据包转发到以下指定的端口 0 = 禁止转发未知多播数据包	R/W	0b
30:7	**保留**	RO	0x000000
6:0	**未知多播转发端口** Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 将未知多播数据包转发到该端口 0 = 不转发到该端口 全 1 = 已转发到所有端口 全 0 = 不转发到任何端口	R/W	000_0000b

5.1.4.22 未知 VLAN ID 控制寄存器

地址： 0x0328 - 0x032B 大小： 32 位

位	说明	类型	默认值
31	**未知 VID 数据包转发** 1 = 允许将未知 VLAN ID （VID）数据包转发到以下指定的端口 0 = 禁止转发未知 VID 数据包	R/W	0b
30:7	**保留**	RO	0x000000
6:0	**未知 VID 转发端口** Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 将未知 VID 数据包转发到该端口 0 = 不转发到该端口 全 1 = 已转发到所有端口 全 0 = 不转发到任何端口	R/W	000_0000b

© 2018 Microchip Technology Inc.

5.1.4.23 开关 MAC 控制 0 寄存器

地址： 0x0330 大小： 8 位

位	说明	类型	默认值
7	**交替回退模式** 回退模式仅适用于半双工。如果开关 MAC 控制 1 寄存器中的“无过多冲突丢弃”位已使能，则该位应当置 1。 1 = 使能交替回退模式 0 = 禁止	R/W	0b
6:4	**保留**	R/W	000b
3	**帧长度字段检查** 这个仅在 EtherType/Length 字段 <1500 时适用。 1 = 如果实际数据包长度与帧长度字段不匹配，则丢弃相应数据包。 0 = 不检查数据包长度。	R/W	0b
2	**保留**	R/W	1b
1	**流量控制数据包丢弃模式** 该位控制可以转发或丢弃的流量控制数据包。要允许转发所有流量控制数据包，请参见开关 MAC 控制 4 寄存器的 bit 0。流量控制使能在 PHY 自动协商通告寄存器 （适用于 PHY 端口）和 XMII 端口控制 0 寄存器 （适用于 MAC 端口）中进行管理。 1 = 开关将丢弃 EtherType = 0x8808 或目标地址（DA）= 01-80-C2-00-00-01 的接收数据包。 0 = 开关将丢弃 EtherType = 0x8808 且 DA = 01-80-C2-00-00-01 的接收数据包。	R/W	0b
0	**主动回退使能** 适用于半双工背压。这不是 IEEE 标准。 1 = 在半双工模式下使能主动回退算法以增强性能。 0 = 禁止	R/W	0b

5.1.4.24 开关 MAC 控制 1 寄存器

地址： 0x0331 大小： 8 位

位	说明	类型	默认值
7	**保留**	R/W	1b
6	**多播风暴保护禁止** 1 = 多播风暴保护中不包括多播数据包 0 = 多播风暴保护中包括多播数据包	R/W	1b
5	**背压模式** 1 = 使用基于载波检测的背压模式 0 = 使用基于冲突的背压模式。（这是推荐模式。）	R/W	1b
4	**流量控制和背压公平模式** 1 = 使能公平模式。如果流量控制入口端口和非流量控制入口端口将流量转发到同一出口端口，则来自非流量控制端口的数据包可能会被丢弃。 0 = 禁止公平模式。在这种情况下，流量控制端口将受到流量控制，非流量控制端口既不受到流量控制，也不会丢包。	R/W	1b
3	**无过度冲突丢弃** 如果该位置 1，“交替回退模式”（开关 MAC 控制 0 寄存器中的 bit 7）也应当置 1。 1 = 发生 16 次或以上冲突后，开关不会丢弃数据包。 0 = 发生 16 次或以上冲突后，开关将丢弃数据包	R/W	0b
2	**巨型数据包支持** 可编程数据包有效载荷大小限制在寄存器 0x0308-0x0309 中指定，最大为 9000 字节。该位将改写该寄存器的 bit 1。 1 = 使能对巨型数据包的支持 0 = 禁止	R/W	0b
1	**最大合法数据包大小检查禁止** 1 = 接受最大 2000 字节的数据包。 0 = 只接受标准大小的数据包，加标记数据包最大为 1522 字节，未加标记数据包最大为 1518 字节更大的数据包将被丢弃。	R/W	0b
0	**允许短小数据包** 1 = 接受大小在 32 和 64 字节之间的数据包。 0 = 只接受标准大小的数据包，至少为 64 字节。更小的数据包将被丢弃。	R/W	0b

© 2018 Microchip Technology Inc.

5.1.4.25 开关 MAC 控制 2 寄存器

地址： 0x0332 大小： 8 位

位	说明	类型	默认值
7:4	**保留**	R/W	0x0
3	**空 VID 替换** 描述接收到 VID 为空 （零）的数据包时的行为。 1 = 用端口默认标记 0 寄存器和端口默认标记 1 寄存器中定义的端口默认 VID 替换空 VID 0 = 不替换空 VID	R/W	0b
2:0	**广播风暴保护率位 [10:8]** 其余的字段位在开关 MAC 控制 3 寄存器中。 将该值乘以 64 即可确定在预设时间段内输入端口允许通过的数据包数据字节数。对于 1000 Mbps 端口、 100 Mbps 端口和 10 Mbps 端口，周期分别为 5 ms、 50 ms 和 500 ms。默认值是 1%。	R/W	000b

5.1.4.26 开关 MAC 控制 3 寄存器

地址： 0x0333 大小： 8 位

位	说明	类型	默认值
7:0	**广播风暴保护率 bit [7:0]** 其余的字段位在开关 MAC 控制 2 寄存器中。 将该值乘以 64 即可确定在预设时间段内输入端口允许通过的数据包数据字节数。对于 1000 Mbps 端口、 100 Mbps 端口和 10 Mbps 端口，周期分别为 5 ms、 50 ms 和 500 ms。默认值是 1%。	R/W	0x4A

5.1.4.27 开关 MAC 控制 4 寄存器

地址： 0x0334 大小： 8 位

位	说明	类型	默认值
7:1	**保留**	RO	0000_000b
0	**允许流量控制数据包** 1 = 开关将会转发 802.3x PAUSE 流量控制帧。 0 = 开关将会过滤掉 PAUSE 帧。	R/W	0b

5.1.4.28 开关 MAC 控制 5 寄存器

地址： 0x0335 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6	**保留**	R/W	0b
5:4	**入口速率限制期** 00 = 16 ms 01 = 64 ms 1x = 256 ms	R/W	01b
3	**基于队列的出口速率限制使能** 1 = 基于队列的出口速率限制 0 = 基于端口的出口速率限制	R/W	0b
2:0	**保留**	RO	000b

5.1.4.29 开关 MIB 控制寄存器

地址： 0x0336 大小： 8 位

每个端口都提供 MIB 计数器。这些计数器通过端口 N：端口开关 MAC 计数器寄存器（0xN500 - 0xN5FF）进行读取和控制。

位	说明	类型	默认值
7	**刷新 MIB 计数器** 1 = 刷新已使能端口的所有 MIB 计数器。请参见端口 MIB 控制和状态寄存器。 0 = 计数器正常工作	R/W SC	0b
6	**冻结 MIB 计数器** 1 = 冻结已使能端口的 MIB 计数器。请参见端口 MIB 控制和状态寄存器。 0 = 计数器正常工作	R/W	0b
5:0	**保留**	RO	00_0000b

5.1.4.30 802.1p 优先级映射 0 寄存器

地址： 0x0338 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**标记 PCP 字段为 0x1 时，则将此值用作优先级**	R/W	001b
3	**保留**	RO	0b
2:0	**标记 PCP 字段为 0x0 时，则将此值用作优先级**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.31 802.1p 优先级映射 1 寄存器

地址： 0x0339 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	标记 **PCP** 字段为 **0x3** 时，则将此值用作优先级	R/W	011b
3	保留	RO	0b
2:0	标记 **PCP** 字段为 **0x2** 时，则将此值用作优先级	R/W	010b

5.1.4.32 802.1p 优先级映射 2 寄存器

地址： 0x033A 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	标记 **PCP** 字段为 **0x5** 时，则将此值用作优先级	R/W	101b
3	保留	RO	0b
2:0	标记 **PCP** 字段为 **0x4** 时，则将此值用作优先级	R/W	100b

5.1.4.33 802.1p 优先级映射 3 寄存器

地址： 0x033B 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	标记 **PCP** 字段为 **0x7** 时，则将此值用作优先级	R/W	111b
3	保留	RO	0b
2:0	标记 **PCP** 字段为 **0x6** 时，则将此值用作优先级	R/W	110b

5.1.4.34 IP DiffServ 优先级使能寄存器

地址： 0x033E 大小： 8 位

位	说明	类型	默认值
7:2	**保留**	RO	0000_00b
1	**保留**	R/W	0b
0	**DiffServ 优先级重映射使能** 1 = 使用以下寄存器将 DSCP （DiffServ）优先级重新映射为 3 位优先级值 0 = 将 DSCP bit [5:3] 用作优先级	R/W	0b

5.1.4.35 IP DiffServ 优先级映射 0 寄存器

地址： 0x0340 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x01 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x00 时，则将此值用作优先级**	R/W	000b

5.1.4.36 IP DiffServ 优先级映射 1 寄存器

地址： 0x0341 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x03 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x02 时，则将此值用作优先级**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.37 IP DiffServ 优先级映射 2 寄存器

地址： 0x0342 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x05 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x04 时，则将此值用作优先级**	R/W	000b

5.1.4.38 IP DiffServ 优先级映射 3 寄存器

地址： 0x0343 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x07 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x06 时，则将此值用作优先级**	R/W	000b

5.1.4.39 IP DiffServ 优先级映射 4 寄存器

地址： 0x0344 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x09 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x08 时，则将此值用作优先级**	R/W	000b

5.1.4.40 IP DiffServ 优先级映射 5 寄存器

地址： 0x0345 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x0B 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x0A 时，则将此值用作优先级**	R/W	000b

5.1.4.41 IP DiffServ 优先级映射 6 寄存器

地址： 0x0346 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x0D 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x0C 时，则将此值用作优先级**	R/W	000b

5.1.4.42 IP DiffServ 优先级映射 7 寄存器

地址： 0x0347 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x0F 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x0E 时，则将此值用作优先级**	R/W	000b

5.1.4.43 IP DiffServ 优先级映射 8 寄存器

地址： 0x0348 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x11 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x10 时，则将此值用作优先级**	R/W	000b

5.1.4.44 IP DiffServ 优先级映射 9 寄存器

地址： 0x0349 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x13 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x12 时，则将此值用作优先级**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.45 IP DiffServ 优先级映射 10 寄存器

地址： 0x034A 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x15 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x14 时，则将此值用作优先级**	R/W	000b

5.1.4.46 IP DiffServ 优先级映射 11 寄存器

地址： 0x034B 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x17 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x16 时，则将此值用作优先级**	R/W	000b

5.1.4.47 IP DiffServ 优先级映射 12 寄存器

地址： 0x034C 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x19 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x18 时，则将此值用作优先级**	R/W	000b

5.1.4.48 IP DiffServ 优先级映射 13 寄存器

地址： 0x034D 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x1B 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x1A 时，则将此值用作优先级**	R/W	000b

5.1.4.49 IP DiffServ 优先级映射 14 寄存器

地址： 0x034E 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x1D 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x1C 时，则将此值用作优先级**	R/W	000b

5.1.4.50 IP DiffServ 优先级映射 15 寄存器

地址： 0x034F 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x1F 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x1E 时，则将此值用作优先级**	R/W	000b

5.1.4.51 IP DiffServ 优先级映射 16 寄存器

地址： 0x0350 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x21 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x20 时，则将此值用作优先级**	R/W	000b

5.1.4.52 IP DiffServ 优先级映射 17 寄存器

地址： 0x0351 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x23 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x22 时，则将此值用作优先级**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.53 IP DiffServ 优先级映射 18 寄存器

地址： 0x0352 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x25 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x24 时，则将此值用作优先级**	R/W	000b

5.1.4.54 IP DiffServ 优先级映射 19 寄存器

地址： 0x0353 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x27 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x26 时，则将此值用作优先级**	R/W	000b

5.1.4.55 IP DiffServ 优先级映射 20 寄存器

地址： 0x0354 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x29 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x28 时，则将此值用作优先级**	R/W	000b

5.1.4.56 IP DiffServ 优先级映射 21 寄存器

地址： 0x0355 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x2B 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x2A 时，则将此值用作优先级**	R/W	000b

5.1.4.57 IP DiffServ 优先级映射 22 寄存器

地址： 0x0350 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x2D 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x2C 时，则将此值用作优先级**	R/W	000b

5.1.4.58 IP DiffServ 优先级映射 23 寄存器

地址： 0x0357 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x2F 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x2E 时，则将此值用作优先级**	R/W	000b

5.1.4.59 IP DiffServ 优先级映射 24 寄存器

地址： 0x0358 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x31 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x30 时，则将此值用作优先级**	R/W	000b

5.1.4.60 IP DiffServ 优先级映射 25 寄存器

地址： 0x0359 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x33 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x32 时，则将此值用作优先级**	R/W	000b

© 2018 Microchip Technology Inc.

5.1.4.61 IP DiffServ 优先级映射 26 寄存器

地址： 0x035A 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x35 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x34 时，则将此值用作优先级**	R/W	000b

5.1.4.62 IP DiffServ 优先级映射 27 寄存器

地址： 0x035B 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x37 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x36 时，则将此值用作优先级**	R/W	000b

5.1.4.63 IP DiffServ 优先级映射 28 寄存器

地址： 0x035C 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x39 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x38 时，则将此值用作优先级**	R/W	000b

5.1.4.64 IP DiffServ 优先级映射 29 寄存器

地址： 0x035D 大小： 8 位

位	说明	类型	默认值
7	保留	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x3B 时，则将此值用作优先级**	R/W	000b
3	保留	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x3A 时，则将此值用作优先级**	R/W	000b

5.1.4.65 IP DiffServ 优先级映射 30 寄存器

地址： 0x035E 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x3D 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x3C 时，则将此值用作优先级**	R/W	000b

5.1.4.66 IP DiffServ 优先级映射 31 寄存器

地址： 0x035F 大小： 8 位

位	说明	类型	默认值
7	**保留**	RO	0b
6:4	**IPv4/IPv6 DSCP 字段为 0x3F 时，则将此值用作优先级**	R/W	000b
3	**保留**	RO	0b
2:0	**IPv4/IPv6 DSCP 字段为 0x3E 时，则将此值用作优先级**	R/W	000b

5.1.4.67 全局端口镜像和窥探控制寄存器

地址： 0x0370 大小： 8 位

该寄存器包含用于端口镜像以及 IGMP 和 MLD 窥探的全局控制。镜像功能还要求对各个端口进行其他寄存器设置。请参见端口 N：端口开关入口控制寄存器（0xN800 - 0xN8FF）。

位	说明	类型	默认值
7	**保留**	RO	0b
6	**IGMP 窥探使能（IPv4）** 1 = 使能 IGMP 窥探。所有 IGMP 数据包都将转发到主机端口。 0 = 禁止 IGMP 窥探。	R/W	0b
5:4	**保留**	RO	00b
3	**MLD 窥探选项** 1 = 窥探标准：IPv6 下一报头 = 43、44、50、51 或 60；或下一报头 = 0 且逐节下一报头 = 43、44、50、51 或 60。 0 = 窥探标准：IPv6 下一报头 = 1 或 58；或下一报头 = 0 且逐节下一报头 = 1 或 58。	R/W	0b
2	**MLD 窥探使能（IPv6）** 1 = 使能 MLD 窥探。所有 MLD 数据包都将转发到主机端口。 0 = 禁止 MLD 窥探。	R/W	0b
1	**保留**	RO	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
0	**嗅探模式选择** 1 = 嗅探过滤器为 “Rx AND Tx”源端口和目标端口都需要匹配。 0 = 嗅探过滤器为 “Rx OR Tx”源端口或目标端口需要匹配。这个模式用于实施仅针对 Rx 的嗅探。	R/W	0b

5.1.4.68 WRED DiffServ 颜色映射寄存器

地址： 0x0378 大小： 8 位

位	说明	类型	默认值
7:6	**保留**	RO	00b
5:4	**红色** 该字段指定红色差分服务代码点 （Differentiated Services Code Point，DSCP）值。	R/W	11b
3:2	**黄色** 该字段指定黄色 DSCP 值。	R/W	10b
1:0	**绿色** 该字段指定绿色 DSCP 值。	R/W	01b

5.1.4.69 PTP 事件消息优先级寄存器

地址： 0x037C 大小： 8 位

位	说明	类型	默认值
7	**PTP 事件消息优先级改写** 0 = 根据数据包 QoS，分配 PTP 事件消息的优先级 1 = PTP 事件消息的优先级会被强制设为分配给该寄存器的 PTP 事件消息优先级字段的优先级。	R/W	0b
6:4	**保留**	RO	000b
3:0	**PTP 事件消息优先级** 当该寄存器的 bit 7 为 1 时，PTP 非事件消息在排入队列时会被分配该优先级。	R/W	1111b

5.1.4.70 PTP 非事件消息优先级寄存器

地址： 0x037D 大小： 8 位

位	说明	类型	默认值
7	**PTP 非事件消息优先级改写** 0 = 根据数据包 QoS，分配 PTP 非事件消息的优先级 1 = PTP 非事件消息的优先级会被强制设为分配给该寄存器的 PTP 非事件消息优先级字段的优先级。	R/W	0b
6:4	**保留**	RO	000b
3:0	**PTP 非事件消息优先级** 当该寄存器的 bit 7 为 1 时，PTP 非事件消息在排入队列时会被分配该优先级。	R/W	1111b

5.1.4.71 队列管理控制 0 寄存器

地址： 0x0390 - 0x0393 大小： 32 位

位	说明	类型	默认值
31:8	**保留**	RO	0x000000
7:6	**Priority_2Q** 选择 2 队列配置时，该位决定将 2 位优先级再生结果从端口优先级至队列映射寄存器映射到 2 个队列的方式。 00 = 优先级 0、 1、 2 映射到低优先级队列。优先级 3 映射到高优先级队列。 01 = 未使用。 10 = 优先级 0、 1 映射到低优先级队列。优先级 2、 3 映射到高优先级队列。 11 = 优先级 0 映射到低优先级队列。优先级 1、 2、 3 映射到高优先级队列。	R/W	10b
5:2	**保留**	R/W	00_00b
1	**单播端口 VLAN 成员丢弃** 该位适用于寄存器 0xNA04-07 中的 “端口 VLAN 成员”功能。 1 = 所有帧都被限制在 端口控制 1 寄存器中定义的转发端口。 0 = 转发到单个目标端口的帧不限于端口控制 1 寄存器中定义的转发端口。请注意，使能镜像后，如果单个目标帧被镜像到另一端口，则该帧将被丢弃。	R/W	1b
0	**保留**	R/W	0b

© 2018 Microchip Technology Inc.

5.1.5 全局开关查找引擎 （LUE）控制寄存器 （0x0400 - 0x04FF）

以下寄存器用于访问 VLAN 表、地址查找表、静态地址表和保留多播地址表。第 183 页上的第 5.3 节 “表格和 MIB 计数器 （访问）”提供了这些表格的组织方式及访问说明。

5.1.5.1 VLAN 表条目 0 寄存器

地址： 0x0400 - 0x403 大小： 32 位

位	说明	类型	默认值
31	**VALID** VLAN 表中的该字段用于指定该表格条目是否有效。 1 = 表格条目有效 0 = 表格条目无效	R/W	0b
30:28	**保留**	RO	000b
27	**转发选项** VLAN 表中的该字段用于指定转发端口的确定方式。 1 = 转发到 VLAN 表端口映射 （“被转发端口”字段）。 0 = 转发端口取决于其他变量。它可能是 ALU 端口映射、VLAN 端口映射、前两者的组合或未知单播 / 多播功能。	R/W	0b
26:24	**优先级** VLAN 表中的该字段用于指定优先等级。	R/W	000b
23:15	**保留**	RO	0000_0000_0b
14:12	**MSTP 索引** VLAN 表中的该字段用于指定 “多生成树协议”索引。	R/W	000b
11:7	**保留**	RO	0000_0b
6:0	**FID** VLAN 表中的该字段用于指定过滤 ID。FID 值通常与目标地址结合使用，然后经过哈希处理来为地址查找表建立索引。	R/W	000_0000b

注： 有关 VLAN 表的更多信息，请参见第 190 页上的第 5.3.4 节 “VLAN 表”。

5.1.5.2 VLAN 表条目 1 寄存器

地址： 0x0404 - 0x407 大小： 32 位

位	说明	类型	默认值
31:7	**保留**	R/O	0x0000000
6:0	**端口取消标记** VLAN 表中的该字段用于指定每个出口端口的取消标记策略。 Bit [6:0] 对应于端口 [7:1]。 1 = 以该端口作为出口时取消数据包标记 0 = 以该端口作为出口时不取消标记	R/W	0x00

注： 有关 VLAN 表的更多信息，请参见第 190 页上的第 5.3.4 节 “VLAN 表”。

5.1.5.3 VLAN 表条目 2 寄存器

地址： 0x0408 - 0x040B 大小： 32 位

位	说明	类型	默认值
31:7	**保留**	R/O	0x0000000
6:0	**被转发端口** 该字段用于指定转发至每个端口的转发策略。如果 FO 位置 1，则应用该策略。 Bit [6:0] 对应于端口 [7:1]。 1 = 转发到该端口 0 = 不转发到该端口	R/W	0x00

注： 有关 VLAN 表的更多信息，请参见第 190 页上的第 5.3.4 节 “VLAN 表”。

5.1.5.4 VLAN 表索引寄存器

地址： 0x040C - 0x040D 大小： 16 位

位	说明	类型	默认值
15:12	**保留**	RO	0x0
11:0	**VLAN 索引** 该值与以下寄存器中的 VLAN 表操作结合使用，可对 VLAN 表进行寻址。	R/W	0x000

注： 有关 VLAN 表的更多信息，请参见第 190 页上的第 5.3.4 节 “VLAN 表”。

© 2018 Microchip Technology Inc.

5.1.5.5 VLAN 表访问控制寄存器

地址： 0x040E 大小： 8 位

位	说明	类型	默认值
7	**启动 VLAN 表操作** 1 = 启动下方定义的操作 0 = 操作已完成	R/W SC	0b
6:2	**保留**	RO	000_00b
1:0	**操作** 指定要针对索引寄存器中寻址的 VLAN 表条目进行的操作 00 = 无操作 01 = 写入 10 = 读取 11 = 所有条目都清零	R/W	00b

注： 有关 VLAN 表的更多信息，请参见第 190 页上的第 5.3.4 节 “VLAN 表”。

5.1.5.6 ALU 表索引 0 寄存器

地址： 0x0410 - 0x0413 大小： 32 位

ALU 表索引 0 寄存器和 ALU 表索引 1 寄存器包含用于按照 ALU 表访问控制寄存器中操作的指定来搜索以及读 / 写地址查找表的索引值。有关 ALU 表的更多信息，请参见第 183 页上的第 5.3.1 节 “地址查找 （ALU）表”。

位	说明	类型	默认值
31	**保留**	R/W	0b
30:23	**保留**	RO	000_0000_0b
22:16	**FID 索引 [6:0]** 这是用于对 ALU 表进行哈希索引处理的 FID 值。	R/W	000_0000b
15:0	**MAC 索引 [47:32]** 这些是用于对 ALU 表进行哈希索引处理的 MAC 地址的高 16 位。	R/W	0x0000

5.1.5.7 ALU 表索引 1 寄存器

地址： 0x0414 - 0x0417 大小： 32 位

ALU 表索引 0 寄存器和 ALU 表索引 1 寄存器包含用于按照 ALU 表访问控制寄存器中操作的指定来搜索以及读 / 写地址查找表的索引值。有关 ALU 表的更多信息，请参见第 183 页上的第 5.3.1 节 “地址查找 （ALU）表”。

位	说明	类型	默认值
31:0	**MAC 索引 [31:0]** 这些是用于对地址查找表进行哈希索引处理的 MAC 地址的低 32 位。如果直接寻址已使能，则 bit [11:0] 用于直接为地址查找表建立索引。	R/W	0x00000000

5.1.5.8 ALU 表访问控制寄存器

地址： 0x0418 - 0x041B 大小： 32 位

该寄存器提供用于搜索以及读 / 写 ALU 表的控制和状态。 ALU 表索引 0 寄存器和 ALU 表索引 1 寄存器包含索引值，而 ALU/ 静态地址表条目 1 寄存器、ALU/ 静态地址 / 保留多播表条目 2 寄存器、ALU/ 静态地址表条目 3 寄存器以及 ALU/ 静态地址表条目 4 寄存器用于存储条目值。有关 ALU 表的更多信息，请参见第 183 页上的第 5.3.1 节“地址查找（ALU）表”。

位	说明	类型	默认值
31:30	**保留**	RO	00b
29:16	**VALID_COUNT** 指示搜索完成后表中有效条目的总数	RO	0x0000
15:8	**保留**	RO	0x00
7	**START_FINISH** 1 = 启动下方定义的操作 0 = 操作已完成	R/W、SC	0b
6	**VALID** 用于搜索操作。读寄存器 0x042F （ALU/ 静态地址表条目 4 寄存器）时，该位清零。 1 = 表示下一有效条目已就绪 0 = 下一有效条目未就绪	RO	0b
5	**VALID_ENTRY_OR_SEARCH_END** 用于搜索操作。它旨在通过带内管理 （IBA）而不是 SPI 或 I^2C 增加访问寄存器时的便捷性。它结合使用 bit 6 和 bit 7。 1 = 表示下一有效条目已就绪或搜索已结束。 0 = 下一有效条目未就绪，搜索也未结束。	RO	0b
4:3	**保留**	R/W	00b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
2	**DIRECT** 1 = 通过对ALU表直接寻址进行访问。这个方法仅用于调试（如果确实需要）。 0 = 哈希函数用于为 ALU 表建立索引。这是常规方法。请参见开关查找引擎控制 0 寄存器。	R/W	0b
1:0	**ACTION** 指定要对 ALU 表条目访问进行的操作。 00 = 无操作 01 = 写入 10 = 读取 11 = 搜索	R/W	00b

5.1.5.9 静态地址和保留多播表控制寄存器

地址： 0x041C - 0x041F 大小： 32 位

该寄存器提供用于对静态地址表和保留多播表进行读写操作的控制和索引。ALU/ 静态地址表条目 1 寄存器、ALU/ 静态地址 / 保留多播表条目 2 寄存器、ALU/ 静态地址表条目 3 寄存器以及 ALU/ 静态地址表条目 4 寄存器用于存储静态地址表条目值，而仅 ALU/ 静态地址 / 保留多播表条目 2 寄存器用于存储保留多播表条目值。有关这些表的更多信息，请参见第 187 页上的第 5.3.2 节 “静态地址表”和第 189 页上的第 5.3.3 节 “保留多播地址表”。

位	说明	类型	默认值
31:22	**保留**	RO	0x000
21:16	**TABLE_INDEX** Bit [21:16] 用于为保留多播表建立索引 Bit [19:16] 用于为静态地址表建立索引	R/W	00_0000b
15:8	**保留**	RO	0x00
7	**START_FINISH** 1 = 开始访问 0 = 访问结束	R/W、 SC	0b
6:2	**保留**	R/W	000_00b
1	**TABLE_SELECT** 指定正在访问的表 1 = 访问保留多播表 0 = 访问静态地址表	R/W	0b
0	**ACTION** 指定要对表进行的操作 1 = 读取 0 = 写入	R/W	0b

5.1.5.10 ALU/ 静态地址表条目 1 寄存器

地址： 0x0420 - 0x0423 大小： 32 位

该寄存器包含用于对地址查找表和静态地址表进行读写操作的表条目值。该寄存器的字段定义因所使用的表类型而异，定义如以下部分所示：

- 第 186 页上的 ALU 表条目 1 寄存器
- 第 188 页上的静态地址表条目 1 寄存器

有关更多信息，请参见第 183 页上的第 5.3.1 节 “地址查找 （ALU）表”和第 187 页上的第 5.3.2 节 “静态地址表”。

5.1.5.11 ALU/ 静态地址 / 保留多播表条目 2 寄存器

地址： 0x0424 - 0x0427 大小： 32 位

该寄存器的字段定义因所使用的表类型而异，定义如以下部分所示：

- 第 186 页上的 ALU 表条目 2 寄存器
- 第 188 页上的静态地址表条目 2 寄存器
- 第 190 页上的保留多播地址表条目 2 寄存器

有关更多信息，请参见第 183 页上的第 5.3.1 节 “地址查找 （ALU）表”、第 187 页上的第 5.3.2 节 “静态地址表”和第 189 页上的第 5.3.3 节 “保留多播地址表”。

5.1.5.12 ALU/ 静态地址表条目 3 寄存器

地址： 0x0428 - 0x042B 大小： 32 位

该寄存器的字段定义因所使用的表类型而异，定义如以下部分所示：

- 第 187 页上的 ALU 表条目 3 寄存器
- 第 189 页上的静态地址表条目 3 寄存器

有关更多信息，请参见第 183 页上的第 5.3.1 节 “地址查找 （ALU）表”和第 187 页上的第 5.3.2 节 “静态地址表”。

5.1.5.13 ALU/ 静态地址表条目 4 寄存器

地址： 0x042C - 0x042F 大小： 32 位

该寄存器包含用于对地址查找表和静态地址表进行读写操作的表条目值。该寄存器的字段定义因所使用的表类型而异，定义如以下部分所示：

- 第 187 页上的 ALU 表条目 4 寄存器
- 第 189 页上的静态地址表条目 4 寄存器

有关更多信息，请参见第 183 页上的第 5.3.1 节 “地址查找 （ALU）表”和第 187 页上的第 5.3.2 节 “静态地址表”。

© 2018 Microchip Technology Inc.

5.1.6 全局开关 PTP 控制寄存器 （0x0500 - 0x05FF）

5.1.6.1 全局 PTP 时钟控制寄存器

地址： 0x0500 - 0x0501 大小： 16 位

位	说明	类型	默认值
15	**禁止开关频率调节** 1 = 开关定时器、整形器和监管逻辑不会根据 PTP 调整来调节频率。 0 = 开关定时器、整形器和监管逻辑将根据 PTP 调整来调节频率。	R/W	0b
14:7	**保留**	RO	000_0000_0b
6	**PTP 时钟步进调节** 该位置 1 将导致全局 PTP RTC 时钟纳秒高位字寄存器和全局 PTP RTC 时钟纳秒高位字寄存器中的时间值被加到 PTP 时钟或从 PTP 时钟中减去（具体取决于 bit 5 的值）。	R/W SC	0b
5	**PTP 步进方向** PTP 步进调节模式的方向控制。 1 = 增加时间值 0 = 减去时间值	R/W	0b
4	**PTP 时钟读取** 该位置 1 将导致当前 PTP 时钟值被复制到寄存器 0x0502 至 0x050B。	R/W SC	0b
3	**PTP 时钟加载** 该位置 1 将导致 PTP 时钟载入寄存器 0x0502 至 0x050B 中的时间值。	R/W SC	0b
2	**PTP 时钟连续调节** 使能连续调节后，全局 PTP 时钟亚纳秒速率高位字寄存器和全局 PTP 时钟亚纳秒速率低位字寄存器中的 SUB-NS_RATE 值会在每个 25 MHz 时钟周期被添加到 PTP 时钟或从 PTP 时钟中减去 （具体取决于全局 PTP 时钟亚纳秒速率高位字寄存器中的 PTP_RATE_DIR 位）。 1 = 使能连续调节 0 = 禁止连续调节	R/W	0b
1	**使能 PTP 时钟** 1 = 使能 PTP 时钟 0 = 禁止 PTP 时钟	R/W	0b
0	**复位 PTP 时钟** 该位置 1 将复位 PTP 时钟。	R/W SC	0b

5.1.6.2 全局 PTP RTC 时钟相位寄存器

地址： 0x0502 - 0x0503 大小： 16 位

位	说明	类型	默认值
15:3	**保留**	RO	0x0000
2:0	**PTP 实时时钟 8 ns 相位** 该寄存器指示其中一个 40 ns 周期 PTP 实时时钟的 8n 子周期相位。 000 = 0 ns （40 ns 周期内在第一个 8 ns 相位的实时时钟） 001 = 8 ns （40 ns 周期内在第二个 8 ns 相位的实时时钟） 010 = 16 ns （40 ns 周期内在第三个 8 ns 相位的实时时钟） 011 = 24 ns （40 ns 周期内在第四个 8 ns 相位的实时时钟） 100 = 32 ns （40 ns 周期内在第五个 8 ns 相位的实时时钟） 101 - 111 = 无效	R/W	000b

5.1.6.3 全局 PTP RTC 时钟纳秒高位字寄存器

地址： 0x0504 - 0x0505 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 实时时钟纳秒 [31:16]** 这是 PTP 实时时钟纳秒值的高位字。	R/W	0x0000

5.1.6.4 全局 PTP RTC 时钟纳秒低位字寄存器

地址： 0x0506 - 0x0507 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 实时时钟纳秒 [15:0]** 这是 PTP 实时时钟纳秒值的低位字。	R/W	0x0000

5.1.6.5 全局 PTP RTC 时钟秒高位字寄存器

地址： 0x0508 - 0x0509 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 实时时钟秒 [31:16]** 这是 PTP 实时时钟秒值的高位字。	R/W	0x0000

© 2018 Microchip Technology Inc.

5.1.6.6 全局 PTP RTC 时钟秒低位字寄存器

地址： 0x050A - 0x050B 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 实时时钟秒 [15:0]** 这是 PTP 实时时钟秒值的低位字。	R/W	0x0000

5.1.6.7 全局 PTP 时钟亚纳秒速率高位字寄存器

地址： 0x050C - 0x050D 大小： 16 位

位	说明	类型	默认值
15	**PTP 速率方向** PTP 时钟临时调节模式和连续调节模式的速率方向控制。 1 = PTP 时钟亚纳秒值（该寄存器和全局 PTP 时钟亚纳秒速率低位字寄存器）会在每个 25 MHz 时钟周期被添加到 PTP 时间。 0 = PTP 时钟亚纳秒值会在每个 25 MHz 时钟周期从 PTP 时间中减去。	R/W	0b
14	**PTP 临时调节模式** 1 = 在全局 PTP 时钟临时调节持续时间高位字寄存器和全局 PTP 时钟临时调节持续时间低位字寄存器中设置的持续时间内使能 PTP 时钟的临时递增或递减，每个 25 MHz 时钟周期递增或递减 PTP 时钟亚纳秒值（该寄存器和全局 PTP 时钟亚纳秒速率低位字寄存器）。 0 = 停止对 PTP 时钟的临时调节	R/W	0b
13:0	**PTP 实时时钟亚纳秒 [29:16]** 这是 PTP 实时时钟亚纳秒值的高位字。	R/W	0x0000

5.1.6.8 全局 PTP 时钟亚纳秒速率低位字寄存器

地址： 0x050E - 0x050F 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 实时时钟亚纳秒 [15:0]** 这是PTP实时时钟亚纳秒值的低位字。它用于连续调节模式和临时调节模式。	R/W	0x0000

5.1.6.9 全局 PTP 时钟临时调节持续时间高位字寄存器

地址： 0x0510 - 0x0511 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 临时调节持续时间 [31:16]** 该位用于设置 PTP 时钟临时速率调节的持续时间，以 25 MHz 时钟周期数为单位。	R/W	0x0000

5.1.6.10 全局 PTP 时钟临时调节持续时间低位字寄存器

地址： 0x0512 - 0x0513 大小： 16 位

位	说明	类型	默认值
15:0	**PTP 临时调节持续时间 [15:0]** 该位用于设置 PTP 时钟临时速率调节的持续时间，以 25 MHz 时钟周期数为单位。	R/W	0x0000

5.1.6.11 全局 PTP 消息配置 1 寄存器

地址： 0x0514 - 0x0515 大小： 16 位

位	说明	类型	默认值
15:8	**保留**	RO	0x00
7	**使能 IEEE 802.3AS 模式** 1 = 使能 0 = 禁止	R/W	0b
6	**使能 IEEE 1588 PTP 模式** 1 = 使能 0 = 禁止	R/W	0b
5	**使能 IEEE 802.3 以太网 PTP 消息检测** 1 = 使能 0 = 禁止	R/W	1b
4	**使能 IPv4/UDP PTP 消息检测** 1 = 使能 0 = 禁止	R/W	1b
3	**使能 IPv6/UDP PTP 消息检测** 1 = 使能 0 = 禁止	R/W	1b
2	**P2P 或 E2E 选择** 1 = 点对点 （Peer-to-peer， P2P）透明时钟模式 1 = 端对端 （End-to-end， E2E）透明时钟模式	R/W	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
1	**主机或从机选择** 1 = 主机端口是 PTP 主机普通时钟 0 = 主机端口是 PTP 从机普通时钟	R/W	0b
0	**一步或两步操作选择** 1 = 一步时钟模式 0 = 两步时钟模式	R/W	1b

5.1.6.12 全局 PTP 消息配置 2 寄存器

地址： 0x0516 - 0x0517 大小： 16 位

位	说明	类型	默认值
15:13	**保留**	RO	000b
12	**使能单播 PTP** 1 = 可以识别单播 PTP 帧。如果数据包 UDP 目标端口号是 319 或者 320，并且帧 MAC/IP 地址不是 PTP 保留地址，那么会将这个帧视为一个单播 PTP 帧，帧的转发将取决于常规查找表。 0 = 将只识别多播 PTP 帧。	R/W	1b
11	**使能备用主时钟** 1 = 支持备用主时钟。由同一域的有效主时钟在非主机端口处接收到的同一域的 Sync/Delay_Req 帧将被转发到非主机端口。 0 = 不支持备用主时钟。同一域的有效主时钟在非主机端口处接收到的同一域的 Sync/Delay_Req 帧将在主机端口上被丢弃，而如果 Sync/Delay_Req 针对的是其他域，则会被转发到非主机端口。	R/W	0b
10	**PTP 消息优先级 TX 队列** 1 = 所有 PTP 消息都会被分配到最高优先级 TX 队列。 0 = 仅 PTP 事件消息会被分配到最高优先级 TX 队列。	R/W	0b
9	**使能关联 Sync PTP 消息和 Follow_up PTP 消息检查** 该位置 1 会将具有相同域、sequenceID 和 sourcePortID 的 Follow_up 消息与 Sync 消息相关联。如果 ID 匹配， PTP 帧将被转发到主机端口。	R/W	0b
8	**使能关联 Delay_Req PTP 消息和 Delay_Resp PTP 消息检查** 该位置 1 会将具有相同域、sequenceID 和 sourcePortID 的 Delay_Resp 消息与 Delay_Req 消息相关联。如果 ID 匹配， PTP 帧将被转发到主机端口。	R/W	0b
7	**使能关联 Pdelay_Req PTP 消息和 Pdelay_Resp PTP 消息检查** 该位置 1 会将具有相同域、 sequenceID 和 sourcePortID 的 Pdelay_Resp/ Pdelay_Resp_Follow_Up 消息与 Pdelay_Req 消息相关联。如果 ID 匹配，PTP 帧将被转发到主机端口。	R/W	0b
6	**保留**	R/W	0b

位	说明	类型	默认值
5	**使能 Sync/Follow_Up 和 Delay_Req PTP 消息丢弃** 该位置 1 时，如果未确定最佳主时钟 （Best Master Clock， BMC），器件会自动丢弃这些 Sync/Follow_up 和 Delay_Req PTP 消息。	R/W	0b
4	**使能域字段检查** 该位置 1 时，器件会使用全局 PTP 域和版本寄存器中的 PTP_DOMAIN 自动检查 PTP 消息的域字段。如果域字段匹配， PTP 消息将被转发到主机端口。否则将被丢弃。	R/W	0b
3	**保留**	R/W	0b
2	**使能出口数据包的 IPv4/UDP 校验和计算** 1 = 帧内容改变时，开关将重新计算并生成一个 2 字节校验和值。 0 = 校验和字段置零。 如果 IPv4/UDP 校验和为零，则无论该位设置如何，校验和都将保持为零。对于 IPv6/UDP，校验和将始终更新。	R/W	1b
1	**保留**	R/W	0b
0	**保留**	R/W	0b

5.1.6.13 全局 PTP 域和版本寄存器

地址： 0x0518 - 0x0519 大小： 16 位

位	说明	类型	默认值
15:12	**保留**	RO	0x0
11:8	**PTP 版本** 这是 PTP 消息版本号字段的值。如果接收消息版本与该字段中的值匹配，则将捕获所有 PTP 消息。 如果接收 PTP 消息版本与该字段中的值不匹配，则将丢弃所有 PTP 数据包。	R/W	0x2
7:0	**PTP 域** 这是 PTP 消息域编号字段的值。如果域检查已使能（全局 PTP 消息配置 2 寄存器，bit 4），则当接收 PTP 消息域编号与该字段中的值相匹配时，则将使能时间戳捕获。如果域检查未使能，则将忽略域编号字段。	R/W	0x00

© 2018 Microchip Technology Inc.

5.1.6.14 全局 PTP 单元索引寄存器

地址： 0x0520 - 0x0523 大小： 32 位

该寄存器用于为时间戳单元和触发单元建立索引，以便访问 0x052C 至 0x05B3 地址范围内的 PTP 寄存器。在该寄存器中选择的时间戳单元和触发单元将是在访问这些寄存器时对其进行读 / 写操作的单元。

位	说明	类型	默认值
31:9	**保留**	RO	0x00000
8	**时间戳单元索引指针 （TS_PTR_INDEX）** 该位指向时间戳的单元 / 设置寄存器。 1 = 时间戳单元 1 0 = 时间戳单元 0	R/W	0b
7:2	**保留**	RO	000000b
1:0	**触发单元索引指针 （TRIGGER_PTR_INDEX）** 该位指向触发的单元 / 设置寄存器。 11 = 保留 10 = 触发单元 2 01 = 触发单元 1 00 = 触发单元 0	R/W	00b

5.1.6.15 GPIO 状态监控 0 寄存器

地址： 0x0524 - 0x0527 大小： 32 位

位	说明	类型	默认值
31:19	**保留**	RO	0x000
18:16	**事件触发输出错误 （TRIGGER_ERROR）** （Bit 18 = 触发单元 2， Bit 17 = 触发单元 1， Bit 16 = 触发单元 0） 1 = 触发输出单元控制 1 寄存器中的 TRIGGER_NOTIFY 位置 “1” 时，事件触发时间会被设为早于系统时间时钟，并将会生成一个主机中断。通过将时间戳控制和状态寄存器中的 TRIGGER_EN 位复位为 “0”，可将该位清零。 0 = 无事件触发错误。	R/W1C	000b
15:3	**保留**	RO	0x000
2:0	**事件触发输出单元完成 （TRIGGER_DONE）** （Bit 2 = 触发单元 2， Bit 1 = 触发单元 1， Bit 0 = 触发单元 0） 1 = 触发输出单元控制 1 寄存器中的 TRIGGER_NOTIFY 位置 “1” 时，生成了事件触发输出单元，并将会生成一个主机中断。 0 = 事件触发输出单元未完成。	R/W1C	000b

5.1.6.16 GPIO 状态监控 1 寄存器

地址： 0x0528 - 0x052B 大小： 32 位

该寄存器提供与 GPIO 配合使用的触发输出单元和时间戳单元的中断状态。全局中断状态寄存器中的 GPIO 引脚输出触发和时间戳单元中断状态位与该寄存器中的状态位是 “或”关系。

位	说明	类型	默认值
31:19	**保留**	RO	0x0000
18:16	**触发输出单元中断状态** （Bit 18 = 触发单元 2， Bit 17 = 触发单元 1， Bit 16 = 触发单元 0） 这三个位提供这三个触发输出单元的中断状态。触发输出单元控制 1 寄存器中的 TRIGGER_NOTIFY 位置 1 便可允许这些中断。对于每个触发输出单元（TOU），这是单独完成的。有关触发输出单元状态的详细信息，请参见 GPIO 状态监控 0 寄存器。 1 = 检测到中断 0 = 无中断	R/WC	000b
15:2	**保留**	RO	0x0000
1:0	**时间戳单元中断状态 （仅 GPIO 输入时间戳）** （Bit 1 = 时间戳单元 1， Bit 0 = 时间戳单元 0） 这两个位提供 GPIO 两个时间戳输出单元的中断状态。时间戳控制和状态寄存器中的时间戳单元中断允许位置 1 便可允许这些中断。对于每个时间戳单元，这是单独完成的。有关时间戳中断的详细信息，请参见时间戳状态和控制寄存器开头的寄存器。 有关 PTP 出口帧基于端口的时间戳记的中断状态，请参见端口中断状态寄存器和端口 PTP 时间戳中断状态寄存器。 1 = 检测到中断 0 = 无中断	R/WC	00b

© 2018 Microchip Technology Inc.

5.1.6.17 时间戳控制和状态寄存器

地址： 0x052C - 0x052F 大小： 32 位

该寄存器的一部分由全局 PTP 单元索引寄存器中的触发单元索引指针（bit [1:0]）和时间戳单元索引指针（bit 8）值索引。

位	说明	类型	默认值
31:9	**保留**	RO	0x000000
8	**GPIO 输出源选择 （GPIO_OUT_SEL）** 1 = 输出为组合结果 0 = 输出来自触发的输出	R/W	0b
7	**GPIO 输入监控 （GPIO_IN）** 该字段反映 GPIO 输入上的当前值。	R	-
6	**GPIO 输出使能 （GPIO_OEN）** 1 = 使能 GPIO 引脚用作触发输入 0 = 使能 GPIO 引脚用作时间戳输入	R/W	0b
5	**时间戳单元中断允许 （TS_INT_ENB）** 时间戳单元中断状态位可在 GPIO 状态监控 1 寄存器中找到。 0 = 禁止中断 1 = 允许中断 **注：** 该字段由全局 PTP 单元索引寄存器中的时间戳单元索引指针（bit 8）值索引。	R/W	0b
4	**事件触发输出单元有效 （TRIGGER_ACTIVE）** 1 = 事件触发输出单元已使能且处于工作状态，无错误 0 = 事件触发输出单元已完成且处于非工作状态 **注：** 该字段由全局 PTP 单元索引寄存器中的触发单元索引指针（bit 1:0）值索引。	R	0b
3	**事件触发输出单元使能 （TRIGGER_EN）** 1 = 使能选定事件触发输出单元。生成触发输出时自动清零。在级联模式下，只能使能触发单元的头部。 0 = 禁止事件触发单元 **注：** 该字段由全局 PTP 单元索引寄存器中的触发单元索引指针（bit 1:0）值索引。	R/W	0b
2	**事件触发输出单元软件复位 （TRIGGER_SW_RESET）** 1 = 将触发输出单元复位到非工作状态和默认设置。该复位可用于在连续操作中停止级联模式，并使该触发单元为下个操作做好准备。 0 = 触发输出单元正常工作 **注：** 该字段由全局 PTP 单元索引寄存器中的触发单元索引指针（bit 1:0）值索引。	R/W	0b
1	**事件时间戳输入单元使能 （TS_ENB）** 1 = 使能选定事件时间戳输入单元。向该位写入 “1” 会将关联单元的 TS_EVENT_DET_CNT 清零。 0 = 禁止选定事件时间戳输入单元。向该位写入 “0” 会将 TS_RDY 和 TS_DET_CNT_OVFL 清零。 **注：** 该字段由全局 PTP 单元索引寄存器中的时间戳单元索引指针（bit 8）值索引。	R/W	0b

位	说明	类型	默认值
0	**事件时间戳输入单元软件复位 （TS_SW_RESET）** 1 = 将时间戳单元复位到非工作状态和默认设置 0 = 时间戳输入单元正常工作 **注：** 该字段由全局 PTP 单元索引寄存器中的时间戳单元索引指针（bit 8）值索引。	R/W	0b

5.1.6.18 触发输出单元目标时间纳秒寄存器

地址： 0x0530 - 0x0533 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

位	说明	类型	默认值
31:30	**保留**	RO	000b
29:0	**触发目标时间 （ns）（TRIGGER_TARGET_TIME_NS）** 该字段包含全局 PTP 单元索引寄存器中所索引触发单元的 PTP 事件触发输出目标时间，以纳秒为单位。	R/W	0x00000000

5.1.6.19 触发输出单元目标时间秒寄存器

地址： 0x0534 - 0x0537 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

位	说明	类型	默认值
31:0	**触发目标时间 （s）（TRIGGER_TARGET_TIME_S）** 该字段包含全局 PTP 单元索引寄存器中所索引触发单元的 PTP 事件触发输出目标时间，以秒为单位。	R/W	0x00000000

© 2018 Microchip Technology Inc.

5.1.6.20 触发输出单元控制 1 寄存器

地址： 0x0538 - 0x053B 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

位	说明	类型	默认值
31	**级联模式下使能事件触发输出单元 （CASCADE_MODE_ENB）** 1 = 级联模式下使能事件触发输出单元 0 = 级联模式下禁止事件触发输出单元	R/W	0b
30	**级联模式事件触发输出单元尾部单元指示符 （CASCADE_MODE_TAIL）** 1 = 该事件触发输出单元是级联模式下链路的最后一个单元 0 = 该事件触发输出单元不是级联模式下链路的最后一个单元注：当该位针对级联模式下的所有单元清零时，迭代计数将被忽略，并成为一个无穷数。要停止无限循环，请将时间戳控制和状态寄存器中相应的 TRIG_SW_RESET 位置 1。	R/W	0b
29:28	**保留**	RO	00b
27:26	**级联模式上游触发完成单元选择** 该字段选择级联模式中 3 个上游触发完成输入单元中的一个。例如，如果单元 1、2 和 3（尾部单元）以级联模式建立，则单元 1 设为 0x3，单元 2 设为 0x1，单元 3 设为 0x2。	R/W	00b
25	**立即触发 （TRIGGER_NOW）** 1 = 如果触发目标时间小于系统时钟时间，则立即触发事件输出 0 = 等待触发事件输出的触发目标时间	R/W	0b
24	**触发通知 （TRIGGER_NOTIFY）** 1 = 允许同时报告 TRIG_DONE 和 TRIG_ERR 状态，并在中断允许位置 1 时中断主机。 0 = 禁止同时报告 TRIG_DONE 和 TRIG_ERR 状态。	R/W	0b
23	**触发边沿 （TRIGGER_EDGE）** 1 = 在时钟的下降沿触发输出 0 = 在时钟的上升沿触发输出	R/W	0b

位	说明	类型	默认值
22:20	**触发事件输出信号模式 （TRIGGER_PATTERN）** 用于选择 TRIG_EN = 1 且触发目标时间达到系统时间时的触发事件输出： **000 =** 生成下降沿 （从默认的 “高” 变为 “低” 并保持 “低”） **001 =** 生成上升沿 （从默认的 “低” 变为 “高” 并保持 “高”） **010 =** 生成负脉冲 （从默认的 “高” 变为 “低” 脉冲再变为 “高” 并保持 “高”）。触发输出单元控制 2 寄存器中定义了脉冲宽度。 **011 =** 生成正脉冲 （从默认的 “低” 变为 “高” 脉冲再变为 “低” 并保持 “低”）。触发输出单元控制 2 寄存器中定义了脉冲宽度。 **100 =** 生成负周期信号。触发输出单元控制 2 寄存器中定义了 “低电平” 脉冲宽度，触发输出单元控制 3 寄存器和触发输出单元控制 4 寄存器中定义了周期宽度，而触发输出单元控制 5 寄存器中定义了周期数 （如果周期数为零，它为无穷数）。 **101 =** 生成正周期信号。触发输出单元控制 2 寄存器中定义了 “高电平” 脉冲宽度，触发输出单元控制 3 寄存器和触发输出单元控制 4 寄存器中定义了周期宽度，而触发输出单元控制 5 寄存器中定义了周期数 （如果周期数为零，它为无穷数）。 **110 =** 根据触发输出单元控制 3 寄存器中的 16 位模式生成输出信号，该信号经过移位后 MSB 在前并进行循环。触发输出单元控制 3 寄存器和触发输出单元控制 4 寄存器中定义了每个位宽，而触发输出单元控制 5 寄存器中定义了要移出的总位数 （如果该寄存器值为零，则它为无穷数）。 **111 =** 保留 **注：** 最大输出时钟频率高达 12.5 MHz。	R/W	000b
19:16	**保留**	RO	000b
15:0	**Trigger Output Iteration Count （TRIGGER_PATTERN_ITERATION）** 定义迭代计数，以在尾部单元中以级联模式输出触发输出单元控制 3 寄存器中定义的 16 位触发模式。例如， 0x0000 是 1 个计数， 0x000F 是 16 个计数。如果级联模式下没有尾部单元，则它为无穷数。	R/W	0x0000

5.1.6.21 触发输出单元控制 2 寄存器

地址： 0x053C - 0x053F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

位	说明	类型	默认值
31:0	**触发输出周期宽度或位宽 （TRIGGER_CYCLE_WIDTH）** 定义用于生成周期信号的周期宽度。每个单位值等于 1 ns。例如，如果此寄存器值为 80 （0x50），则周期宽度为 80 ns。	R/W	0x00000000

© 2018 Microchip Technology Inc.

5.1.6.22 触发输出单元控制 3 寄存器

地址： 0x0540 - 0x0543 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

位	说明	类型	默认值
31:16	**触发输出周期或位计数 （TRIGGER_CYCLE）** 定义用于生成周期信号的输出周期数。如果该字段为零，则它为无穷数。	R/W	0x0000
15:0	**触发输出位模式 （TRIGGER_BIT_PATTERN）** 定义用于生成输出信号的输出位模式。	R/W	0x0000

5.1.6.23 触发输出单元控制 4 寄存器

地址： 0x0544 - 0x0547 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

位	说明	类型	默认值
31:0	**级联模式下触发输出迭代周期时间（CASCADE_INTERATION_CYCLE_TIME）** 定义级联模式下遍历所有触发输出单元所需的迭代周期时间。这个时间将被添加到下个触发时间的当前触发目标时间。单位值等于 1 ns。例如，如果此字段值为 800 （0x320），则周期为 800 ns。	R/W	0x00000000

5.1.6.24 触发输出单元控制 5 寄存器

地址： 0x0548 - 0x054B 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit [1:0] 的触发单元索引指针值索引。

该寄存器包含单元 2 的 PTP 事件触发输出 PPS 信号脉冲宽度和单元 1 的路径延迟补偿。

位	说明	类型	默认值
31:24	**保留**	RO	-
23:16	**事件触发 PPS 脉冲宽度 （PPS_PULSE_WIDTH）** 该字段是高位三分之一字节 （23:16），与触发输出脉冲宽度相结合，可将该寄存器值用作高达 124 ms 的 PPS 脉冲宽度。	R/W	0x00
15:0	**触发输出脉冲宽度 （TRIGGER_PULSE_WIDTH）** 定义用于生成脉冲或周期信号的宽度。每个单位值等于 8 ns。例如，如果该寄存器值为 10 （0xA），则脉冲宽度为 80 ns。	R/W	0x0000

5.1.6.25 时间戳状态和控制寄存器

地址： 0x0550 - 0x0553 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:21	**保留**	RO	0x00
20:17	**检测到的时间戳输入单元事件数量 （TS_EVENT_DET_CNT）** 报告检测到的事件 （上升沿或下降沿）数量。在单一模式下，它可以在任何一个单元中检测多达 15 个事件。可检测到高达 25 MHz 的脉冲或边沿。脉冲宽度可以通过相同单元中连续时间戳之间的差值来测量。	RO	0000b
16	**检测到的时间戳输入单元事件数量溢出 （TS_DET_EVENT_CNT_OVERFLOW）** 1 = 检测到的事件 （上升沿或下降沿）数量已溢出。在级联模式下，当发生溢出时， 只有尾部单元会使该位置 1。发生溢出时， TS_EVENT_DET_CNT 字段将保持为 15。 0 = 事件 （上升沿或下降沿）数量没有溢出。	RO	0b
15:8	**保留**	RO	00000000b
7	**使能上升沿检测 （TS_RISING_EDGE_ENB）** 1 = 使能上升沿检测 0 = 禁止上升沿检测	R/W	0b
6	**使能下降沿检测 （TS_FALLING_EDGE_ENB）** 1 = 使能下降沿检测 0 = 禁止下降沿检测	R/W	0b
5	**级联模式下时间戳输入单元事件的尾部单元指示符 （TS_CASCADE_MODE_TAIL）** 1 = 该事件时间戳输入单元是级联模式下链路的最后一个单元。 0 = 该事件时间戳输入单元不是级联模式下链路的最后一个单元。	R/W	0b
4:2	**保留**	RO	00b
1	**选择级联模式下的上游时间戳完成单元 （TS_CASCADE_MODE_ENB）** 该位选择级联模式下的时间戳完成输入单元。 1 = 时间戳单元 1 0 = 时间戳单元 0 在头部单元中，应当将其置“0”，以便没有上游时间戳单元被输入到头部单元。	R/W	0b
0	**级联模式下使能该事件时间戳输入单元 （TS_CASCADE_MODE_ENB）** 1 = 级联模式下使能该事件时间戳输入单元。 0 = 级联模式下禁止该事件时间戳输入单元。	R/W	0b

© 2018 Microchip Technology Inc.

5.1.6.26 时间戳第 1 个采样时间纳秒寄存器

地址： 0x0554 - 0x0557 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 1 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_1ST）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 1 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_1ST）** 该字段是时间戳第一个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.27 时间戳第 1 个采样时间秒寄存器

地址： 0x0558 - 0x055B 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 1 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_1ST）** 该字段是时间戳的第一个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.28 时间戳第 1 个采样时间相位寄存器

地址： 0x055C - 0x055F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 1 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_1ST）** 该字段表示时间戳第一个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

5.1.6.29 时间戳第 2 个采样时间纳秒寄存器

地址： 0x0560 - 0x0563 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 2 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_2ND）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 2 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_2ND）** 该字段是时间戳第二个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.30 时间戳第 2 个采样时间秒寄存器

地址： 0x0564 - 0x0567 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 2 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_2ND）** 该字段是时间戳的第二个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.31 时间戳第 2 个采样时间相位寄存器

地址： 0x0568 - 0x056F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 2 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_2ND）** 该字段表示时间戳第二个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

© 2018 Microchip Technology Inc.

5.1.6.32 时间戳第 3 个采样时间纳秒寄存器

地址： 0x056C - 0x056F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 3 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_3RD）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 3 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_3RD）** 该字段是时间戳第三个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.33 时间戳第 3 个采样时间秒寄存器

地址： 0x0570 - 0x0573 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 3 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_3RD）** 该字段是时间戳的第三个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.34 时间戳第 3 个采样时间相位寄存器

地址： 0x0574 - 0x0577 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 3 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_3RD）** 该字段表示时间戳第三个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

5.1.6.35 时间戳第 4 个采样时间纳秒寄存器

地址： 0x0578 - 0x057B 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 4 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_4TH）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 4 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_4TH）** 该字段是时间戳第四个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.36 时间戳第 4 个采样时间秒寄存器

地址： 0x057C - 0x057F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 4 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_4TH）** 该字段是时间戳的第四个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.37 时间戳第 4 个采样时间相位寄存器

地址： 0x0580 - 0x0583 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 4 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_4TH）** 该字段表示时间戳第四个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

© 2018 Microchip Technology Inc.

5.1.6.38 时间戳第 5 个采样时间纳秒寄存器

地址： 0x0584 - 0x0587 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 5 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_5TH）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 5 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_5TH）** 该字段是时间戳第五个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.39 时间戳第 5 个采样时间秒寄存器

地址： 0x0588 - 0x058B 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 5 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_5TH）** 该字段是时间戳的第五个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.40 时间戳第 5 个采样时间相位寄存器

地址： 0x058C - 0x058F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 5 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_5TH）** 该字段表示时间戳第五个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

5.1.6.41 时间戳第 6 个采样时间纳秒寄存器

地址： 0x0590 - 0x0593 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 6 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_6TH）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 6 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_6TH）** 该字段是时间戳第六个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.42 时间戳第 6 个采样时间秒寄存器

地址： 0x0594 - 0x0597 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 6 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_6TH）** 该字段是时间戳的第六个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.43 时间戳第 6 个采样时间相位寄存器

地址： 0x0598 - 0x059B 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 6 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_6TH）** 该字段表示时间戳第六个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

© 2018 Microchip Technology Inc.

5.1.6.44 时间戳第 7 个采样时间纳秒寄存器

地址： 0x059C - 0x059F 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 7 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_7TH）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 7 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_7TH）** 该字段是时间戳第七个采样时间 （以纳秒为单位）的低位字。	RO	0x00000000

5.1.6.45 时间戳第 7 个采样时间秒寄存器

地址： 0x05A0 - 0x05A3 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 7 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_7TH）** 该字段是时间戳的第七个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.46 时间戳第 7 个采样时间相位寄存器

地址： 0x05A4 - 0x05A7 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 7 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_7TH）** 该字段表示时间戳第七个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

5.1.6.47 时间戳第 8 个采样时间纳秒寄存器

地址： 0x05A8 - 0x05AB 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31	**保留**	RO	0b
30	**第 8 个采样边沿指示的事件时间戳输入 （TS_SAMPLE_EDGE_8TH）** 1 = 表示事件时间戳输入为上升沿信号 0 = 表示事件时间戳输入为下降沿信号	RO	0b
29:0	**第 8 个采样时间 （以纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_NS_8TH）** 该字段是时间戳第八个采样时间 （以纳秒为单位）的低字。	RO	0x00000000

5.1.6.48 时间戳第 8 个采样时间秒寄存器

地址： 0x05AC - 0x05AF 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:0	**第 8 个采样时间 （以秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_S_8TH）** 该字段是时间戳的第八个采样时间 （以秒为单位）。	RO	0x00000000

5.1.6.49 时间戳第 8 个采样时间相位寄存器

地址： 0x05B0 - 0x05B3 大小： 32 位

该寄存器由全局 PTP 单元索引寄存器中 bit 8 的时间戳单元索引指针值索引。

位	说明	类型	默认值
31:3	**保留**	RO	0x0000000
2:0	**第 8 个采样时间 （以 8 亚纳秒为单位）的事件时间戳输入 （TS_SAMPLE_TIME_SUB_8NS_8TH）** 该字段表示时间戳第八个采样时间的其中一个 8 ns 周期。 000 = 0 ns （25 MHz/40 ns 情况下第一个 8 ns 周期的采样时间） 001 = 8 ns （25 MHz/40 ns 情况下第二个 8 ns 周期的采样时间） 101 = 16 ns （25 MHz/40 ns 情况下第三个 8 ns 周期的采样时间） 011 = 24 ns （25 MHz/40 ns 情况下第四个 8 ns 周期的采样时间） 100 = 32 ns （25 MHz/40 ns 情况下第五个 8 ns 周期的采样时间） 101-111 = 保留	RO	000b

© 2018 Microchip Technology Inc.

5.2 端口寄存器

本节详细介绍了器件的端口寄存器。所有设置都是基于每个端口的。地址字段“N”用于指定端口号。对于某些寄存器，“N”的有效值为 1 到 7；对于 MAC 端口专用寄存器，为 6 到 7；对于 PHY 专用寄存器，则为 0 到 5。

有关器件的整个寄存器映射的概述，请参见第 5.0 节“器件寄存器”。有关器件全局寄存器的详细信息，请参见第 5.1 节“全局寄存器”。

5.2.1 端口 N：端口操作控制寄存器 （0xN000 - 0xN0FF）

5.2.1.1 端口默认标记 0 寄存器

地址： 0xN000 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**端口默认 802.1Q 标记 [15:8]** Bit [7:5]：优先级代码点 （Priority Code Point， PCP） Bit [4]：丢弃合法指示符 （Drop Eligible Indicator， DEI） Bit [3:0]：VLAN 标识符 （VLAN Identifier， VID） [11:8]	R/W	0x00

5.2.1.2 端口默认标记 1 寄存器

地址： 0xN001 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**端口默认 802.1Q 标记 [7:0]** VLAN 标识符 （VLAN Identifier， VID） [7:0]	R/W	0x01

5.2.1.3 端口 PME_WoL 事件寄存器

地址： 0xN013 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:3	**保留**	RO	0000_0b
2	**魔术数据包检测** 要检测到魔术数据包，魔术数据包的目标地址必须与开关 MAC 地址 0 寄存器至开关 MAC 地址 5 寄存器中的全局开关 MAC 地址匹配。 1 = 在该端口检测到魔术数据包 0 = 未检测到	RO/WC	0b

位	说明	类型	默认值
1	**链路建立检测** 仅适用于集成 PHY 的端口。 1 = 在该端口上检测到链路建立 0 = 未检测到	RO/WC	0b
0	**能量检测** 仅适用于集成 PHY 的端口。 1 = 在该端口上检测到电缆能量 0 = 未检测到	RO/WC	0b

5.2.1.4 端口 PME_WoL 使能寄存器

地址： 0xN017 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:3	**保留**	RO	0000_0b
2	**魔术数据包检测使能** 要检测到魔术数据包，魔术数据包的目标地址必须与开关 MAC 地址 0 寄存器至开关 MAC 地址 5 寄存器中的全局开关 MAC 地址匹配。 1 = 在该端口检测到魔术数据包时， PME 引脚将置为有效 0 = 在该端口上检测魔术数据包时， PME 引脚不会置为有效	RO/WC	0b
1	**链路建立检测使能** 仅适用于集成 PHY 的端口。 1 = 在该端口检测到链路建立时， PME 引脚将置为有效 0 = 在该端口检测链路建立时， PME 引脚不会置为有效	RO/WC	0b
0	**能量检测使能** 仅适用于集成 PHY 的端口。 1 = 在该端口检测到电缆能量时， PME 引脚将置为有效 0 = 在该端口检测到电缆能量时， PME 引脚不会置为有效	RO/WC	0b

© 2018 Microchip Technology Inc.

5.2.1.5 端口中断状态寄存器

地址： 0xN01B 大小： 8 位

端口 N：1-7

这些寄存器提供各个端口的中断状态。这些中断在端口中断屏蔽寄存器中允许。有关非特定于端口的中断状态，请参见全局中断状态寄存器。

位	说明	类型	默认值
7:3	**保留**	RO	0000_00b
2	**PTP 中断状态** 仅适用于PHY端口，不适用于MAC端口。有关各PTP中断，请参见端口PTP时间戳中断状态寄存器。 0 = 无中断 1 = 检测到中断	RO	0b
1	**PHY 中断状态** 仅适用于 PHY 端口，不适用于 MAC 端口。有关各 PHY 中断，请参见端口中断控制 / 状态寄存器。 0 = 无中断 1 = 检测到中断	RO	0b
0	**ACL 中断状态** 通过在 ACL 表中为计数器模式配置一个条目，可以生成 ACL 中断。所有端口均具有 ACL 表。 要将该位清零，请切换端口中断屏蔽寄存器中的 ACL 中断屏蔽位。 0 = 无中断 1 = 检测到中断	RO	0b

5.2.1.6 端口中断屏蔽寄存器

地址： 0xN01F 大小： 8 位

端口 N：1-7

该寄存器允许端口中断状态寄存器中的中断。

位	说明	类型	默认值
7:3	**保留**	RO	0000_00b
2	**PTP 中断允许** 仅适用于PHY端口。有关各PTP中断允许，请参见端口PTP时间戳中断使能寄存器。 0 = 允许中断 1 = 禁止中断	R/W	0b
1	**PHY 中断允许** 仅适用于 PHY 端口。 0 = 允许中断 1 = 禁止中断	R/W	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
0	**ACL 中断允许** 适用于所有端口。 0 = 允许中断 1 = 禁止中断	R/W	0b

5.2.1.7 端口操作控制 0 寄存器

地址： 0xN020 大小： 8 位

端口 N：1-7

位	说明	类型	默认值
7	**本地环回** 从内部开关结构传输到出口端口的数据在该出口端口环回并返回内部开关结构。 1 = 本地环回 0 = 正常工作	R/W	0b
6	**远程环回** 在端口的外部引脚接收到的数据会被环回并从同一端口发出，而不经过内部的开关结构。对于 PHY 端口，会在 RX+/- 引脚上接收数据并通过 TX+/- 引脚发出。对于 xMII 端口，会在 TXD 引脚上接收数据并在 RXD 引脚上发送。 1 = 远程环回 0 = 正常工作	R/W	0b
5:3	**保留**	RO	000b
2	**尾部标记使能** 为端口使能尾部标记后，该端口即被指定为“主机”或“CPU”端口。不要为多个端口使能尾部标记。 有关详细信息，请参见尾部标记说明。 1 = 在该端口上使能尾部标记 0 = 为该端口禁止尾部标记	R/W	0b
1:0	**出口队列拆分使能** 11 = 保留 10 = 四个出口队列。数据包会根据优先级分配给队列。 01 = 两个出口队列。数据包会根据优先级分配给队列。 00 = 单个出口队列没有优先级区分。	R/W	00b

© 2018 Microchip Technology Inc.

5.2.1.8 端口状态寄存器

地址： 0xN030 大小： 8 位

端口 N：1-7

位	说明	类型	默认值
7:5	**保留**	RO	000
4:3	**端口速度状态** 对于非 PHY 端口，这些位复制 XMII 端口控制 1 寄存器 bit 6 和 XMII 端口控制 0 寄存器 bit 4 中的速度设置。 对于 PHY 端口，这些位表示实际链路速度，在 PHY 控制寄存器中也可用。 00 = 10 Mb/s 01 = 100 Mb/s 10 = 1000 Mb/s	RO	-
2	**端口双工状态** 对于非 PHY 端口，该位复制 XMII 端口控制 0 寄存器 bit 6 中的双工设置。 对于 PHY 端口，该位表示实际链路双工，在 PHY 控制寄存器中也可用。 1 = 全双工 0 = 半双工	RO	1 或 -
1	**发送流量控制已使能状态** 对于非 PHY 端口，该位复制 XMII 端口控制 0 寄存器中的 Tx FC 使能位 bit 5。 对于 PHY 端口，只有在 FC 使能 （PHY 自动协商通告寄存器， bit 11:10）、链路已建立且 FC 通过自动协商建立的情况下，该位才会置 1。 1 = TX 流量控制已使能 0 = 已禁止	RO	-
0	**接收流量控制已使能状态** 对于非 PHY 端口，该位复制 XMII 端口控制 0 寄存器中的 x FC 使能位 bit 3。 对于 PHY 端口，只有在 FC 使能 （PHY 自动协商通告寄存器， bit 11:10）、链路已建立且 FC 通过自动协商建立的情况下，该位才会置 1。 1 = RX 流量控制已使能 0 = 已禁止	RO	-

5.2.2 端口 N：端口以太网 PHY 寄存器 （0xN100 - 0xN1FF）

本节中的寄存器仅适用于 PHY 端口。有关更多详细信息，请参见 IEEE802.3 第 22.3.4 条。

5.2.2.1 PHY 基本控制寄存器

地址： 0xN100 - 0xN101 大小： 16 位
端口 N：1-5

PHY 寄存器 0x00

位	说明	类型	默认值
15	**PHY 软件复位** 将该位置 1 可复位该 PHY。寄存器不会复位。该位会自动清零。	R/W SC	0b
14	**本地环回模式** 从内部开关结构传输到出口端口的数据在该出口端口环回并返回内部开关结构。 1 = 本地环回模式 0 = 正常工作	R/W	0b
13	**速率选择 （LSB）** 如果使能自动协商 （该寄存器中的 bit 12），则会忽略该位。 1 = 100 Mb/s 0 = 10 Mb/s	R/W	注 5-4
12	**自动协商使能** 1 = 自动协商已使能 0 = 自动协商已禁止 该位的初始值取决于配置引脚选项，但它可能会被改写。	R/W	注 5-4
11	**掉电** 1 = 掉电模式 0 = 正常工作 当该位置“1”时，PHY 状态寄存器中可能不会更新链路断开状态。软件应注意到链路已断开，而不应依赖于 PHY 状态寄存器链路状态。 该位从“1”变为“0”后，会进行内部复位。在对该 PHY 寄存器进行读 / 写访问之前，至少等待 1 ms。	R/W	0b
10	**隔离** 1 = 对来自开关核心的 PHY 逻辑隔离 0 = 正常工作	R/W	0b
9	**重新启动自动协商** 将该位置 1 可重新启动自动协商。该位会自动清零。	R/W、SC	0b
8	**双工模式** 如果使能自动协商 （该寄存器中的 bit 12），则会忽略该位。 1 = 全双工 0 = 半双工	R/W	1b
7	**冲突测试** 1 = 使能 COL 测试 0 = 禁止 COL 测试	R/W	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
6:0	**保留**	RO	0x00

注 5-4 该字段的默认值取决于关联的配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

5.2.2.2 PHY 基本状态寄存器

地址： 0xN102 - 0xN103 大小： 16 位
端口 N：1-5

PHY 寄存器 0x01

位	说明	类型	默认值
15	**100BASE-T4** 0 = PHY 不支持 100BASE-T4	RO	0b
14	**100BASE-TX 全双工** 1 = PHY 支持 100BASE-TX 全双工	RO	1b
13	**100BASE-TX 半双工** 1 = PHY 支持 100BASE-TX 半双工	RO	1b
12	**10 Mb/s 全双工** 1 = PHY 支持 10 Mb/s 全双工	RO	1b
11	**10 Mb/s 半双工** 1 = PHY 支持 10 Mb/s 半双工	RO	1b
10:9	**保留**	RO	00b
8	**扩展状态** 1 = 扩展状态信息可用。 **注：** 由于器件 PHY 只支持 10/100 Mbps 操作，扩展状态信息不可用。	RO	0b
7	**保留**	RO	0b
6	**MF 前导码抑制** 1 = PHY 将接受前导码受抑制的管理帧	RO	1b
5	**自动协商完成** 1 = 自动协商过程完成 0 = 自动协商过程未完成	RO	-
4	**远程 （远端）故障** 1 = 检测到远程故障条件 0 = 未检测到远程故障	RO LH	-
3	**自动协商能力** 1 = PHY 能够执行自动协商	RO	1b
2	**链路状态** 1 = 链路已建立 0 = 链路已断开	RO LL	-
1	**Jabber 检测** 1 = 检测到 Jabber 条件 0 = 未检测到 Jabber 条件	RO LH	-

位	说明	类型	默认值
0	**扩展能力** 1 = 支持扩展能力寄存器 0 = 仅具备基本寄存器设置能力	RO	1b

5.2.2.3 PHY ID 高位寄存器

地址： 0xN104 - 0xN105 大小： 16 位
端口 N：1-5

PHY 寄存器 0x02

位	说明	类型	默认值
15:0	**PHY 标识符高位字**	RO	0x0022

5.2.2.4 PHY ID 低位寄存器

地址： 0xN106 - 0xN107 大小： 16 位
端口 N：1-5

PHY 寄存器 0x03

位	说明	类型	默认值
15:0	**PHY 标识符低位字**	RO	0x1631

© 2018 Microchip Technology Inc.

5.2.2.5 PHY 自动协商通告寄存器

地址： 0xN108 - 0xN109 大小： 16 位
端口 N：1-5

PHY 寄存器 0x04

位	说明	类型	默认值
15	**下一页** 1 = 支持下一页 0 = 不支持下一页	R/W	0b
14	**保留**	RO	0b
13	**远程故障** 1 = 能检测到远程故障 0 = 无法检测到远程故障	R/W	0b
12	**保留**	RO	0b
11:10	**暂停 （流量控制）能力** 11 = 对称和不对称暂停 （本地器件） 10 = 不对称暂停 （链路伙伴） 01 = 对称暂停 00 = 无暂停	R/W	01b
9	**100BASE-T4** 1 = 支持 100BASE-T4 0 = 不支持 100BASE-T4	RO	0b
8	**100BASE-TX 全双工** 1 = 支持 100BASE-TX 全双工 0 = 不支持 100BASE-TX 全双工	R/W	1b
7	**100BASE-TX 半双工** 1 = 支持 100BASE-TX 半双工 0 = 不支持 100BASE-TX 半双工	R/W	1b
6	**10BASE-T 全双工** 1 = 支持 10BASE-T 全双工 0 = 不支持 10BASE-T 全双工	R/W	1b
5	**10BASE-T 半双工** 1 = 支持 10BASE-T 半双工 0 = 不支持 10BASE-T 半双工	R/W	1b
4:0	**选择器字段** 00001 = IEEE 802.3	R/W	0x01

5.2.2.6 PHY 自动协商链路伙伴能力寄存器

地址： 0xN10A - 0xN10B 大小： 16 位
端口 N：1-5

PHY 寄存器 0x05

位	说明	类型	默认值
15	**下一页** 1 = 支持下一页 0 = 不支持下一页	RO	-
14	**确认** 1 = 从伙伴处收到链路代码字 0 = 尚未收到链路代码字	RO	-
13	**远程故障** 1 = 检测到远程故障 0 = 无远程故障	RO	-
12	**保留**	RO	-
11:10	**暂停 （流量控制）能力** 11 = 对称和不对称暂停 （本地器件） 10 = 不对称暂停 （链路伙伴） 01 = 对称暂停 00 = 无暂停	RO	-
9	**100BASE-T4** 1 = 支持 100BASE-T4 0 = 不支持 100BASE-T4	RO	-
8	**100BASE-TX 全双工** 1 = 支持 100BASE-TX 全双工 0 = 不支持 100BASE-TX 全双工	RO	-
7	**100BASE-TX 半双工** 1 = 支持 100BASE-TX 半双工 0 = 不支持 100BASE-TX 半双工	RO	-
6	**10BASE-T 全双工** 1 = 支持 10BASE-T 全双工 0 = 不支持 10BASE-T 全双工	RO	-
5	**10BASE-T 半双工** 1 = 支持 10BASE-T 半双工 0 = 不支持 10BASE-T 半双工	RO	-
4:0	**选择器字段** 00001 = IEEE 802.3	RO	-

© 2018 Microchip Technology Inc.

5.2.2.7 PHY 自动协商扩展状态寄存器

地址： 0xN10C - 0xN10D 大小： 16 位
端口 N：1-5

PHY 寄存器 0x06

位	说明	类型	默认值
15:5	**保留**	RO	0x000
4	**并行检测故障** 1 = 并行检测检测到故障 0 = 并行检测未检测到故障	RO LH	-
3	**链路伙伴下一页能力** 1 = 链路伙伴具备下一页能力 0 = 链路伙伴不具备下一页能力	RO	-
2	**下一页能力** 1 = 本地器件具备下一页能力 0 = 本地器件不具备下一页能力	RO	1b
1	**收到页面** 1 = 收到新页面 0 = 未收到新页面	RO LH	-
0	**链路伙伴自动协商能力** 1 = 链路伙伴具备自动协商能力 0 = 链路伙伴不具备自动协商能力	RO	-

5.2.2.8 PHY 自动协商下一页寄存器

地址： 0xN10E - 0xN10F 大小： 16 位
端口 N：1-5

PHY 寄存器 0x07

位	说明	类型	默认值
15	**下一页** 1 = 将后跟其他页面 0 = 最后一页	R/W	0b
14	**保留**	RO	0b
13	**消息页面** 1 = 消息页面 0 = 未格式化的页面	R/W	1b
12	**确认 2** 1 = 将遵从消息 0 = 未能遵从消息	R/W	0b

位	说明	类型	默认值
11	**切换** 1 = 传输链路代码字的先前值等于逻辑 1 0 = 传输链路代码字的先前值等于逻辑 0	RO	0b
10:0	**消息字段**	R/W	0x001

5.2.2.9 PHY 自动协商链路伙伴下一页能力寄存器

地址： 0xN110 - 0xN111 大小： 16 位
端口 N：1-5

PHY 寄存器 0x08

位	说明	类型	默认值
15	**下一页** 1 = 将后跟其他页面 0 = 最后一页	R/W	-
14	**确认** 1 = 成功收到链路字 0 = 未成功收到链路字	RO	-
13	**消息页面** 1 = 消息页面 0 = 未格式化的页面	RO	-
12	**确认 2** 1 = 能够处理信息 0 = 不能处理信息	RO	-
11	**切换** 1 = 传输链路代码字的先前值等于逻辑 0 0 = 传输链路代码字的先前值等于逻辑 1	RO	-
10:0	**消息字段**	RO	-

© 2018 Microchip Technology Inc.

5.2.2.10 PHY MMD 设置寄存器

地址： 0xN11A - 0xN11B 大小： 16 位
端口 N：1-5

PHY 寄存器 0x0D

位	说明	类型	默认值
15:14	**MMD 工作模式** 对于选定的 MMD 器件地址 （该寄存器的 bit [4:0]），这两个位选择以下寄存器或数据操作之一以及 PHY MMD 数据寄存器的用法。 00 = 寄存器 01 = 数据，不后递增 10 = 数据，读写后递增 11 = 数据，只写后递增	R/W	00b
13:5	**保留**	R/W	0x000
4:0	**MMD 器件地址**	R/W	0x00

5.2.2.11 PHY MMD 数据寄存器

地址： 0xN11C - 0xN11D 大小： 16 位
端口 N：1-5

PHY 寄存器 0x0E

位	说明	类型	默认值
15:0	**MMD 读写索引 / 数据** 对于选定的 MMD 器件地址 （PHY MMD 设置寄存器中的 bit [4:0]）： 当 PHY MMD 设置寄存器 bit [15:14] = 00 时，该寄存器包含对 MDD 器件地址的读 / 写寄存器访问。 否则，该寄存器包含 MMD 器件地址及其选定寄存器地址的读 / 写数据值 有关该寄存器后递增读写以进行数据操作的说明，请参见 PHY MMD 设置寄存器 bit [15:14]。	R/W	0x0000

5.2.2.12 PHY 远程环回寄存器

地址： 0xN122 - 0xN123 大小： 16 位
端口 N：1-5

PHY 寄存器 0x11

位	说明	类型	默认值
15:9	**保留**	R/W	0x00
8	**远程环回** 在端口的外部引脚接收到的数据会被环回并从同一端口发出，而不经过内部的开关结构。对于 PHY 端口，会在 RX+/- 引脚上接收数据并通过 TX+/- 引脚发出。对于 xMII 端口，会在 TXD 引脚上接收数据并在 RXD 引脚上发送。 1 = 远程环回 0 = 正常工作	R/W	0b
7:2	**保留**	R/W	1111_01b
1	**保留**	R/W RC	0b
0	**保留**	RO	0b

5.2.2.13 PHY LinkMD 寄存器

地址： 0xN124 - 0xN125 大小： 16 位
端口 N：1-5

PHY 寄存器 0x12

位	说明	类型	默认值
15	**电缆诊断测试使能** 写值： 1 = 使能电缆诊断测试。测试完成后，该位自清零。 0 = 禁止电缆诊断测试。 读值： 1 = 正在进行电缆诊断测试。 0 = 表示电缆诊断测试 （如使能）已完成，可读取状态信息。	R/W、SC	0b
14:13	**保留**	R/W	00b
12	**电缆诊断测试对** 选择测试差分对： 0 = 差分对 TXP/TXM 1 = 差分对 RXP/RXM	R/W	0b
11:10	**保留**	R/W	00b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
9:8	**电缆诊断状态** 00 = 电缆状况正常 （未检测到故障） 01 = 检测到电缆开路故障 10 = 检测到电缆短路故障 11 = 保留	RO	00b
7:0	**保留**	RO	0x00

5.2.2.14 PHY 数字 PMA/PCS 状态寄存器

地址： 0xN126 - 0xN127 大小： 16 位
端口 N：1-5

PHY 寄存器 0x13

位	说明	类型	默认值
15:1	**保留**	RO LH	0x0000
0	**100BASE-TX 链路状态** 1 = 链路已建立 0 = 链路已断开	RO	-

5.2.2.15 端口 RXER 计数寄存器

地址： 0xN12A - 0xN12B 大小： 16 位
端口 N：1-5

PHY 寄存器 0x15

位	说明	类型	默认值
15:0	**RXER 计数器** 有一个或多个符号错误的接收帧的计数。	RO RC	0x0000

5.2.2.16 端口中断控制 / 状态寄存器

地址： 0xN136 - 0xN137 大小： 16 位
端口 N：1-5

PHY 寄存器 0x1B

位	说明	类型	默认值
15	**Jabber 中断允许** 1 = 允许 Jabber 中断 0 = 禁止 Jabber 中断	R/W	0b
14	**接收错误中断允许** 1 = 允许接收错误中断 0 = 禁止接收错误中断	R/W	0b
13	**收到页面中断允许** 1 = 允许收到页面中断 0 = 禁止收到页面中断	R/W	0b
12	**并行检测故障中断允许** 1 = 允许并行检测故障中断 0 = 禁止并行检测故障中断	R/W	0b
11	**链路伙伴确认中断允许** 1 = 允许链路伙伴确认中断 0 = 禁止链路伙伴确认中断	R/W	0b
10	**链路断开中断允许** 1 = 允许链路断开中断 0 = 禁止链路断开中断	R/W	0b
9	**远程故障中断允许** 1 = 允许远程故障中断 0 = 禁止远程故障中断	R/W	0b
8	**链路建立中断允许** 1 = 允许链路建立中断 0 = 禁止链路建立中断	R/W	0b
7	**Jabber 中断** 1 = 发生 Jabber 0 = 未发生 Jabber	RO RC	0b
6	**接收错误中断** 1 = 发生接收错误 0 = 未发生接收错误	RO RC	0b
5	**页面接收中断** 1 = 发生页面接收 0 = 未发生页面接收	RO RC	0b
4	**并行检测故障中断** 1 = 发生并行检测故障 0 = 未发生并行检测故障	RO RC	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
3	**链路伙伴确认中断** 1 = 发生链路伙伴确认 0 = 未发生链路伙伴确认	RO RC	0b
2	**链路断开中断** 1 = 发生链路断开 0 = 未发生链路断开	RO RC	0b
1	**远程故障中断** 1 = 发生远程故障 0 = 未发生远程故障	RO RC	0b
0	**链路建立中断** 1 = 发生链路建立 0 = 未发生链路建立	RO RC	0b

5.2.2.17 PHY 自动 MDI/MDI-X 寄存器

地址： 0xN138 - 0xN139 大小： 16 位
端口 N：1-5

PHY 寄存器 0x1C。

位	说明	类型	默认值
15:8	**保留**	R/W	0x00
7	**MDI 设置** 当交换关闭位为 1 时， 1 = PHY 设置为以 MDI 模式工作 0 = PHY 设置为以 MDI-X 模式工作 当交换关闭位为 0 时，该位不起作用。	R/W	0b
6	**交换** 1 = 禁止自动 MDI/MDI-X 功能 0 = 使能自动 MDI/MDI-X 功能 （正常工作）	R/W	0b
5:0	**保留**	R/W	0x00

5.2.2.18 PHY 控制寄存器

地址： 0xN13E - 0xN13F 大小： 16 位
端口 N：1-5

PHY 寄存器 0x1F。

位	说明	类型	默认值
15:12	**保留**	R/W	0x0
11:10	**保留**	RO LH RC	00b
9	**使能 Jabber** 1 = 使能 Jabber 计数器 0 = 禁止 Jabber 计数器	R/W	1b
8:7	**保留**	R/W	10b
6	**保留**	RO	-
5	**速率状态 100BASE-TX** 1 = PHY 最终速率状态为 100BASE-TX	RO	-
4	**速率状态 10BASE-T** 1 = PHY 最终速率状态为 10BASE-T	RO	-
3	**双工状态** 1 = 全双工 0 = 半双工	RO	-
2	**保留**	RO	-
1	**保留**	R/W RC	0b
0	**保留**	RO RC	-

© 2018 Microchip Technology Inc.

5.2.3 端口 N：端口 RGMII/MII/RMII 控制寄存器 （0xN300 - 0xN3FF）

5.2.3.1 XMII 端口控制 0 寄存器

地址： 0xN300 大小： 8 位
端口 N：6-7

位	说明	类型	默认值
7	**保留**	RO	0b
6	**MAC 端口双工** 1 = 端口 MAC 接口以全双工模式工作 0 = 端口 MAC 接口以半双工模式工作	R/W	1b
5	**MAC 端口发送流量控制使能** 1 = 在此端口上使能发送流量控制 0 = 在此端口上禁止发送流量控制	R/W	注 5-5
4	**MAC 端口速率 10/100** 如果 XMII 端口控制 1 寄存器中的 bit 6 选择 1000 Mb/s，则会忽略该位。 如果 XMII 端口控制 1 寄存器中的 bit 6 为 1，则该位用于确定端口速度： 1 = 端口的工作速度为 100 Mb/s 0 = 端口的工作速度为 10 Mb/s	R/W	1b
3	**MAC 端口接收流量控制使能** 1 = 在此端口上使能接收流量控制 0 = 在此端口上禁止接收流量控制	R/W	注 5-5
2:0	**保留**	R/W	000b

注 5-5 该字段的默认值取决于 **LED1_1** 配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节“配置引脚”。

5.2.3.2 XMII 端口控制 1 寄存器

地址： 0xN301 大小： 8 位
端口 N：6-7

位	说明	类型	默认值
7	**保留**	R/W	-
6	**端口速度 1000** 1 = RGMII的工作速度为10或100 Mb/s，具体取决于XMII端口控制0寄存器中的 bit 4。 0 = RGMII 的工作速度为 1000 Mb/s	R/W	注 5-6
5	**保留**	R/W	0b
4	**RGMII 入口内部延迟 （RGMII_ID_ig）** 1 = 向入口 RGMII 时钟增加最少 1.5 ns 延迟 0 = 不增加延迟	R/W	0b
3	**RGMII 出口内部延迟 （RGMII_ID_eg）** 1 = 向出口 RGMII 时钟增加最少 1.5 ns 延迟 0 = 不增加延迟	R/W	1b
2	**MII/RMII 模式** **对于 MII 接口：** 1 = MII 接口用作 MAC 器件 （用于接收时钟等） 0 = MII 接口用作 PHY 器件 （用于驱动时钟等） **对于 RMII 接口：** 1 = 在 RXC 引脚上接收 50 MHz RMII REFCLK 0 = 从 RXC 引脚产生 50 MHz RMII REFCLK	R/W	注 5-7
1:0	**端口接口类型选择** 00 = 接口为 RGMII 01 = 接口为 RMII 10 = 接口为 MII 11 = 接口为 MII	R/W	注 5-8

注 5-6 该字段的默认值取决于 **RXD6_0** （端口 6）或 **RXD7_0** （端口 7）配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

注 5-7 该字段的默认值取决于 **RXD6_1** （端口 6）或 **RXD7_1** （端口 7）配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

注 5-8 该字段的默认值取决于 **RXD6_[3:2]** （端口 6）或 **RXD7_[3:2]** （端口 7）配置引脚值。有关更多信息，请参见第 16 页上的第 3.2.1 节 “配置引脚”。

© 2018 Microchip Technology Inc.

5.2.4 端口 N：端口开关 MAC 控制寄存器 （0xN400 - 0xN4FF）

5.2.4.1 端口 MAC 控制 0 寄存器

地址： 0xN400 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:4	**保留**	RO	0x0
3	**保留**	R/W	0b
2	**保留**	RO	0b
1	**多播风暴保护使能** 1 = 使能入口流量的广播风暴保护 0 = 禁止入口流量的广播风暴保护	R/W	0b
0	**巨型数据包使能** 1 = 接受最大 9000 字节有效载荷的数据包 （不包括报头和 CRC） 0 = 适用 1500 字节的标准有效载荷限制	R/W	0b

5.2.4.2 端口 MAC 控制 1 寄存器

地址： 0xN401 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	R/W	0b
6	**保留**	RO	0b
5:4	**保留**	R/W	00b
3	**背压使能** 背压仅用于半双工。全双工使用单独使能的 PAUSE 帧流量控制。 1 = 使能端口背压 0 = 禁止端口背压	R/W	0b
2:1	**保留**	R/W	00b
0	**允许所有帧** 正常情况下，坏帧 （CRC 错误、太大、太小）会被丢弃。该功能允许转发坏帧以仅用于镜像目的。 该位不影响流量控制帧的过滤。要禁止流量控制帧的过滤，请参见开关 MAC 控制 4 寄存器。 1 = 使能 0 = 禁止	R/W	0b

5.2.4.3 端口入口速率限制控制寄存器

地址： 0xN403 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6	**基于端口或优先级的入口速率限制** 1 = 入口速率限制基于端口 1 = 入口速率限制基于优先级	R/W	0b
5	**入口 PPS 模式** 1 = 入口速率限制基于数据包数量 （PPS 模式使能） 0 = 入口速率限制基于位数 （PPS 模式禁止）	R/W	0b
4	**入口速率限制流量控制使能** 要使用此功能，还必须为该端口使能流量控制。对于非PHY端口，请参见XMII端口控制 0 寄存器；对于 PHY 端口，请参见 PHY 自动协商通告寄存器。 1 = 如果超过端口的接收速率，流量控制将置位。 0 = 流量控制不会根据入口速率限制而置位	R/W	0b
3:2	**入口限制模式** 这些位用于确定根据入口速率限制被限制和计数的帧类型。 00 = 计数并限制所有帧 01 = 只计数并限制广播、多播和溢满单播帧 10 = 只计数并限制广播和多播帧 11 = 只计数并限制广播帧	R/W	00b
1	**IFG 字节计数** 1 = 入口速率限制计算包括每个帧的最小帧间间隔 （inter-frame gap， IFG）字节 （每帧 12 个） 0 = 不包括 IFG 字节计数	R/W	0b
0	**前导码字节计数** PPS 模式使能时无效 （bit 5） 1 = 入口速率限制计算包括每个帧的前导码字节 （每帧 8 个） 0 = 不包括前导码字节计数	R/W	0b

© 2018 Microchip Technology Inc.

5.2.4.4 端口优先级 0 入口限制控制寄存器

地址： 0xN410 大小： 8 位

端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 0 帧的入口数据速率限制** 有关代码值，请参见表 5-3。 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

表 5-3： 入口和出口速率限制的数据速率选择表

代码	10 Mbps		100 Mbps		1000 Mbps	
7 位（十进制）	**PPS**	**BPS**	**PPS**	**BPS**	**PPS**	**BPS**
7d’0	19.2k	10 Mbps	192k	100 Mbps	1.92M	1000 Mbps
7d’1 – 7d’10	1.92k * 代码	1 Mbps * 代码	1.92k * 代码	1 Mbps * 代码	19.2k * 代码	1 Mbps * 代码
7d’11 – 7d’100	–	10 Mbps	1.92k * 代码	1 Mbps * 代码	19.2k * 代码	10 Mbps * 代码
7d’101	64	64 kbps	64	640 kbps	640	640 kbps
7d’102	128	128 kbps	128	1280 kbps	1280	1280 kbps
7d’103	256	192 kbps	256	1920 kbps	2560	1920 kbps
7d’104	384	256 kbps	384	256 kbps	3840	2560 kbps
7d’105	512	320 kbps	512	320 kbps	5120	3200 kbps
7d’106	640	384 kbps	640	384 kbps	6400	3840 kbps
7d’107	768	448 kbps	768	448 kbps	7680	4480 kbps
7d’108	896	512 kbps	896	512 kbps	8960	5120 kbps
7d’109	1024	576 kbps	1024	576 kbps	10,240	5760 kbps
7d’110	1152	640 kbps	1152	640 kbps	11,520	6400 kbps
7d’111	1280	704 kbps	1280	704 kbps	12,800	7040 kbps
7d’112	1408	768 kbps	1408	768 kbps	14,080	7680 kbps
7d’113	1536	832 kbps	1536	832 kbps	15,360	8320 kbps
7d’114	1664	896 kbps	1664	896 kbps	16,640	8960 kbps
7d’115	1792	960 kbps	1792	960 kbps	17,920	9600 kbps

注： PPS = 每秒数据包数， BPS = 每秒位数。

5.2.4.5 端口优先级 1 入口限制控制寄存器

地址： 0xN411 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 1 帧的入口数据速率限制** 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.6 端口优先级 2 入口限制控制寄存器

地址： 0xN412 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 2 帧的入口数据速率限制** 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.7 端口优先级 3 入口限制控制寄存器

地址： 0xN413 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 3 帧的入口数据速率限制** 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.4.8 端口优先级 4 入口限制控制寄存器

地址： 0xN414 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 4 帧的入口数据速率限制** 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.9 端口优先级 5 入口限制控制寄存器

地址： 0xN415 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 5 帧的入口数据速率限制** 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.10 端口优先级 6 入口限制控制寄存器

地址： 0xN416 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 6 帧的入口数据速率限制** 请注意，对端口优先级 7 入口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.11 端口优先级 7 入口限制控制寄存器

地址： 0xN417 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**优先级 7 帧的入口数据速率限制**	R/W	0x00

5.2.4.12 端口队列 0 出口限制控制寄存器

地址： 0xN420 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**队列 0 帧的出口数据速率限制** 当出口速率限制通过开关 MAC 控制 5 寄存器的 bit 3 配置为“基于端口”时，仅使用该寄存器进行设置。端口队列 1-3 出口限制控制寄存器仅用于基于队列的速率限制。 请注意，对端口队列 3 出口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.13 端口队列 1 出口限制控制寄存器

地址： 0xN421 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**队列 1 帧的出口数据速率限制** 请注意，对端口队列 3 出口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

5.2.4.14 端口队列 2 出口限制控制寄存器

地址： 0xN422 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**队列 2 帧的出口数据速率限制** 请注意，对端口队列 3 出口限制控制寄存器进行写操作后，更新才会生效。	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.4.15 端口队列 3 出口限制控制寄存器

地址： 0xN423 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**队列 3 帧的出口数据速率限制**	R/W	0x00

5.2.5 端口 N：端口开关 MAC 计数器寄存器 （0xN500 - 0xN5FF）

每个端口都配备 30 个 MIB 计数器。这些计数器通过以下两个间接寄存器进行访问。 MIB 计数器为读取－清零计数器。有关更多详细信息，请参见第 5.3.6 节 “管理信息库 （Management Information Base， MIB）计数器”。

注： 开关 MIB 控制寄存器包含两个用于 MIB 计数器全局控制的附加位。

5.2.5.1 端口 MIB 控制和状态寄存器

地址： 0xN500 - 0xN503 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31	**MIB 计数器溢出指示** 1 = 计数器已溢出 0 = 计数器没有溢出	RO	0b
30:26	**保留**	RO	0x00
25	**MIB 读取使能 / 计数有效** 该位置 1 可启动计数器读取。当计数器读取完成且计数值在 MIB 计数器值中可用时，该位将自动清零。	R/W SC	0b
24	**MIB 刷新和冻结使能** 有关用于刷新和冻结端口计数器的关联全局 MIB 控制位，请参见开关 MIB 控制寄存器。 1 = 使能该端口的 MIB 计数器刷新和冻结功能 0 = 禁止该端口的 MIB 计数器刷新和冻结功能	R/W	0b
23:16	**MIB 索引**	R/W	0x00
15:4	**保留**	RO	0x000
3:0	**MIB 计数器值 [35:32]**	RO	0x0

5.2.5.2 端口 MIB 数据寄存器

地址： 0xN504 - 0xN507 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:0	**MIB 计数器值 [31:0]**	RO	0x0000

5.2.6 端口 N：端口开关 ACL 控制寄存器 （0xN600 - 0xN6FF）

每个端口都对应着一个访问控制列表 （Access Control List， ACL）表。该表通过以下两个间接寄存器进行访问。有关更多详细信息，请参见第 5.3.5 节 “访问控制列表 （ACL）表”。

5.2.6.1 端口 ACL 访问 0 寄存器

地址： 0xN600 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:4	**保留**	RO	0x0
3:0	**第一规则编号 （First Rule Number， FRN）**	R/W	0x0

5.2.6.2 端口 ACL 访问 1 寄存器

地址： 0xN601 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:6	**保留**	R/W	00b
5:4	**模式** 00 = 不进行任何操作 01 = 第 2 层 MAC 报头过滤 10 = 第 3 层 IP 地址过滤 11 = 第 4 层 TCP 端口号 /IP 协议过滤	R/W	00b
3:2	**使能**	R/W	00b
1	**源 / 目标** 1 = 源 0 = 目标	R/W	0b
0	**比较相等** 1 = 如果进行比较的值相等，则匹配 0 = 如果进行比较的值不相等，则匹配	R/W	0b

© 2018 Microchip Technology Inc.

5.2.6.3 端口 ACL 访问 2 寄存器

地址： 0xN602 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**MAC 地址 [47:40]**	R/W	0x00

5.2.6.4 端口 ACL 访问 3 寄存器

地址： 0xN603 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**MAC 地址 [39:32]**	R/W	0x00

5.2.6.5 端口 ACL 访问 4 寄存器

地址： 0xN604 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**MAC 地址 [31:24]**	R/W	0x00

5.2.6.6 端口 ACL 访问 5 寄存器

地址： 0xN605 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**MAC 地址 [23:16]**	R/W	0x00

5.2.6.7 端口 ACL 访问 6 寄存器

地址： 0xN606 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**MAC 地址 [15:8]**	R/W	0x00

5.2.6.8 端口 ACL 访问 7 寄存器

地址： 0xN607 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**MAC 地址 [7:0]**	R/W	0x00

5.2.6.9 端口 ACL 访问 8 寄存器

地址： 0xN608 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**EtherType [15:8]**	R/W	0x00

5.2.6.10 端口 ACL 访问 9 寄存器

地址： 0xN609 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**EtherType [7:0]**	R/W	0x00

5.2.6.11 端口 ACL 访问 A 寄存器

地址： 0xN60A 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:6	**优先级模式 （Priority Mode， PM）**	R/W	00b
5:3	**优先级**	R/W	00_0b
2	**备注优先级使能 （Remark Priority Enable， RPE）**	R/W	0b
1:0	**备注优先级 [2:1]** 3 位备注优先级字段的两个 MSB。有关 LSB，请参见端口 ACL 访问 B 寄存器。	R/W	00b

© 2018 Microchip Technology Inc.

5.2.6.12 端口 ACL 访问 B 寄存器

地址： 0xN60B 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**备注优先级 [0]** 3 位备注优先级字段的 LSB。有关 MSB，请参见端口 ACL 访问 B 寄存器。	R/W	0b
6:5	**映射模式 （Map Mode， MM）**	R/W	00b
4:0	**保留**	R/W	0b

5.2.6.13 端口 ACL 访问 C 寄存器

地址： 0xN60C 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**保留**	R/W	0x00

5.2.6.14 端口 ACL 访问 D 寄存器

地址： 0xN60D 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	R/W	0b
6:0	**端口转发映射** 每个位对应一个转发端口。 Bit 0 对应于端口 1， Bit 1 对应于端口 2，以此类推 1 = 允许转发该端口 0 = 不转发到该端口	R/W	000_0000b

5.2.6.15 端口 ACL 访问 E 寄存器

地址： 0xN60E 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**规则集 [15:8]**	R/W	0x00

5.2.6.16 端口 ACL 访问 F 寄存器

地址： 0xN60F 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**规则集 [7:0]**	R/W	0x00

5.2.6.17 端口 ACL 字节使能 MSB 寄存器

地址： 0xN610 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**字节使能 [15:8]** 通过写入端口 ACL 字节使能 LSB 寄存器来启动读取或写入时，每个位允许访问其中一个 ACL 字节。 Bit 0 适用于端口 ACL 访问 7 寄存器 Bit 1 适用于端口 ACL 访问 6 寄存器，以此类推 Bit 7 适用于端口 ACL 访问 0 寄存器 1 = 已选中字节进行读 / 写 0 = 未选择字节	R/W	0x00

© 2018 Microchip Technology Inc.

5.2.6.18 端口 ACL 字节使能 LSB 寄存器

地址： 0xN611 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:0	**字节使能 [7:0]** 通过写入端口 ACL 字节使能 LSB 寄存器来启动读取或写入时，每个位允许访问其中一个 ACL 字节。 Bit 0 适用于端口 ACL 访问 F 寄存器 Bit 1 适用于端口 ACL 访问 E 寄存器，以此类推 Bit 7 适用于端口 ACL 访问 8 寄存器 1 = 已选中字节进行读 / 写 0 = 未选择字节	R/W	0x00

5.2.6.19 端口 ACL 访问控制 0 寄存器

地址： 0xN612 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7	**保留**	R/O	0b
6	**写入状态** 1 = 写入操作完成 0 = 写入操作未完成	RO	1b
5	**读取状态** 1 = 读取操作完成 0 = 读取操作未完成；继续轮询，直到该位在读取结果寄存器之前置 1	RO	1b
4	**读 / 写** 1 = 写入 0 = 读取	R/W	0b
3:0	**ACL 索引**	R/W	0x0

5.2.7 端口 N：端口开关入口控制寄存器 （0xN800 - 0xN8FF）

5.2.7.1 端口镜像控制寄存器

地址： 0xN800 大小： 8 位
端口 N：1-7

该寄存器包含用于端口镜像的端口控制。另外，还必须正确配置全局端口镜像和窥探控制寄存器。

位	说明	类型	默认值
7	**保留**	RO	0b
6	**接收嗅探** 1 = 在该端口上接收到的所有数据包都被指定为“受监控的数据包”并将被转发到指定的 “嗅探器端口” 0 = 不进行接收监控。	R/W	0b
5	**发送嗅探** 1 = 在该端口上发送的所有数据包被指定为“受监控的数据包”并将被转发到指定的 “嗅探器端口” 0 = 不进行发送监控。	R/W	0b
4:2	**保留**	RO	0_00b
1	**嗅探器端口** 1 = 该端口被指定为嗅探器端口并将发送受监控的数据包。 0 = 不是嗅探器端口。正常工作。	R/W	0b
0	**保留**	RO	0b

5.2.7.2 端口优先级控制寄存器

地址： 0xN801 大小： 8 位
端口 N：1-7

为了实现所需功能，不要在该寄存器中一次设置多个位。

位	说明	类型	默认值
7	**最高优先级** 1 = 已选择最高优先级 0 = 未选择最高优先级	R/W	0b
6	**或运算优先级** 1 = 所有可用优先级经过或运算 1 = 所有可用优先级未经过或运算	R/W	0b
5	**保留**	RO	0b
4	**MAC 地址优先级分类** 1 = 使能端口上入口数据包的 MAC 地址优先级分类 0 = 禁止 MAC 地址分类	R/W	0b

© 2018 Microchip Technology Inc.

位	说明	类型	默认值
3	**VLAN 优先级分类** 1 = 使能端口上入口数据包的 VLAN 优先级分类 0 = 禁止 VLAN 分类	R/W	0b
2	**802.1p 优先级分类** 1 = 使能端口上入口数据包的 802.1p 优先级分类 0 = 禁止 802.1p 优先级分类	R/W	0b
1	**Diffserv 优先级分类** 1 = 使能端口上入口数据包的 Diffserv 优先级分类 0 = 禁止 Diffserv 优先级分类	R/W	0b
0	**ACL 优先级分类** 1 = 使能端口上入口数据包的 ACL 优先级分类 0 = 禁止 ACL 优先级分类	R/W	0b

5.2.7.3 端口入口 MAC 控制寄存器

地址： 0xN802 大小： 8 位

端口 N：1-7

位	说明	类型	默认值
7	**用户优先级上限** 1 = 如果数据包的“用户优先级字段”大于端口默认标记寄存器中的“用户优先级字段”，则将数据包的用户优先级字段替换为端口默认标记 0 寄存器中端口默认标记的用户优先级字段。 0 = 不替换该端口的用户优先级字段	R/W	0b
6:5	**保留**	RO	0b
4	**丢弃未标记的数据包** 对于主机端口，该位应该保留为 0。 1 = 丢弃该端口上没有 IEEE 802.1Q 标记的所有入口数据包。 0 = 不丢弃。	R/W	0b
3	**丢弃标记的数据包** 1 = 丢弃该端口上具有 IEEE 802.1Q 标记的所有入口数据包。 0 = 不丢弃。	R/W	0b
2:0	**端口默认优先级分类** 如果 Diffserv 分类、 802.1p 分类和 VLAN 分类未使能或无法完成分类，则该端口上的入口数据包将按照此处指定的优先级进行分类。可能的值为 0 到 7。	R/W	000b

5.2.7.4 端口身份验证控制寄存器

地址： 0xN803 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:3	**保留**	RO	0000_0b
2	**访问控制列表 （ACL）使能** 1 = 使能 0 = 禁止	R/O	0b
1:0	**身份验证模式** 00 = 通过模式。禁止身份验证。ACL 使能后，所有未遵守 ACL 规则的流量都会被转发；否则会应用 ACL 操作。 01 = 阻止模式。身份验证使能。使能 ACL 后，所有未遵守 ACL 规则的流量都会被阻止；否则会应用 ACL 操作。 10 = 陷阱模式。身份验证使能。所有流量都会被转发到主机端口。使能 ACL 后，所有未遵守 ACL 规则的流量都会被阻止；否则会应用 ACL 操作。 11 = 保留	R/W	00b

5.2.7.5 端口指针寄存器

地址： 0xN804 - 0xN807 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:19	**保留**	RO	0x0000
18:16	**端口索引** 用于指向 7 个端口的间接映射位置	R/W	000b
15:2	**保留**	RO	0x0000
1:0	**队列指针** 用于指向 4 个队列的间接映射位置	R/W	00b

© 2018 Microchip Technology Inc.

5.2.7.6 端口优先级至队列映射寄存器

地址： 0xN808 - 0xN80B 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:28	优先级 7 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx11b
27:24	优先级 6 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx11b
23:20	优先级 5 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx10b
19:16	优先级 4 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx10b
15:12	优先级 3 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx01b
11:8	优先级 2 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx01b
7:4	优先级 1 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx00b
3:0	优先级 0 重新生成的优先级 （队列）值。 2 个最高有效位保留。	R/W	xx00b

5.2.7.7 端口监管控制寄存器

地址： 0xN80C - 0xN80F 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
31:12	**保留**	RO	0x00000
11	**丢弃颜色** 1 = 颜色数据包 PMON 保存该颜色的已丢弃数据包 0 = 颜色数据包 PMON 保存该颜色的所有数据包	R/W	0b
10	**丢弃所有** 1 = 超过 PM WRED 中的最大阈值时丢弃所有数据包 0 = 根据 WRED_PM_PROB_MULTIPLIER 丢弃数据包	R/W	0b
9:8	**数据包类型** 要从端口索引所指向端口的队列指针连接读取的 PMON 数据包类型 11 = WRED_PMON 在读取时保存 RED 数据包的数量 10 = WRED_PMON 在读取时保存 YELLOW 数据包的数量 01 = WRED_PMON 在读取时保存 GREEN 数据包的数量 00 = WRED_PMON 在读取时保存已丢弃数据包的数量	R/W	00b
7	**基于端口的监管** 1 = 监管基于每个端口的每个队列 0 = 监管仅基于每个队列 端口索引 = 0 用于设置每个队列的聚合 CIR、 PIR	R/W	0b
6:5	**NONDSCP_COLOR** 用于感知颜色的非 IP 帧颜色	R/W	01b
4	**颜色标记使能** 1 = DSCP 颜色标记使能 0 = DSCP 颜色标记禁止	R/W	0b
3	**颜色重映射使能** 1 = 使能 DSCP 颜色重映射来感知颜色 0 = 禁止 DSCP 颜色重映射并使用 DSCP 颜色	R/W	0b
2	**丢弃 SRP** 1 = 使能 WRED 时允许丢弃 SRP 数据包 0 = 使能 WRED 时不允许丢弃 SRP 数据包	R/W	0b
1	**监管模式** 如果使能监管，该位会设置队列的监管模式 1 = 色盲 0 = 颜色感知模式	R/W	0b
0	**监管使能** 1 = 使能监管和 WRED 0 = 禁止监管和 WRED	R/W	0b

© 2018 Microchip Technology Inc.

5.2.7.8 端口监管队列速率寄存器

地址： 0xN820 - 0xN823 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:16	**承诺信息速率** 指定端口索引所指向端口的队列指针对应连接的承诺信息速率。	R/W	0x1000
15:0	**峰值信息速率** 指定端口索引所指向端口的队列指针对应连接的队列峰值信息速率。	R/W	0x2000

5.2.7.9 端口监管队列突发大小寄存器

地址： 0xN824 - 0xN827 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:16	**承诺最大信息大小** 指定端口索引所指向端口的队列指针对应连接支持的队列承诺最大信息大小（以字节为单位）。	R/W	0x1000
15:0	**峰值信息速率** 指定端口索引所指向端口的队列指针对应连接支持的队列峰值最大信息大小（以字节为单位）。	R/W	0x3000

5.2.7.10 端口 WRED 数据包存储器控制寄存器 0

地址： 0xN830 - 0xN833 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:27	**保留**	RO	00000b
26:16	**WRED 数据包存储器最大阈值**	R/W	0x400
15:11	**保留**	RO	00000b
10:0	**WRED 数据包存储器最小阈值**	R/W	0x080

5.2.7.11 端口 WRED 数据包存储器控制寄存器 1

地址： 0xN834 - 0xN837 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:27	**保留**	RO	00000b
26:16	**WRED 数据包存储器概率倍增器**	R/W	0x020
15:11	**保留**	RO	00000b
10:0	**WRED 数据包存储器平均队列大小**	R	-

5.2.7.12 端口 WRED 队列控制寄存器 0

地址： 0xN840 - 0xN843 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:27	**保留**	RO	00000b
26:16	**WRED 最大队列阈值** 端口索引所指向端口的队列指针对应连接的 WRED 最大阈值。	R/W	0x080
15:11	**保留**	RO	00000b
10:0	**WRED 最小队列阈值** 端口索引所指向端口的队列指针对应连接的 WRED 最小阈值。	R/W	0x009

5.2.7.13 端口 WRED 队列控制寄存器 1

地址： 0xN844 - 0xN847 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:27	**保留**	RO	00000b
26:16	**WRED 队列概率倍增器** 端口索引所指向端口的队列指针对应连接的概率倍增器。	R/W	0x010
15:11	**保留**	RO	00000b
10:0	**WRED 数据包存储器平均队列大小** 端口索引所指向端口的队列指针对应连接的平均队列大小。	R	-

© 2018 Microchip Technology Inc.

5.2.7.14 端口 WRED 队列性能监控控制寄存器

地址： 0xN848 - 0xN84B 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31	**随机丢弃使能** 1 = 使能随机丢弃 1 = 禁止随机丢弃	R/W	0b
30	**PMON 刷新** 1 = 刷新 PMON 计数器。这是从低电平边沿到高电平边沿的触发清零。 0 = 无活动	R/W	0x010
29	**GYR 丢弃禁止** 1 = 禁止丢弃 GREEN/YELLOW/RED 0 = 使能丢弃 GREEN/YELLOW/RED	R/W	0b
28	**YR 丢弃禁止** 1 = 禁止丢弃 YELLOW/RED 0 = 使能丢弃 YELLOW/RED	R/W	0b
27	**R 丢弃禁止** 1 = 禁止丢弃 RED 0 = 使能丢弃 RED	R/W	0b
26	**丢弃所有** 1 = 超过最大阈值时丢弃所有数据包 0 = 根据 WRED 队列概率倍增器丢弃数据包	R/W	0b
25:24	**保留**	RO	00b
23:0	**数据包事件计数器** 端口索引所指向端口的队列指针对应连接的数据包事件计数。	R	0x00000

5.2.8 端口 N：端口开关出口控制寄存器 （0xN900 - 0xN9FF）

5.2.8.1 端口发送队列索引寄存器

地址： 0xN900 - 0xN903 大小： 32 位
端口 N：1-7

该寄存器保存访问多个下述寄存器时使用的索引值。该寄存器可以作为 8 位寄存器访问， bit [7:0] 位于地址 0xN903。

位	说明	类型	默认值
31:2	**保留**	RO	0x00000000
1:0	**队列索引** 指向后续队列配置寄存器的队列编号。	R/W	00

5.2.8.2 端口发送队列 PVID 寄存器

地址： 0xN904 - 0x907 大小： 32 位
端口 N：1-7

该寄存器可以作为 8 位寄存器访问， bit [7:0] 位于地址 0xN903。

位	说明	类型	默认值
31:1	**保留**	RO	0x00000000
0	**端口 VID 替换** 1 = 对于任何具有非零 VLAN ID 的出口数据包，将 VID 替换为端口默认标记 0 寄存器和端口默认标记 1 寄存器的端口默认 VID。如果使能双重标记，则将替换 ISP 标记 ID。 0 = 不替换 VID。	R/W	0b

© 2018 Microchip Technology Inc.

5.2.8.3 端口发送队列控制 0 寄存器

地址： 0xN914 大小： 8 位

端口 N：1-7

该寄存器已编制索引。会根据每个队列和每个端口应用设置。在访问该寄存器之前，应先在端口发送队列索引寄存器中指定目标队列编号。

位	说明	类型	默认值
7:6	**调度器模式** 确定使能 2 个或 4 个发送队列时的出口调度策略。 00 = 严格优先级。先发送队列 3 中的所有数据包，然后再发送任何较小编号队列中的任何数据包。先发送队列 2 中的所有数据包，然后再发送任何较小编号队列中的任何数据包，以此类推。 10 = 加权轮询（Weighted Round Robin，WRR）根据（已建立队列索引的）端口发送队列控制 1 寄存器中的权重值，先发送某个队列中有限数量的数据包，然后再轮到下一队列。所有队列均轮流发送。 01 和 11 = 保留	R/W	10b
5:4	**整形器模式** 用于确定使用的出口流量整形器。 00 = 不整形。 01 = IEEE 802.1Qav 中为 AVB 所定义基于可信因子的整形器（Credit based shaper， CBS） 10 = IEEE 802.1Qbv 中针对 TSN 定义的时间感知整形器（Time aware shaper， TAS） 11 = 保留	R/W	00b
3:0	**保留**	RO	0000b

5.2.8.4 端口发送队列控制 1 寄存器

地址： 0xN915 大小： 8 位

端口 N：1-7

该寄存器已编制索引。会根据每个队列和每个端口应用设置。在访问该寄存器之前，应先在端口发送队列索引寄存器中指定目标队列编号。

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**WRR 调度的队列权重** 在加权轮询 （WRR）调度期间，该值用于指定在轮到下一队列之前可以从特定队列发送的数据包数量。当端口配置为单出口队列时，这些值不相关。不要将 0 赋值给任何队列。 4队列配置的示例值分别为8（队列3）、4（队列2）、2（队列1）和1（队列0）。	R/W	0000001

5.2.8.5 端口发送可信因子整形控制 0 寄存器

地址： 0xN916 - 0xN917 大小： 16 位
端口 N：1-

该寄存器已编制索引。会根据每个队列和每个端口应用设置。在访问该寄存器之前，应先在端口发送队列索引寄存器中指定目标队列编号。

位	说明	类型	默认值
15:0	**端口队列可信因子高水印** 整形器可信因子高水印 （以字节为单位）	R/W	0x0534

5.2.8.6 端口发送可信因子整形控制 1 寄存器

地址： 0xN918 - 0xN919 大小： 16 位
端口 N：1-

该寄存器已编制索引。会根据每个队列和每个端口应用设置。在访问该寄存器之前，应先在端口发送队列索引寄存器中指定目标队列编号。

位	说明	类型	默认值
15:0	**端口队列可信因子低水印** 整形器可信因子低水印 （以字节为单位）	R/W	0x05F2

5.2.8.7 端口发送可信因子整形控制 2 寄存器

地址： 0xN91A - 0xN91B 大小： 16 位
端口 N：1-

该寄存器已编制索引。会根据每个队列和每个端口应用设置。在访问该寄存器之前，应先在端口发送队列索引寄存器中指定目标队列编号。

位	说明	类型	默认值
15:0	**端口队列可信因子增量** 整形器可信因子增量， 12.5%	R/W	0x2000

© 2018 Microchip Technology Inc.

5.2.8.8 端口时间感知整形器控制寄存器

地址： 0xN920 大小： 8 位
端口 N：1-

位	说明	类型	默认值
7	**直通交换使能** 1 = 使能 TAS 直通交换 0 = 禁止 TAS 直通交换	R/W	0b
6	**受限 TAS** 1 = 如果该位置 1，在达到 OPEN （预定）时间段之前，不允许发出 TAS 数据包无论是储存并转发还是直通交换都将排队等候。 0 = 将允许随时发送 TAS 数据包	R/W	0b
5:2	**保留**	RO	0000b
1:0	**参考时间选择** 11 = 经过参考时间后开始 t0 10 = 在 PTP pps （每秒脉冲数）上重复 t0 01 = 自由运行，根据内部 1 秒脉冲重复 t0 00 = 没有参考	R/W	00b

5.2.8.9 端口时间感知整形器事件索引寄存器

地址： 0xN923 大小： 8 位
端口 N：1-

位	说明	类型	默认值
7	**保留**	RO	0b
6:0	**事件索引**	R/W	0000000b

5.2.8.10 端口时间感知整形器事件寄存器

地址： 0xN924 - 0xN927 大小： 32 位
端口 N：1-

位	说明	类型	默认值
31:29	**事件** 事件代码： 111 = 重复事件 011-110 = 保留 010 = 计划的打开事件 001 = 保护频带开始事件 000 = 计划的关闭事件	R/W	000b
28:0	**时间** 系统时钟周期计数	R/W	0x000

5.2.9 端口 N：端口开关队列管理控制寄存器 （0xNA00 - 0xNAFF）

5.2.9.1 端口控制 0 寄存器

地址： 0xNA00 - 0xNA03 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
32:2	**保留**	RO	0x0000000
1:0	**丢弃模式** 00 = 不丢弃，当目的地处于拥塞状态时，对该端口进行流量控制。 01 = 当目的地处于拥塞状态时丢弃来自该端口且优先级为 0 的数据包，并禁止对该端口的流量控制。 10 = 在目的地处于拥塞状态时丢弃来自该端口且优先级为 0 或 1 的数据包，并禁止对该端口的流量控制。 11 = 当目的地处于拥塞状态时丢弃来自该端口且优先级为 0、1、2 的数据包，并禁止对该端口的流量控制。	R/W	00b

5.2.9.2 端口控制 1 寄存器

地址： 0xNA04 - 0xNA07 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:7	**保留**	RO	0x0000000
6:0	**端口 VLAN 成员** 每个位对应一个器件端口。该功能不使用 VLAN 标记或 VLAN 表，并且与基于标记的 VLAN 功能无关。另请参见队列管理控制 0 寄存器中的 bit 1。 Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 可将帧转发到相应端口 0 = 阻止将帧转发到相应端口	R/W	0x7F

© 2018 Microchip Technology Inc.

5.2.10 端口 N：端口开关地址查找控制寄存器 （0xNB00 - 0xNBFF）

5.2.10.1 端口控制 2 寄存器

地址： 0xNB00 大小： 8 位

端口 N：1-7

位	说明	类型	默认值
7	**空 VID 查找使能** 如何处理 VID = 0 的带标记数据包。 1 = 非标准操作。使用 VID = 0 进行 VLAN 表查找。 0 = 标准操作。使用端口默认 VID （端口默认标记 0 寄存器和端口默认标记 1 寄存器）进行 VLAN 表查找	R/W	0b
6	**入口 VLAN 过滤** 1 = 丢弃 VLAN 表中 VID 端口成员不包括入口端口的数据包 0 = 没有入口过滤	R/W	0b
5	**丢弃非 PVID 数据包** 1 = 丢弃 VID 与入口端口默认 VID 不匹配的数据包 0 = 不比较 VID 与端口默认 VID	R/W	0b
4	**基于 MAC 的 802.1X 使能** 1 = 在查找引擎中使能基于 MAC 的 802.1X 身份验证 0 = 仅使用 ACL （如果使能）来执行基于 MAC 的身份验证	R/W	0b
3	**自动地址过滤 — 端口使能** 将接收到的数据包的源地址与开关MAC地址0寄存器至开关MAC地址5寄存器中的 MAC 地址进行比较，如果匹配，则丢弃该数据包。 必须将开关查找引擎控制 1 寄存器中的该端口使能位和全局使能位置 1，才可使能自动地址过滤。 1 = 使能该端口的自动地址过滤。 0 = 禁止该端口的自动地址过滤。	R/W	0b
2	**保留**	RO	0b
1	**保留**	R/W	0b
0	**保留**	RO	0b

5.2.10.2 端口 MSTP 指针寄存器

地址： 0xNB01 大小： 8 位
端口 N：1-7

位	说明	类型	默认值
7:3	**保留**	R/W	0000_0b
2:0	**MSTP 指针** 指向 8 个 MSTP 中的一个。它在读 / 写端口 MSTP 状态寄存器时用作索引。	R/W	000b

5.2.10.3 端口 MSTP 状态寄存器

地址： 0xNB04 大小： 8 位
端口 N：1-7

共有八个 MSTP，端口 MSTP 指针寄存器中的 MSTP 指针用作读 / 写该寄存器时选择特定 MSTP 的索引。

位	说明	类型	默认值
7:3	**保留**	RO	0000_0b
2	**端口发送使能** 1 = 使能端口上的数据包发送 0 = 禁止端口上的数据包发送	R/W	1b
1	**端口接收使能** 1 = 使能端口上的数据包接收 0 = 禁止端口上的数据包接收	R/W	1b
0	**端口学习禁止** 1 = 禁止端口上的开关地址学习 0 = 使能端口上的开关地址学习	R/W	0b

5.2.11 端口 N：端口开关 PTP 控制寄存器 （0xNC00 - 0xNCFF）

5.2.11.1 端口 PTP 接收延迟寄存器

地址： 0xNC00 - 0xNC01 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**PTP 端口 N RX 延迟 （以纳秒为单位）（PTP_RX_LATENCY[15:0]）** 该字段用于设置从端口 N 传输线到 RX 时间戳参考点的固定接收延迟值。默认值为 415 ns。	R/W	0x019F

© 2018 Microchip Technology Inc.

5.2.11.2 端口 PTP 发送延迟寄存器

地址： 0xNC02 - 0xNC03 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**PTP 端口 N TX 延迟 （以纳秒为单位）（PTP_TX_LATENCY[15:0]）** 该字段用于设置从端口 TX 时间戳到传输线的固定发送延迟值。默认值为 45 ns。	R/W	0x002D

5.2.11.3 端口 PTP 不对称校正寄存器

地址： 0xNC04 - 0xNC05 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15	**PTP 端口 N 不对称校正符号位 （PTP_ASYM_COR_SIGN）** 1 = 该寄存器中 PTP_ASM_COR 字段的幅值为负值 0 = 该寄存器中 PTP_ASM_COR 字段的幅值为正值	R/W	0b
14:0	**PTP 端口 N 不对称校正 （以纳秒为单位）（PTP_ASYM_COR）** 该字段用于设置要加到入口 Sync 和 Pdelay_Resp 的校正字段中或从出口 Delay_Req 和 Pdelay_Req 的校正字段中减去的固定不对称值。	R/W	0x0000

5.2.11.4 请求和延迟高位字寄存器的端口 PTP 出口时间戳

地址： 0xNC08 - 0xNC09 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**Pdelay_Req 和 Delay_Req 的 PTP 端口 N 出口时间戳 （以纳秒为单位）（XDLY_REQ_TS[31:16]）** 该字段包含 Pdelay_Req 和 Delay_Req 帧的端口 N 出口时间戳高位字节值（以纳秒为单位）。	RO	0x0000

5.2.11.5 请求和延迟低位字寄存器的端口 PTP 出口时间戳

地址： 0xNC0A - 0xNC0B 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**Pdelay_Req 和 Delay_Req 的 PTP 端口 N 出口时间戳 （以纳秒为单位）（XDLY_REQ_TS[15:0]）** 该字段包含 Pdelay_Req 和 Delay_Req 帧的端口 N 出口时间戳低位字节值（以纳秒为单位）。	RO	0x0000

5.2.11.6 Sync 高位字寄存器的端口 PTP 出口时间戳

地址： 0xNC0C - 0xNC0D 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**Sync 的 PTP 端口 N 出口时间戳 （以纳秒为单位）（SYNC_TS[31:16]）** 该字段包含 Sync 帧的端口 N 出口时间戳高位字节值 （以纳秒为单位）。	RO	0x0000

5.2.11.7 Sync 低位字寄存器的端口 PTP 出口时间戳

地址： 0xNC0E - 0xNC0F 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**Sync 的 PTP 端口 N 出口时间戳 （以纳秒为单位）（SYNC_TS[15:16]）** 该字段包含 Sync 帧的端口 N 出口时间戳低位字节值 （以纳秒为单位）。	RO	0x0000

5.2.11.8 PDelay_Resp 高位字寄存器的端口 PTP 出口时间戳

地址： 0xNC10 - 0xNC11 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**Pdelay_Resp的PTP端口N出口时间戳（以纳秒为单位）（PDLY_TS[31:16]）** 该字段包含 Pdelay_Resp 帧的端口 N 出口时间戳高位字节值（以纳秒为单位）。	RO	0x0000

5.2.11.9 PDelay_Resp 低位字寄存器的端口 PTP 出口时间戳

地址： 0xNC12 - 0xNC13 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15:0	**Pdelay_Resp 的 PTP 端口 N 出口时间戳（以纳秒为单位）（PDLY_TS[15:0]）** 该字段包含 Pdelay_Resp 帧的端口 N 出口时间戳低位字节值（以纳秒为单位）。	RO	0x0000

© 2018 Microchip Technology Inc.

5.2.11.10 端口 PTP 时间戳中断状态寄存器

地址： 0xNC14 - 0xNC15 大小： 16 位

端口 N：1-7

位	说明	类型	默认值
15	**Sync 帧中断状态的端口 N 出口时间戳（TS_SYNC_INT_STATUS）** 该位置 1 时，表示端口 N 为 Sync 帧提供出口时间戳。 该位与该寄存器中的其余位一起进行逻辑“或”运算，输出显示为端口中断状态寄存器中的 PTP 中断状态位。	R/W1C	0b
14	**Pdelay_Req 和 Delay_Req 帧中断状态的端口 N 出口时间戳（TS_PDLY_REQ_INT_STATUS）** 该位置 1 时，表示端口 N 为 Pdelay_Req 和 Delay_Req 帧提供出口时间戳。 该位与该寄存器中的其余位一起进行逻辑“或”运算，输出显示为端口中断状态寄存器中的 PTP 中断状态位。	R/W1C	0b
13	**Pdelay_Resp 帧中断状态的端口 N 出口时间戳（TS_PDLY_RESP_INT_STATUS）** 该位置 1 时，表示端口 N 为 Pdelay_Resp 帧提供出口时间戳。 该位与该寄存器中的其余位一起进行逻辑“或”运算，输出显示为端口中断状态寄存器中的 PTP 中断状态位。	R/W1C	0b
12:0	**保留**	RO	0x000

5.2.11.11 端口 PTP 时间戳中断使能寄存器

地址： 0xNC16 - 0xNC17 大小： 16 位
端口 N：1-7

位	说明	类型	默认值
15	**Sync 帧中断使能的端口 N 出口时间戳 （TS_SYNC_INT_ENB）** 该位置 1 时，使能端口 N 用于 Sync 帧的出口时间戳中断。 该位与该寄存器中的其余位一起进行逻辑 “或” 运算，输出显示为端口中断屏蔽寄存器中的 PTP 中断允许位。	R/W	0b
14	**Pdelay_Req 和 Delay_Req 帧中断使能的端口 N 出口时间戳（TS_PDLY_REQ_INT_ENB）** 该位置1时，使能端口N用于Pdelay_Req和Delay_Req帧的出口时间戳中断。 该位与该寄存器中的其余位一起进行逻辑 “或” 运算，输出显示为端口中断屏蔽寄存器中的 PTP 中断允许位。	R/W	0b
13	**Pdelay_Resp 帧中断使能的端口 N 出口时间戳（TS_PDLY_RESP_INT_ENB）** 该位置 1 时，使能端口 N 用于 Pdelay_Resp 帧的出口时间戳中断。 该位与该寄存器中的其余位一起进行逻辑 “或” 运算，输出显示为端口中断屏蔽寄存器中的 PTP 中断允许位。	R/W	0b
12:0	**保留**	RO	0x000

5.2.11.12 端口 PTP 链路延迟寄存器

地址： 0xNC18 - 0xNC1B 大小： 32 位
端口 N：1-7

位	说明	类型	默认值
31:0	**PTP 端口 N 链路延迟 （以纳秒为单位）** 该寄存器用于设置端口 N 和链路伙伴端口之间的链路延迟值。	R/W	0x0000_0000

© 2018 Microchip Technology Inc.

5.3 表格和 MIB 计数器 （访问）

间接地址和数据寄存器用于访问各种表格和计数器：

- 地址查找 （ALU）表
- 静态地址表
- 保留多播地址表
- VLAN 表
- 访问控制列表 （ACL）表
- 管理信息库 （Management Information Base， MIB）计数器

5.3.1 地址查找 （ALU）表

地址查找表是用于 MAC 地址查找的三个表中最大的一个。它同时支持动态 MAC 地址条目和静态 MAC 地址条目。在响应目标地址 （DA）查找时，会搜索所有表以做出数据包转发决定。在响应源地址 （SA）查找时，仅会搜索该表以获取动态条目的老化、迁移和学习。

建议将静态地址条目编入静态地址表。如果该表已满，可以在该表中编入额外的静态地址条目。静态条目不会老化。

静态 DA 查找结果 （在该表或静态地址表中）的优先级高于动态 DA 查找结果。

该表是一个 4 向联想存储，具有 1000 个储存桶，总共有 4000 个条目。在正常操作中，对 MAC 地址 （或者 FID）进行散列处理以生成 10 位索引。10 位索引用于指定最多 4 个条目的储存桶，但每个储存桶中的条目不能单独进行寻址。如果储存桶包含不超过 3 个有效条目，则可以将新条目添加到储存桶。储存桶充满 4 个有效条目后，任何新条目都将覆盖最近使用最少的动态条目。

如果储存桶包含 2 到 3 个静态条目，那么向该储存桶添加额外静态条目时将生成一个 “几乎已满” 中断。（请参见地址查找表中断寄存器和全局中断状态寄存器）。中断生成后，新静态条目的 12 位绝对地址将可从地址查找表条目索引 0 寄存器的 bit [11:0] 读取。

如果储存桶充满 4 个静态条目，则无法写入额外的静态条目，如果尝试此操作，则将导致 “写入失败” 中断。中断生成后，已满储存桶的 10 位索引将可从地址查找表条目索引 0 寄存器的 bit [9:0] 读取。

具有 4 个静态条目的储存桶还将阻止学习任何动态条目。此类失败会生成一个 “学习失败” 中断。中断生成后，已满储存桶的 10 位索引将可从地址查找表条目索引 1 寄存器的 bit [9:0] 读取。

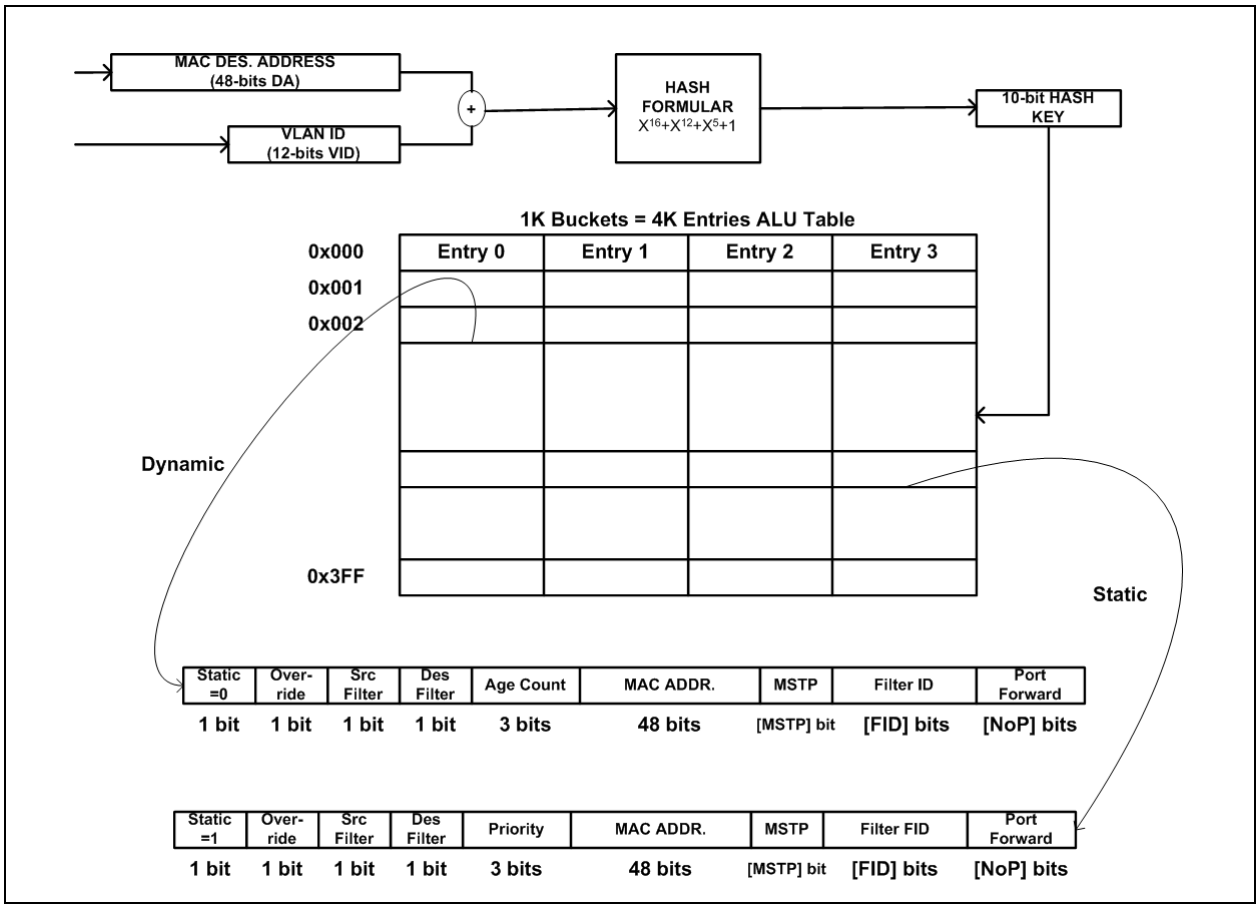
通过 ALU 表寄存器可以间接访问该表：

- ALU 表索引 0 寄存器
- ALU 表索引 1 寄存器
- ALU 表访问控制寄存器
- ALU 表条目 1 寄存器
- ALU 表条目 2 寄存器
- ALU 表条目 3 寄存器
- ALU 表条目 4 寄存器

可以读取所有静态和动态条目，但只可以写入静态条目。由于大多数表格条目是通过硬件地址学习自动创建的，并且该表是 4 向关联的，所以有三种不同方法来访问该存储：

1. 按 MAC 地址查找。这利用了用于入口数据包转发查找的相同散列标签查找电路。散列标记算法由开关查找引擎控制 0 寄存器中的散列选项位指定。这通常是写入静态条目时应采取的方式 （读或写）。
2. 直接寻址 （读或写）。
3. 顺序搜索，返回所有有效条目 （只读）。

图 5-3： 地址查找表配置



5.3.1.1 地址查找表读取操作

1. 将索引写入 ALU 表索引 0 寄存器和 ALU 表索引 1 寄存器。
   a） 散列索引函数使用 MAC 地址，这是该表的正常访问机制。
   b） 如果使能 VLAN，则还需要 FID。
   c） 如果直接对该表寻址，则会将 12 位索引写入 MAC 地址字段的 bit [11:0]。
2. 写入 ALU 表访问控制寄存器。
   a） 将 ACTION 字段设置为 10 以指示读取操作。
   b） 通过 DIRECT 位选择寻址方式。
   c） 将 START_FINISH 位置 1 以启动操作。
3. 读取 / 轮询 ALU 表访问控制寄存器。
   a） START_FINISH 位转换为 0 表示操作已完成。
   b） START_FINISH 为 0 后，VALID 位指示是否找到了有效条目。如果 VALID 为 false，则不需要继续执行步骤 4。
   c） VALID_ENTRY_OR_SEARCH_END 位是 START_FINISH 位和 VALID 位的集合。它在通过带内管理（IBA）访问寄存器时使用，其中轮询多个位可行性较小。
4. 从ALU表条目1寄存器、ALU表条目2寄存器、ALU表条目3寄存器和ALU表条目4寄存器读取返回表条目的内容。如果没有返回 VALID 条目，这些寄存器将包含全零。

© 2018 Microchip Technology Inc.

5.3.1.2 地址查找表搜索操作

访问地址查找表的第二种方法是通过搜索操作。按顺序搜索整个表，从而找到每个有效的条目。无效的地址条目会被跳过，因而提供了一种搜索整个表的高效方式。 ALU 表访问控制寄存器中的 START_FINISH 位置 1 时，将开始从表格顶部进行搜索。搜索完成后，该位清零。在表格搜索期间，搜索开始后，ALU 表访问控制寄存器中的 VALID 位清零。VALID 位指示在 ALU 表条目寄存器 （0x0420-0x042F）中找到有效条目的时间。读取最后一个 ALU 表条目寄存器 （ALU 表条目 4 寄存器）后，搜索过程会自动继续寻找地址表中的下一个有效条目。START_FINISH 位保持置 1 状态，直到返回了表中所有有效的条目。将 ALU 表访问控制寄存器 START_FINISH 位置 0，可以随时停止搜索。

1. 写入 ALU 表访问控制寄存器。
   a） 将 ACTION 字段设置为 11 以指示搜索操作。
   b） 将 START_FINISH 位置 1 以启动操作。
2. 轮询 VALID 位，直至其置 1。
   a） 如果通过带内管理（IBA）而不是 SPI 或 I^2C 访问寄存器，请轮询 VALID_ENTRY_OR_SEARCH_END。该位变高位指示返回了新的有效条目或搜索完成。
3. 请按照该顺序从ALU表条目1寄存器、ALU表条目2寄存器、ALU表条目3寄存器和ALU表条目4寄存器读取条目。
   a） 如果搜索结束且没有更多有效条目要读取，那么这些寄存器将返回全零。在这种情况下，请转到步骤 5。
4. 如果 START_FINISH = 0，则转到步骤 5 ；否则，请转到步骤 2。
5. 读取 VALID_COUNT 以验证有效条目的数量。

5.3.1.3 地址查找表写入操作

1. 执行读取操作以获取当前条目的内容。这些值保存在ALU表条目1寄存器、ALU表条目2寄存器、ALU表条目3寄存器和 ALU 表条目 4 寄存器中。
2. 根据需要修改正确的条目。使 STATIC 位置 1 以便条目不会老化。
3. 写入 ALU 表访问控制寄存器。
   a） 将 ACTION 字段设置为 01 可指示写入操作。
   b） 通过 DIRECT 位选择寻址方式。
   c） 将 START_FINISH 位置 1 以启动操作。

5.3.1.4 ALU 表条目 1 寄存器

地址： 0x0420 - 0x0423 大小： 32 位

位	说明	类型	默认值
31	**STATIC** 1 = 条目是静态条目且由主机处理器更新；不会老化 0 = 条目是动态学习条目且会老化	R/W	0b
30	**SRC FILTER** 1 = 源学习期间，如果源地址匹配，则丢弃数据包 0 = 如果源地址匹配，则不丢弃	R/W	0b
29	**DES FILTER** 1 = 查找过程中，如果目标地址匹配，则丢弃数据包 0 = 如果目标地址匹配，则不丢弃	R/W	0b
28:26	**PRIORITY**（对于静态条目） **AGE COUNT**（对于动态条目） > 0 = 自上次老化过程以来，已访问或学习过条目。每次学习或访问条目时，都会重新加载默认值。老化过程中，它会递减。 0 = 自上次老化过程以来没有访问或学习过条目。如果不是静态条目，则无效。	R/W	0_00b
25:3	**保留**	RO	0x000000
2:0	**MSTP** 用于匹配的多个生成树协议组 ID	R/W	000b

5.3.1.5 ALU 表条目 2 寄存器

地址： 0x0424 - 0x0427 大小： 32 位

位	说明	类型	默认值
31	**OVERRIDE** 1 = 使能端口状态改写 0 = 不使能	R/W	0b
30:7	**保留**	RO	0x000000
6:0	**被转发端口** 每个位对应一个器件端口。 Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 转发到相应端口 0 = 不转发到相应端口	R/W	0x00

© 2018 Microchip Technology Inc.

5.3.1.6 ALU 表条目 3 寄存器

地址： 0x0428 - 0x042B 大小： 32 位

位	说明	类型	默认值
31:23	**保留**	RO	0x000
22:16	**FID** 用于匹配的 VLAN 组 ID	R/W	000_0000
15:0	**MAC 地址 [47:32]**	R/W	0x0000

5.3.1.7 ALU 表条目 4 寄存器

地址： 0x042C - 0x042F 大小： 32 位

位	说明	类型	默认值
31:0	**MAC 地址 [31:0]**	R/W	0x00000000

5.3.2 静态地址表

静态地址表是用于 MAC 地址查找的三个表之一。它最多可以保存 16 个静态地址条目，从而最大限度减少了可能需要编入地址查找表中的静态条目数量，其中地址查找表主要用于保存动态条目。在响应目标地址 （DA）查找时，会搜索所有表以做出数据包转发决定。该表中的条目由主机处理器编入且永远不会老化。

静态 DA 查找结果 （在该表或地址查找表中）的优先级高于动态 DA 查找结果。

静态地址表有 16 个条目，可以间接访问。静态地址和保留多播表控制寄存器用于索引以及读 / 写控制。以下寄存器用于数据字段：

- 静态地址表条目 1 寄存器
- 静态地址表条目 2 寄存器
- 静态地址表条目 3 寄存器
- 静态地址表条目 4 寄存器

5.3.2.1 静态地址表写入操作

1. 将表条目的内容写入静态地址表条目 1 寄存器、静态地址表条目 2 寄存器、静态地址表条目 3 寄存器和静态地址表条目 4 寄存器。
2. 写入静态地址和保留多播表控制寄存器。
   a） 将 4 位索引值写入 TABLE_INDEX 字段。
   b） 将 TABLE_SELECT 位置 0 以选择静态地址表。
   c） 将 ACTION 位置 0 以指示写入操作。
   d） 将 START_FINISH 位置 1 以启动操作。
3. 操作完成后， START_FINISH 位会自动清零。

5.3.2.2 静态地址表读取操作

1. 写入静态地址和保留多播表控制寄存器。
   a） 将 4 位索引值写入 TABLE_INDEX 字段。
   b） 将 TABLE_SELECT 位置 0 以选择静态地址表。
   c） 将 ACTION 位置 1 以指示读取操作。

d） 将 START_FINISH 位置 1 以启动操作。

2. 操作完成后， START_FINISH 位会自动清零。

a） 从静态地址表条目 1 寄存器、静态地址表条目 2 寄存器、静态地址表条目 3 寄存器和静态地址表条目 4 寄存器读取索引条目的内容。

5.3.2.3 静态地址表条目 1 寄存器

地址： 0x0420 - 0x0423 大小： 32 位

位	说明	类型	默认值
31	**VALID** 1 = 条目有效 0 = 条目无效	R/W	0b
30	**SRC FILTER** 1 = 源学习期间，如果源地址匹配，则丢弃数据包 0 = 如果源地址匹配，则不丢弃	R/W	0b
29	**DES FILTER** 1 = 查找过程中，如果目标地址匹配，则丢弃数据包 0 = 如果目标地址匹配，则不丢弃	R/W	0b
28:26	**优先级**	R/W	0_00b
25:3	**保留**	RO	0x000000
2:0	**MSTP** 用于匹配的多个生成树协议组 ID	R/W	000b

5.3.2.4 静态地址表条目 2 寄存器

地址： 0x0424 - 0x0427 大小： 32 位

位	说明	类型	默认值
31	**OVERRIDE** 1 = 使能端口状态改写 0 = 不使能	R/W	0b
30	**USE FID** 对多播数据包使用 FID 进行匹配	R/W	0b
29:7	**保留**	RO	0x000000
6:0	**被转发端口** 每个位对应一个器件端口。 Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 转发到相应端口 0 = 不转发到相应端口	R/W	0x00

© 2018 Microchip Technology Inc.

5.3.2.5 静态地址表条目 3 寄存器

地址： 0x0428 - 0x042B 大小： 32 位

位	说明	类型	默认值
31:23	**保留**	RO	0x000
22:16	**FID** 用于匹配的 VLAN 组 ID	R/W	000_0000b
15:0	**MAC 地址 [47:32]**	R/W	0x0000

5.3.2.6 静态地址表条目 4 寄存器

地址： 0x042C - 0x042F 大小： 32 位

位	说明	类型	默认值
31:0	**MAC 地址 [31:0]**	R/W	0x00000000

5.3.3 保留多播地址表

保留多播地址表用于确定 48 个特定多播地址的转发端口。该表由多播地址的 6 个最低有效位进行寻址，表格内容是代表器件上每个可能转发端口的位 （PORT_FORWARD 字段）。它并不根据表 4-6 第一列中的组号进行寻址。请注意，48 个地址分成 8 个固定组，并且更改一个地址的转发端口也会对同一组中的所有其他地址进行相同的更改。

保留多播表与静态地址表相同使用相同的间接访问寄存器进行寻址。静态地址和保留多播表控制寄存器用于索引以及读 / 写控制，而保留多播地址表条目 2 寄存器用于数据字段。

5.3.3.1 保留多播表写入操作

1. 将 PORT_FORWARD 值写入保留多播地址表条目 2 寄存器。
2. 写入静态地址和保留多播表控制寄存器。
   a） 将 6 位索引值写入 TABLE_INDEX 字段。
   b） 将 TABLE_SELECT 位置 1 以选择保留多播表。
   c） 将 ACTION 位置 0 以指示写入操作。
   d） 将 START_FINISH 位置 1 以启动操作。
3. 操作完成后， START_FINISH 位会自动清零。

5.3.3.2 保留多播表读取操作

1. 写入静态地址和保留多播表控制寄存器。
   a） 将 6 位索引值写入 TABLE_INDEX 字段。
   b） 将 TABLE_SELECT 位置 1 以选择保留多播表。
   c） 将 ACTION 位置 1 以指示读取操作。
   d） 将 START_FINISH 位置 1 以启动操作。
2. 操作完成后， START_FINISH 位会自动清零。
   a） 从保留多播地址表条目 2 寄存器读取索引条目的内容。

5.3.3.3 保留多播地址表条目 2 寄存器

地址： 0x0424 - 0x0427 大小： 32 位

位	说明	类型	默认值
31:30	**保留**	R/W	00b
29:7	**保留**	RO	0x000000
6:0	**被转发端口** 每个位对应一个器件端口。 Bit 0 对应于端口 1 Bit 1 对应于端口 2，以此类推 1 = 转发到相应端口 0 = 不转发到相应端口	R/W	0x00

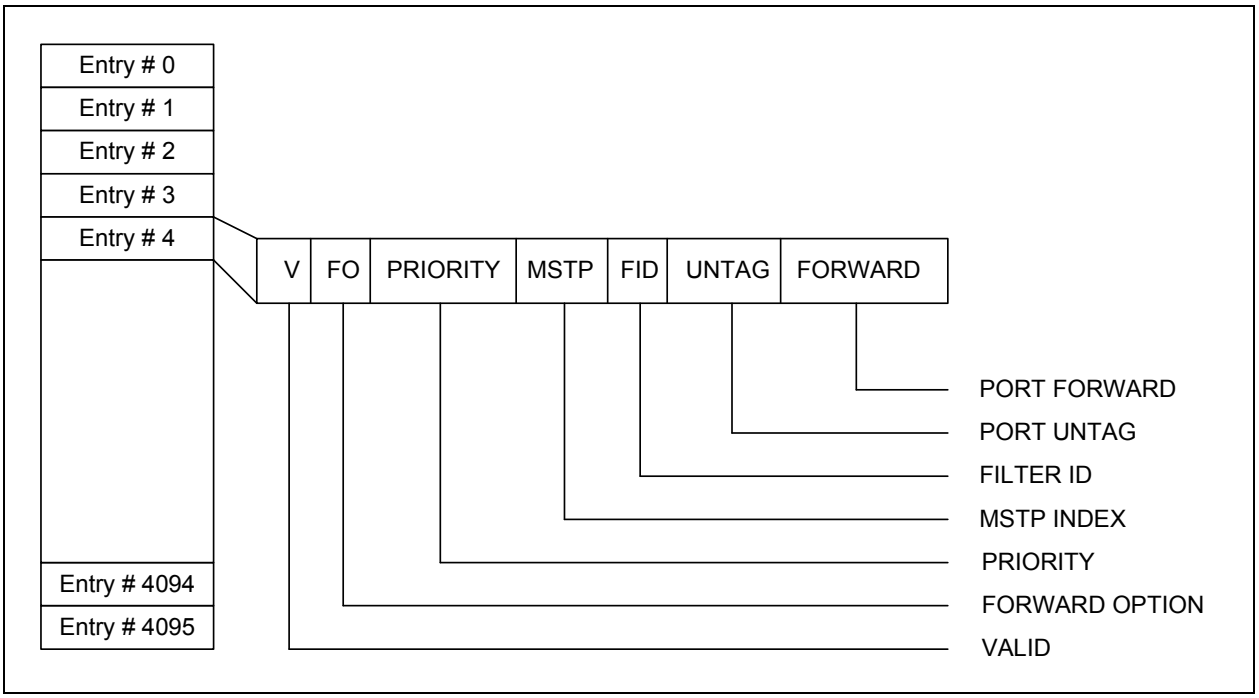
5.3.4 VLAN 表

内部 VLAN 表用于 VLAN 查找。如果使能 802.1Q VLAN 模式（开关查找引擎控制 0 寄存器），则将使用该表来检索与入口数据包关联的 VLAN 信息。该表包含 4096 个条目，每个可能的 VLAN 对应一个条目。在使能 802.1Q VLAN 之前，必须先设置该表。 VLAN 表使用以下间接寄存器来访问，每次访问一个条目：

- VLAN 表条目 0 寄存器
- VLAN 表条目 1 寄存器
- VLAN 表条目 2 寄存器
- VLAN 表索引寄存器
- VLAN 表访问控制寄存器

图 5-4 和表 5-4 中说明了表格数据字段。

图 5-4： VLAN 表结构



© 2018 Microchip Technology Inc.

表 5-4： VLAN 表数据字段

字段	大小 （位数）	说明
VALID	1	为 1 时，表示表条目是有效的。
转发选项	1	为 1 时，转发到 VLAN 端口表 （PORT FORWARD 字段）。 为 0 时，请参见表 4-8 “VLAN 转发”以了解详细信息。
优先级	3	该 VID 的优先级值。
MSTP 索引	3	多生成树协议索引。
FID	7	过滤 ID 值。它与目标地址结合使用，然后经过散列处理来为地址查找表建立索引。
端口取消标记	7 （每个端口 1 个）	为 1 时，则在该出口端口处取消标记。 为 0 时，不取消标记。
被转发端口	7 （每个端口 1 个）	VLAN 端口成员列表。每个端口对应一个位，从与端口 1 对应的最低有效位开始。 位值为 1 表示该 VID 的端口成员列表包含关联端口。 为 0 时，则不包括该端口。

5.3.4.1 VLAN 表写入操作

1. 写入VLAN表条目0寄存器、VLAN表条目1寄存器和VLAN表条目2寄存器以按照图5-4和表5-4中所述设置数据字段。
2. 将VLAN索引值写入VLAN表索引寄存器。这是用于选择表条目的12位索引（地址）。它相当于在查找过程中为该表索引的 VID。
3. 写入 VLAN 表访问控制寄存器以指定写入操作并将 START （bit 7）置 1。操作完成后， bit 7 会自动清零。

5.3.4.2 VLAN 表读取操作

1. 将 VLAN 索引值写入 VLAN 表索引寄存器以选择 4000 个表条目中的一个。
2. 写入 VLAN 表访问控制寄存器以指定读取操作并将 START （bit 7）置 1。操作完成后， bit 7 会自动清零。
3. 读取 VLAN 表条目 0 寄存器、 VLAN 表条目 1 寄存器和 VLAN 表条目 2 寄存器以检索 VLAN 表的读取结果。

5.3.5 访问控制列表 （ACL）表

ACL 过滤是通过每个端口单独实现的。 ACL 表使用端口 N：端口开关 ACL 控制寄存器 （0xN600 - 0xN6FF）来访问。每个 ACL 表中的 16 个条目由索引寄存器间接寻址。

表 5-5 显示了 ACL 表条目的各个字段映射到数据寄存器的方式。通过端口 ACL 字节使能 MSB 寄存器和端口 ACL 字节使能 LSB 寄存器可以写入或读取任何字节的组合。这在分别编写匹配规则、操作规则和过程字段时很有用。这些字节使能寄存器中有 16 位，对应于端口 ACL 访问 0 寄存器至端口 ACL 访问 F 寄存器的 16 个数据寄存器。请注意，使能位采用相反顺序：

Bit 0对应于端口ACL访问F寄存器

Bit 1对应于端口ACL访问E寄存器

…

Bit 14对应于端口ACL访问1寄存器

Bit 15对应于端口ACL访问0寄存器

另请注意，这里不使用端口 ACL 访问 C 寄存器，因此字节使能位 bit 3 为任意值。

表 5-5： ACL 字段寄存器映射

寄存器	位	MD = 01 ENB = 00 计数模式	MD = 01 ENB ≠ 00	MD = 10	MD = 11
0xN600	7:4	保留			
	3:0	过程字段：FRN [3:0]			
0xN601	7:6	保留			
	5:4	MD [1:0]			
	3:2	ENB [1:0]			
	1	S / D			
	0	EQ			
0xN602	7:0	MAC 地址 [47:0]		IP 地址 [31:0]	最大端口 [15:0]
0xN603	7:0				
0xN604	7:0				最小端口 [15:0]
0xN605	7:0				
0xN606	7:3			IP 掩码 [31:0]	保留
	2:1				PC [1:0]
	0				PRO [7:0]
0xN607	7:1				
	0				FME
0xN608	7:0	类型 [15:0]			FMSK [7:0]
0xN609	7:0				标记 [7:0]
0xN60A	7:6	计数 [10:3]	操作规则：PM [1:0]		
	5:3		操作规则：P [2:0]		
	2		操作规则：RPE		
	1:0		操作规则：RP [2:1]		
0xN60B	7	计数 [2:0]	操作字段：RP [0]		
	6:5		操作字段：MM [1:0]		
	4:0	保留			
0xN60C	7:0	保留			
0xN60D	7	保留			
	6	TU	操作字段：转发 [6:0]		
	5	CA			
	4:0	保留			
0xN60E	7:0		过程字段：规则集 [15:8]		
0xN60F	7:0		过程字段：规则集 [7:0]		

5.3.5.1 ACL 表读取

1. 将 ACL 索引字段中的表条目编号（0 至 15）写入端口 ACL 访问控制 0 寄存器，并将写 / 读 bit 4 清零。写入该寄存器的这一操作会启动读取操作。
2. 轮询端口 ACL 访问控制 0 寄存器中的读取状态位以确定读取操作完成的时间。
3. 操作完成后，可通过端口 ACL 访问 0 寄存器至端口 ACL 访问 F 寄存器检索数据。

© 2018 Microchip Technology Inc.

5.3.5.2 ACL 表写入

1. 将 ACL 表条目值写入端口 ACL 访问 0 寄存器至端口 ACL 访问 F 寄存器。
2. 写入端口ACL字节使能MSB寄存器和端口ACL字节使能LSB寄存器以选择要写入ACL表的寄存器（端口ACL访问 0 寄存器至端口 ACL 访问 F 寄存器）。
3. 将ACL索引字段中的表条目编号写入端口ACL访问控制0寄存器，并将写/读bit 4置1。写入该寄存器的这一操作会启动写入操作。
4. 轮询端口 ACL 访问控制 0 寄存器中的写入状态位以确定该操作的完成时间。

5.3.6 管理信息库 （Management Information Base， MIB）计数器

每个端口有 36 个 MIB 计数器。这些计数器用于累积关于入口和出口流量和事件的各种统计数据，以便进行网络管理。这些统计数据可以使用端口 MIB 控制和状态寄存器和端口 MIB 数据寄存器间接访问。开关 MIB 控制寄存器提供 MIB 计数器的全局刷新和冻结控制。

表 5-6： MIB 计数器

MIB 索引	MIB 计数器	大小（位数）	说明
0x00	RxHiPriorityByte	30	接收高优先级八位字节计数，包括坏数据包。
0x01	RxUndersizePkt	30	接收 CRC 良好的超小数据包。
0x02	RxFragments	30	接收 CRC 不佳、存在符号错误或对齐错误的分片数据包。
0x03	RxOversize	30	接收 CRC 良好的超大数据包 （最大 1536 或 1522 字节）。
0x04	RxJabbers	30	接收长度超出 1522 字节且存在 CRC 错误、对齐错误或符号错误的数据包 （取决于最大数据包大小设置）；或只接收长度超出 1916 字节的数据包。
0x05	RxSymbolError	30	接收数据符号无效的数据包；以及合法的前导码和数据包大小。
0x06	RxCRCerror	30	接收大小在 64 和 1522 字节之间、字节数为整数且 CRC 不佳的数据包。（上限取决于最大数据包大小设置。）
0x07	RxAlighmentError	30	接收大小在64和1522字节之间、字节数为非整数且CRC不佳的数据包。（上限取决于最大数据包大小设置。）
0x08	RxControl8808Pkts	30	收到 EtherType 字段中为 0x8808 的 MAC 控制帧。
0x09	RxPausePkts	30	收到 PAUSE 帧。 PAUSE 定义为 EtherType （0x8808）、目标地址、控制操作码 （0x0001）、长度最小 64 字节和有效 CRC。
0x0A	RxBroadcast	30	接收良好的广播数据包。不包括出错的广播数据包或有效多播数据包。
0x0B	RXMulticast	30	接收良好的多播数据包。不包括 MAC 控制帧、出错的多播数据包或有效广播数据包。
0x0C	RxUnicast	30	接收良好的单播数据包。
0x0D	Rx64Octets	30	接收长度为 64 字节的数据包 （包括坏包）。
0x0E	Rx65to127Octets	30	接收长度在 65 和 127 字节之间的数据包 （包括坏包）。
0x0F	Rx128to255Octets	30	接收长度在 128 和 255 字节之间的数据包 （包括坏包）。
0x10	Rx256to511Octets	30	接收长度在 256 和 511 字节之间的数据包 （包括坏包）。
0x11	Rx512to2023Octets	30	接收长度在 512 和 1023 字节之间的数据包 （包括坏包）。
0x12	Rx1024to1522Octets	30	接收长度在 1024 和 1522 字节之间的数据包 （包括坏包）。
0x13	Rx1523to2000Octets	30	接收长度在 1523 和 2000 字节之间的数据包 （包括坏包）。
0x14	Rx2001+Octets	30	接收长度在 2001 字节和上限之间的数据包 （包括坏包）。

© 2018 Microchip Technology Inc.

表 5-6： MIB 计数器 （续）

MIB 索引	MIB 计数器	大小（位数）	说明
0x15	TxHiPriorityByte	30	发送高优先级良好八位字节计数，包括 PAUSE 数据包。
0x16	TxLateCollision	30	在传输一个数据包的过程中，检测到冲突的时间要晚于 512 位。
0x17	TxPausePkts	30	发送了 PAUSE 帧。PAUSE 为 EtherType（0x8808）、目标地址、控制操作码 （0x0001）、长度最小 64 字节和有效 CRC。
0x18	TxBroadcastPkts	30	发送良好的广播数据包。不包括出错的广播数据包或有效多播数据包。
0x19	TxMulticastPkts	30	发送良好的多播数据包。不包括 MAC 控制帧、出错的多播数据包或有效广播数据包。
0x1A	TxUnicastPkts	30	发送良好的单播数据包。
0x1B	TxDeferred	30	发送第一次发送尝试由于介质繁忙而延迟的数据包。
0x1C	TxTotalCollision	30	发送总冲突数。仅限半双工。
0x1D	TxExcessiveCollision	30	由于冲突过多，导致发送失败。
0x1E	TxSingleCollision	30	成功发送的帧，其传输被一个冲突禁止。
0x1F	TxMultipleCollision	30	成功发送的帧，其传输被多个冲突禁止。
0x80	RxByteCnt	36	接收字节计数。
0x81	TxByteCnt	36	发送字节计数。
0x82	RxDropPackets	30	收到的数据包因缺少资源而被丢弃。
0x83	TXDropPackets	30	发送的数据包因缺少资源而被丢弃。

5.3.6.1 MIB 计数器读取操作

MIB 计数器采用间接访问寄存器来读取。通过端口 MIB 控制和状态寄存器和端口 MIB 数据寄存器为每个端口提供；额单独的访问寄存器。所有 MIB 计数器都是读取 — 清零计数器。读取计数器的步骤如下：

1. 将 MIB 索引写入端口 MIB 控制和状态寄存器的 bit [23:16]。
2. 在端口 MIB 控制和状态寄存器的 bit 25 中设置 MIB 读取使能。这一步和上一步可以一起完成。
3. 读取端口 MIB 控制和状态寄存器的 bit 25 中的 “MIB 读取使能 / 计数有效”。“0”值表示读取完成且计数有效。
4. 从端口 MIB 数据寄存器读取计数值。对于 36 位计数器，从端口 MIB 控制和状态寄存器读取计数器 bit [35:32]。在端口 MIB 控制和状态寄存器中还可以找到计数器溢出位。

© 2018 Microchip Technology Inc.

5.3.6.2 MIB 计数器冻结和刷新功能

计数器冻结和刷新功能是按照每个端口分别提供的。将开关 MIB 控制寄存器中相应的位置 1 可启动计数器的冻结或刷新。冻结或刷新功能将应用于使能了刷新和冻结功能的所有端口。要使能端口的刷新和冻结功能，请将端口 MIB 控制和状态寄存器中的 bit 24 置 1。

以下步骤举例说明了如何使用刷新和冻结功能来收集所有端口 1 秒钟的 MIB 统计信息：

1. 为所有端口 N 将端口 MIB 控制和状态寄存器中的 MIB 刷新和冻结使能位 bit 24 置 1。
2. 将 0x40 写入开关 MIB 控制寄存器可冻结所有使能端口的 MIB 计数器。
3. 将 0xC0 写入开关 MIB 控制寄存器可将所有已使能端口的 MIB 计数器清零 （同时还继续冻结计数器）。
4. 在 1 秒周期开始时，将 0x00 写入开关 MIB 控制寄存器以使能计数器。
5. 在 1 秒周期结束时，将 0x40 写入开关 MIB 控制寄存器以冻结计数器。
6. 读取每个端口对应的每个计数器。

5.4 MDIO 可管理器件 （MDIO Manageable device， MMD）寄存器 （间接）

MMD 寄存器提供对多达 32 个 MMD 器件地址的间接读 / 写访问，每个器件支持多达 65,536 个 16 位寄存器，定义参见 IEEE 802.3 规范第 22 条。但 KSZ8567R 只使用这些可用寄存器中的一小部分。有关可访问 MMD 器件地址及其关联寄存器地址的列表，请参见表 5-7 “MMD 寄存器映射”。以下小节详细说明了支持的 MMD 寄存器。

以下两个标准端口寄存器用作访问间接 MMD 寄存器的门户寄存器。

- PHY MMD 设置寄存器
- PHY MMD 数据寄存器

表 5-7： MMD 寄存器映射

器件地址 （十六进制）	寄存器地址 （十六进制）	说明
2h	00h	MMD LED 模式寄存器
7h	3Ch	MMD EEE 通告寄存器

示例：MMD 寄存器写入

写入 MMD— 器件地址 2h、寄存器 00h = 0001h，以使能单 LED 模式。

1. 将 0002h 写入 PHY MMD 设置寄存器 // 设置 MMD— 器件地址 2h 的寄存器地址
2. 将 0000h 写入 PHY MMD 数据寄存器 // 选择 MMD— 器件地址 2h 的寄存器 00h
3. 将 4002h 写入 PHY MMD 设置寄存器 // 选择 MMD— 器件地址 2h、寄存器 00h 的寄存器数据
4. 将 0010h 写入 PHY MMD 数据寄存器 // 将值 0010h 写入 MMD— 器件地址 2h、寄存器 00h。

示例：MMD 寄存器读取

读取 MMD— 器件地址 2h、寄存器 11h-13h，以获取 LED 模式状态。

1. 将 0002h 写入 PHY MMD 设置寄存器 // 设置 MMD— 器件地址 2h 的寄存器地址
2. 将 0000h 写入 PHY MMD 数据寄存器 // 选择 MMD— 器件地址 2h 的寄存器 00h
3. 将 4002h 写入 PHY MMD 设置寄存器 // 选择 MMD— 器件地址 2h、寄存器 00h 的寄存器数据
4. 读取 PHY MMD 数据寄存器 // 读取 MMD— 器件地址 2h、寄存器 00 中的数据。

5.4.1 MMD LED 模式寄存器

MMD 地址： 0x02　　大小： 16 位
寄存器： 0x00

位	说明	类型	默认值
15:5	**保留**	RO	0x000
4	**LED 模式** 1 = 单 LED 模式 0 = 三色双 LED 模式	R/W	0b
3:0	**保留**	RO	0001b

5.4.2 MMD EEE 通告寄存器

MMD 地址： 0x07　　大小： 16 位
寄存器： 0x3C

位	说明	类型	默认值
15:2	**保留**	RO	0x000
1	**100BASE-T EEE 使能** 1 = 支持 100 Mbps EEE 0 = 不支持 100 Mbps EEE	R/W	1b
0	**保留**	RO	0b

© 2018 Microchip Technology Inc.

6.0 工作特性

6.1 绝对最大额定值 *

电源电压 （**AVDDL** 和 **DVDDL**） . . . . . -0.5 V 至 +1.8 V
电源电压 （**AVDDH** 和 **VDDIO**） . . . . . -0.5 V 至 +5.0 V
输入电压 （所有输入） . . . . . -0.5 V 至 +5.0 V
输出电压 （所有输出） . . . . . -0.5 V 至 +5.0 V
引脚温度 （焊接， 20 秒） . . . . . +260°C
存储温度 （T_S） . . . . . -65°C 至 +150°C
最大结温 （T_J） . . . . . +125°C
HBM ESD 性能 . . . . . +/-6 kV

* 如果器件的工作条件超过本节中所列的这些值，可能对器件造成永久性损坏。上述数值仅是工作条件最大值。器件长时间工作在绝对最大额定值条件下，其可靠性可能受到影响。建议不要使器件工作在超过第 6.2 节 “工作条件 **”、第 6.3 节 “电气特性”或本规范中任何其他相关章节中指定的条件下。

6.2 工作条件 **

电源电压 （**AVDDL** 和 **DVDDL**） . . . . . +1.14V 至 +1.26 V
电源电压 （**AVDDH**， 3.3V 时） . . . . . +3.135 V 至 +3.465 V
电源电压 （**AVDDH**， 2.5V 时） . . . . . +2.375 V 至 +2.625 V
电源电压 （**VDDIO**， 3.3V 时） . . . . . +3.135 V 至 +3.465 V
电源电压 （**VDDIO**， 2.5V 时） . . . . . +2.375 V 至 +2.625 V
电源电压 （**VDDIO**， 1.8V 时） . . . . . +1.71 V 至 +1.89 V
静止空气中的环境工作温度 （T_A） . . . . . 注 6-1
结温到环境温度的热阻 （Θ_{JA}）（注 6-2） . . . . . 注 6-3
结温到管壳温度的特性 （Ψ_{JT}）（注 6-2） . . . . . 0.04°C/W
结温到管壳温度的热阻 （Θ_{JC}）（注 6-2） . . . . . 注 6-4

注 6-1 扩展汽车级温度范围为 -40°C 至 +105°C，工业级温度范围为 -40°C 至 +85°C。

注 6-2 Ψ_{JT} 和 Θ_{JA} 处的空气流速为 0 m/s。工业应用需要一个 6 层 PCB。

注 6-3 按照 JESD51， 6 层 PCB 上的热阻为 11.3°C/W ； 按照 JESD51， 4 层 PCB 上的热阻为 14.4°C/W。

注 6-4 按照 JESD51， 6 层 PCB 上的热阻为 1.5°C/W ； 按照 JESD51， 4 层 PCB 上的热阻为 1.21°C/W。

** 仅在本章规定的范围内才能保证器件正常工作。

6.3 电气特性

T_A = 25°C。

表 6-1： 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
电源电流 —1000/100 Mbps 混合操作						
I_{DD_AH}	**AVDDH** 电源电流	**AVDDH** @ 2.5V； **VDDIO** @ 3.3V 端口 1-5 处于 100BASE-TX 模式 端口 6 和 7 处于 RGMII 模式 （1000 Mbps） 所有端口 100% 利用率		150		mA
I_{DD_IO}	**VDDIO** 电源电流			80		mA
I_{DD_CA}	**AVDDL** 电源电流			140		mA
I_{DD_CD}	**DVDDL** 电源电流			350		mA
电源电流 —100 Mbps 完全工作						
I_{DD_AH}	**AVDDH** 电源电流	**AVDDH** @ 2.5V； **VDDIO** @ 3.3V 端口 1-5 处于 100BASE-TX 模式 端口 6 和 7 处于 MII 模式 （100 Mbps） 所有端口 100% 利用率		140		mA
I_{DD_IO}	**VDDIO** 电源电流			35		mA
I_{DD_CA}	**AVDDL** 电源电流			140		mA
I_{DD_CD}	**DVDDL** 电源电流			350		mA
电源电流 —10 Mbps 完全工作						
I_{DD_AH}	**AVDDH** 电源电流	**AVDDH** @ 2.5V； **VDDIO** @ 3.3V 端口 1-5 处于 10BASE-Te 模式 端口 6 和 7 处于 MII 模式 （10 Mbps） 所有端口 100% 利用率		100		mA
I_{DD_IO}	**VDDIO** 电源电流（3.3V）			30		mA
I_{DD_CA}	**AVDDL** 电源电流			30		mA
I_{DD_CD}	**DVDDL** 电源电流			150		mA
电源电流 — 电源管理 — 能量检测模式						
I_{DD_AH}	**AVDDH** 电源电流			20		mA
I_{DD_IO}	**VDDIO** 电源电流（3.3V）			30		mA
I_{DD_CA}	**AVDDL** 电源电流			30		mA
I_{DD_CD}	**DVDDL** 电源电流			150		mA
电源电流 — 电源管理 — 全局软掉电模式						
I_{DD_AH}	**AVDDH** 电源电流			2		mA
I_{DD_IO}	**VDDIO** 电源电流（3.3V）			6		mA
I_{DD_CA}	**AVDDL** 电源电流			0.01		mA
I_{DD_CD}	**DVDDL** 电源电流			5		mA
I 型 CMOS 输入缓冲器 （VDDIO = 3.3/2.5/1.8V）						
V_{IH}	输入高电压		2.1/1.7/1.3			V
V_{IL}	输入低电压				0.9/0.9/0.6	V
I_{IN}	输入电流	V_{IN} = **GND ~ VDDIO**	-10		10	µA
O8 型 CMOS 输出缓冲器 （VDDIO = 3.3/2.5/1.8V）						
V_{OH}	输出高电压	I_{OH} = 8/8/6 mA	2.4/1.9/1.5			V
V_{CL}	输出低电压	I_{OL} = 8/8/6 mA			0.4/0.4/0.2	V
I_{OZ}	输出三态泄漏电流	V_{IN} = **GND ~ VDDIO**			10	µA

© 2018 Microchip Technology Inc.

表 6-1： 电气特性 （续）

符号	参数	条件	最小值	典型值	最大值	单位
O24 型 CMOS 输出缓冲器 （VDDIO = 3.3/2.5/1.8V）						
V_{OH}	输出高电压	I_{OH} = 24/24/20 mA	2.4/1.9/1.5			V
V_{CL}	输出低电压	I_{OL} = 24/24/20 mA			0.4/0.4/0.2	V
I_{OZ}	输出三态泄漏电流	V_{IN} = GND ~ VDDIO			10	µA
I/O 引脚内部上拉和下拉有效电阻						
R1.8PU	I/O 引脚有效上拉电阻	VDDIO = 1.8V		125		kΩ
R1.8PD	I/O 引脚有效下拉电阻			97		kΩ
R2.5PU	I/O 引脚有效上拉电阻	VDDIO = 2.5V		58		kΩ
R2.5PD	I/O 引脚有效下拉电阻			51		kΩ
R3.3PU	I/O 引脚有效上拉电阻	VDDIO = 3.3V		38		kΩ
R3.3PD	I/O 引脚有效下拉电阻			39		kΩ
100BASE-TX 发送 （在 1:1 变压器后进行差分测量）						
V_O	峰值差分输出	差分输出上 100Ω 端接电阻	±0.95		±1.05	V
V_{imb}	输出电压不平衡	差分输出上 100Ω 端接电阻			2	%
t_r , t_f	上升 / 下降时间		3		5	ns
	上升 / 下降时间不平衡		0		0.5	ns
	占空比失真				±0.25	ns
	过冲				5	%
V_{SET}	ISET 的参考电压 （使用 6.04 kΩ - 1% 电阻）			1.21		V
	输出抖动	峰到峰		0.7	1.4	ns
10BASE-T/Te 接收						
V_{sq}	静噪阈值	5 MHz 方波		400		mV
10BASE-Te 发送 （在 1:1 变压器后进行差分测量）						
V_p	峰值差分输出电压	差分输出上 100Ω 端接电阻	1.54	1.75	1.96	V
	已添加抖动	差分输出上 100Ω 端接电阻 （峰到峰）			3.5	ns
t_r , t_f	上升 / 下降时间			25		ns

表 6-1： 电气特性 （续）

符号	参数	条件	最小值	典型值	最大值	单位
10BASE-T 发送 （在 1:1 变压器后进行差分测量）						
V_p	峰值差分输出电压	差分输出上 100Ω 端接电阻	2.2	2.5	2.8	V
	已添加抖动	差分输出上 100Ω 端接电阻 （峰到峰）			3.5	ns
t_r , t_f	上升 / 下降时间			25		ns

© 2018 Microchip Technology Inc.

6.4 时序规格

本节详细介绍了器件的各种时序规格。

注： I²C 接口时序符合 NXP 《I²C 总线规范》（UM10204，第 6 版）（高速模式以及较低速模式）有关更多信息，请参见 《I²C 总线规范》。

6.4.1 RGMII 时序

图 6-1 显示了 RGMII 时序要求。

图 6-1： RGMII 时序

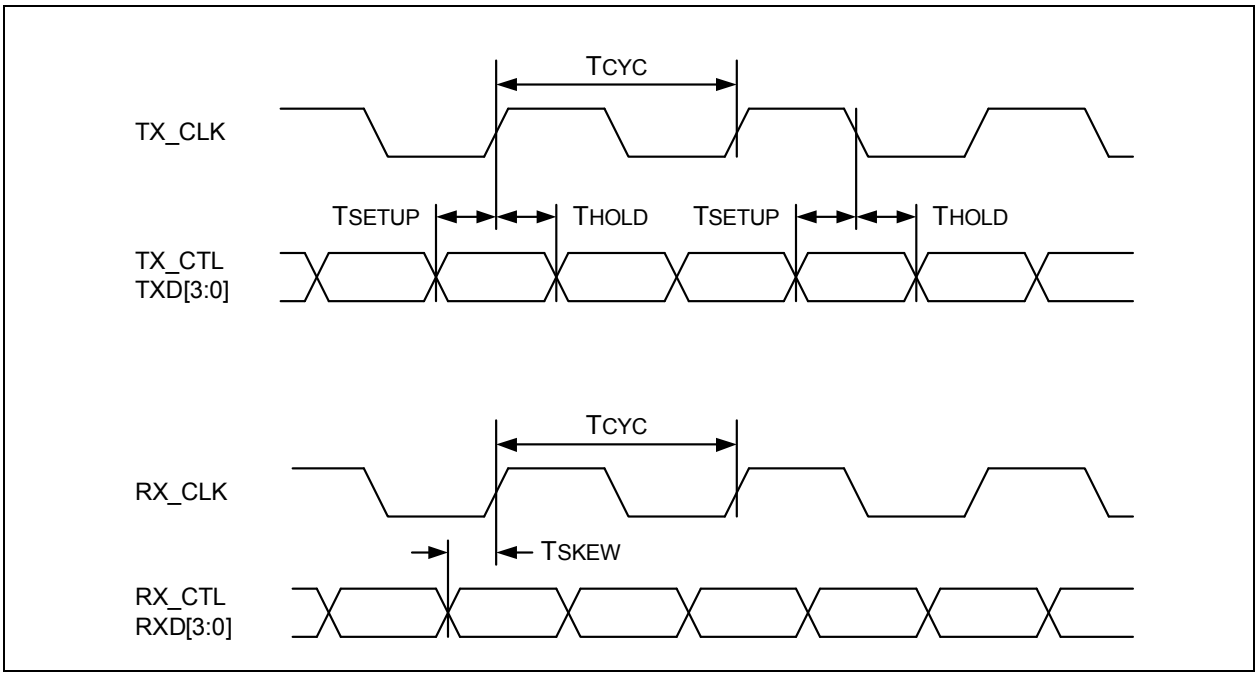


表 6-2： RGMII 时序值

符号	说明	最小值	典型值	最大值	单位
T_{SETUP}	端口 6 数据到时钟输入建立 （注 6-5）	2.2			ns
	端口 7 数据到时钟输入建立 （注 6-5）	1.3			ns
T_{HOLD}	端口 6 数据到时钟输入保持 （注 6-5）	0			ns
	端口 7 数据到时钟输入保持 （注 6-5）	0.7			ns
T_{SKEW}	数据到时钟输出偏斜 （注 6-6）	1.2	2.0		ns
T_{CYC}	时钟周期持续时间 （注 6-7）	7.2	8	8.8	ns
Duty_G	1000 Mbps 占空比	45	50	55	%
Duty_T	10/100 Mbps 占空比	40	50	60	%
T_r / T_f	上升 / 下降时间 （20-80%）			注 6-8	ns

注 6-5 对于输入数据和输入时钟之间不存在偏斜 （或偏斜不足）的情况，通过将 XMII 端口控制 1 寄存器寄存器中的 RGMII 入口内部延迟位置 1，可为 TX_CLK 引脚布局添加内部延迟。该功能可减少建立时间要求，和增加标称 1.3 ns 的保持时间要求。

注 6-6 RGMII 接口符合 RGMII 版本 2.0 规范，该规范规定了输出时钟相对于输出数据的驱动器件延迟。这是 T_{SKEW} 参数。通过将 XMII 端口控制 1 寄存器寄存器中的 RGMII 出口内部延迟位清零，可以禁止该偏斜。通常不建议这么做。

注 6-7 对于 10 Mbps 和 100 Mbps， T_{CYC} 将分别扩展到 400 ns +/- 40 ns 和 40 ns +/- 4 ns。

注 6-8 **VDDIO** = 3.3V/2.5V 时为 0.75 ns， **VDDIO** = 1.8V 时为 1.0 ns

6.4.2 MII 时序

6.4.2.1 MAC 模式下的 MII 发送时序

图 6-2 显示了在 MAC 模式下工作 KSZ8567R 时，从 KSZ8567R 到 PHY 或其他器件的写操作。

图 6-2： MAC 模式下的 MII 发送时序

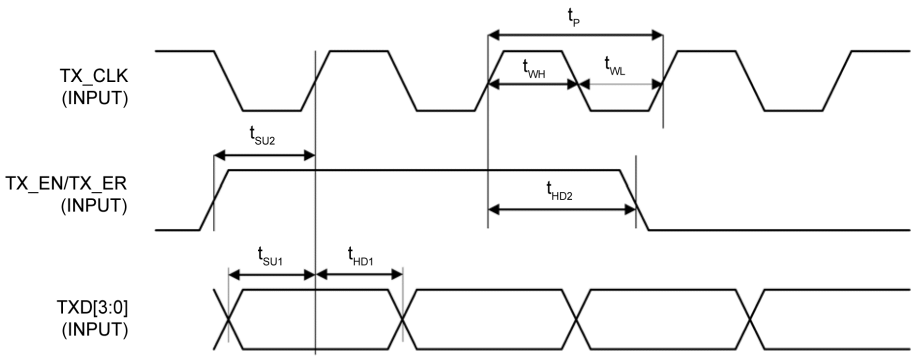


表 6-3： MAC 模式下的 MII 发送时序值

符号	说明	最小值	典型值	最大值	单位
t_P （100BASE-TX/ 10BASE-T/Te）	**RX_CLK** 周期		40/400		ns
t_{WL} （100BASE-TX/ 10BASE-T/Te）	**RX_CLK** 低电平脉冲宽度		20/200		ns
t_{WH} （100BASE-TX/ 10BASE-T/Te）	**RX_CLK** 高电平脉冲宽度		20/200		ns
t_{OD}	从 **RX_CLK** 上升沿到 **RX_DV** 和 **RXD_[3:0]** 的输出延迟		16		ns

© 2018 Microchip Technology Inc.

6.4.2.2 MAC 模式下的 MII 接收时序

图 6-3 显示了在 MAC 模式下工作 KSZ8567R 时， PHY 或其他器件对 KSZ8567R 进行的读操作。

图 6-3： MAC 模式下的 MII 接收时序

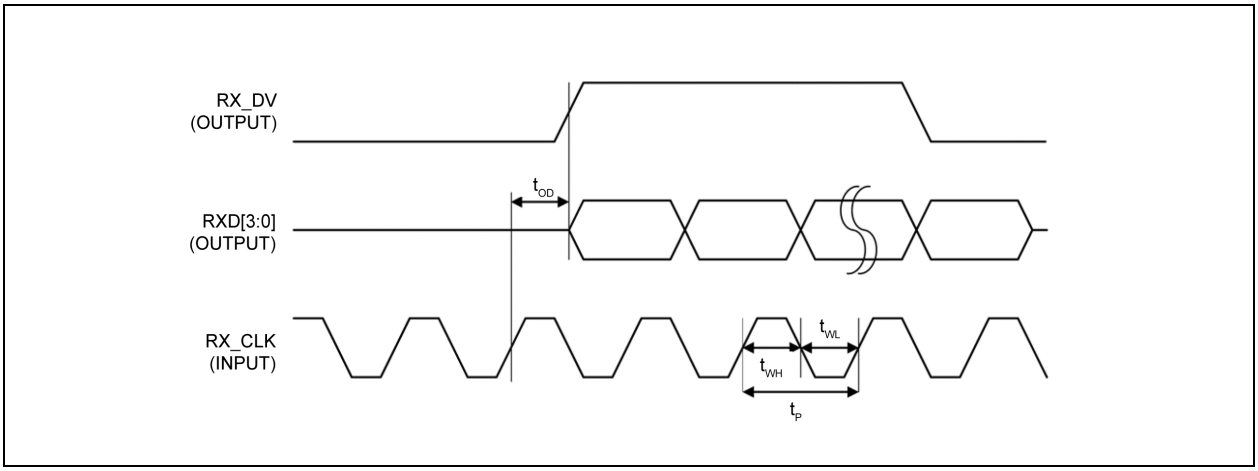


表 6-4： MAC 模式下的 MII 接收时序值

符号	说明	最小值	典型值	最大值	单位
t_P （100BASE-TX/ 10BASE-T/Te）	**TX_CLK** 周期		40/400		ns
t_{WL} （100BASE-TX/ 10BASE-T/Te）	**TX_CLK** 低电平脉冲宽度		20/200		ns
t_{WH} （100BASE-TX/ 10BASE-T/Te）	**TX_CLK** 高电平脉冲宽度		20/200		ns
t_{SU1}	从 **TXD_[3:0]** 到 **TX_CLK** 上升沿的建立时间	10			ns
t_{SU2}	从 **TX_EN** 和 **TX_ER** 到 **TX_CLK** 上升沿的建立时间	10			ns
t_{HD1}	从 **TX_CLK** 上升沿到 **TXD_[3:0]** 的保持时间	10			ns
t_{HD2}	从 **TX_CLK** 上升沿到 **TX_EN** 和 **TX_ER** 的保持时间	10			ns

6.4.2.3 PHY 模式下的 MII 接收时序

图 6-4： PHY 模式下的 MII 接收时序

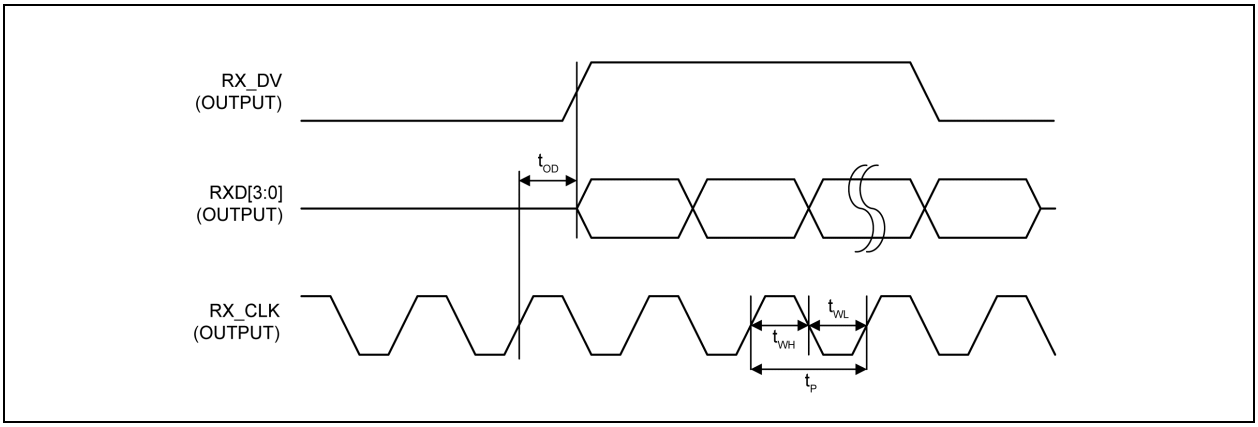


表 6-5： PHY 模式下的 MII 接收时序值

符号	说明	最小值	典型值	最大值	单位
t_P（100BASE-TX/10BASE-T/Te）	**RX_CLK** 周期		40/400		ns
t_{WL}（100BASE-TX/10BASE-T/Te）	**RX_CLK** 低电平脉冲宽度		20/200		ns
t_{WH}（100BASE-TX/10BASE-T/Te）	**RX_CLK** 高电平脉冲宽度		20/200		ns
t_{OD}	从 **RX_CLK** 上升沿到 **RX_DV** 和 **RXD_[3:0]** 的输出延迟		20		ns

© 2018 Microchip Technology Inc.

6.4.2.4 PHY 模式下的 MII 发送时序

图 6-5： PHY 模式下的 MII 发送时序

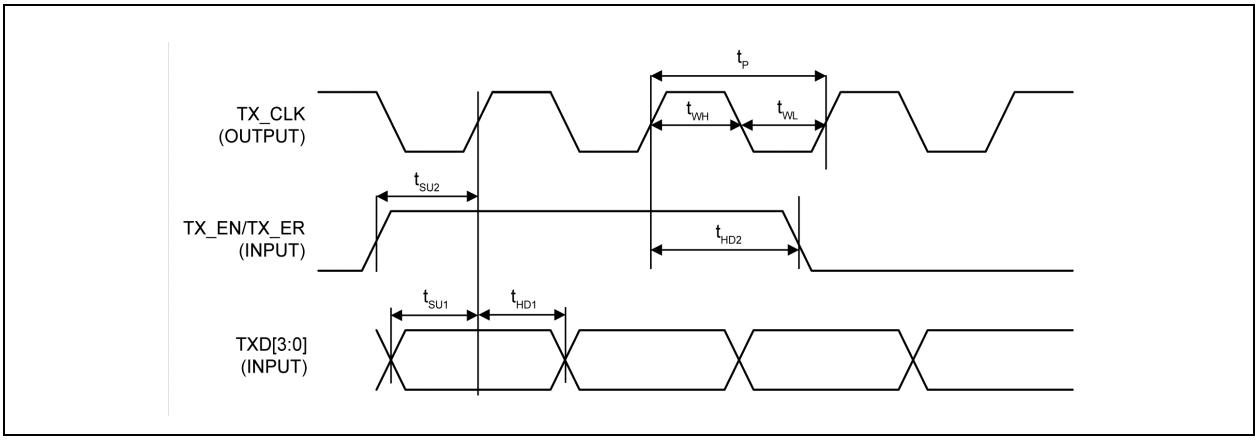


表 6-6： PHY 模式下的 MII 发送时序值

符号	说明	最小值	典型值	最大值	单位
t_P（100BASE-TX/10BASE-T/Te）	**TX_CLK** 周期		40/400		ns
t_{WL}（100BASE-TX/10BASE-T/Te）	**TX_CLK** 低电平脉冲宽度		20/200		ns
t_{WH}（100BASE-TX/10BASE-T/Te）	**TX_CLK** 高电平脉冲宽度		20/200		ns
t_{SU1}	从 **TXD_[3:0]** 到 **TX_CLK** 上升沿的建立时间	10			ns
t_{SU2}	从 **TX_EN** 和 **TX_ER** 到 **TX_CLK** 上升沿的建立时间	10			ns
t_{HD1}	从 **TX_CLK** 上升沿到 **TXD_[3:0]** 的保持时间	0			ns
t_{HD2}	从 **TX_CLK** 上升沿到 **TX_EN** 和 **TX_ER** 的保持时间	0			ns

6.4.3 RMII 时序

图 6-6 和图 6-7 说明了 RMII 时序要求。

图 6-6： RMII 发送时序

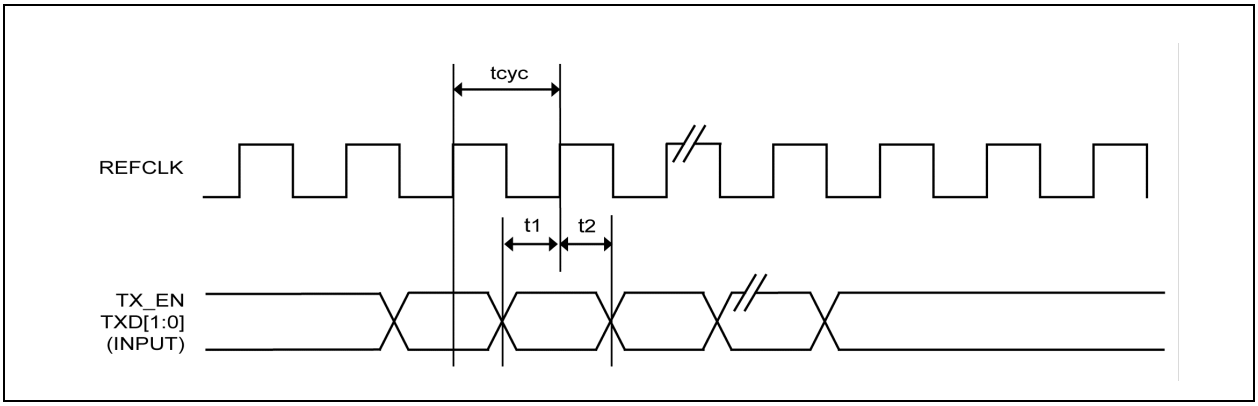


图 6-7： RMII 接收时序

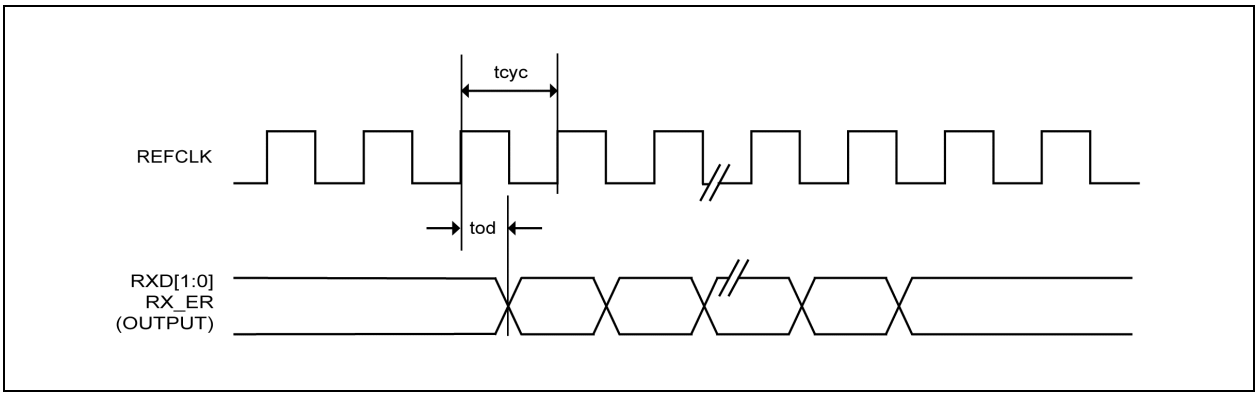


表 6-7： RMII 时序值

符号	说明	最小值	典型值	最大值	单位
t_{cyc}	时钟周期		20		ns
t_1	建立时间	4			ns
t_2	保持时间	2			ns
t_{od}	输出延迟	7	9	13	ns

© 2018 Microchip Technology Inc.

6.4.4 MIIM 时序

图 6-8 显示了 MIIM 时序要求。

图 6-8： MIIM 时序

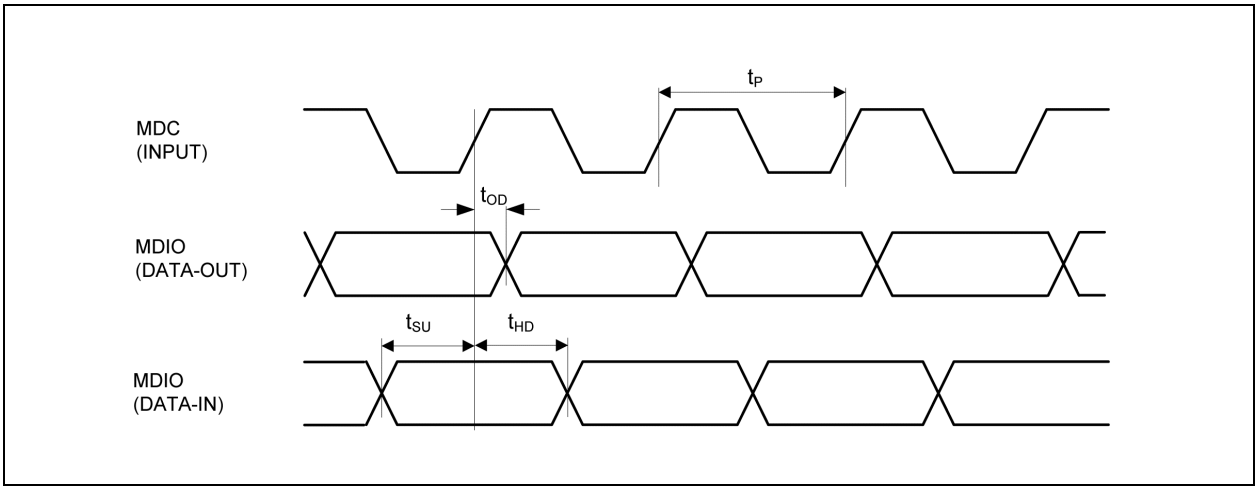


表 6-8： MIIM 时序值

符号	说明	最小值	典型值	最大值	单位
t_P	**MDC** 周期		400		ns
t_{OD}	输出延迟		200		ns
t_{SU}	从 **MDIO** 到 **MDC** 上升沿的建立时间	10			ns
t_{HD}	从 **MDC** 上升沿到 **MDIO** 的保持时间	5			ns

6.4.5 SPI 时序

图 6-9 和图 6-10 显示了 SPI 时序要求。

图 6-9： SPI 数据输入时序

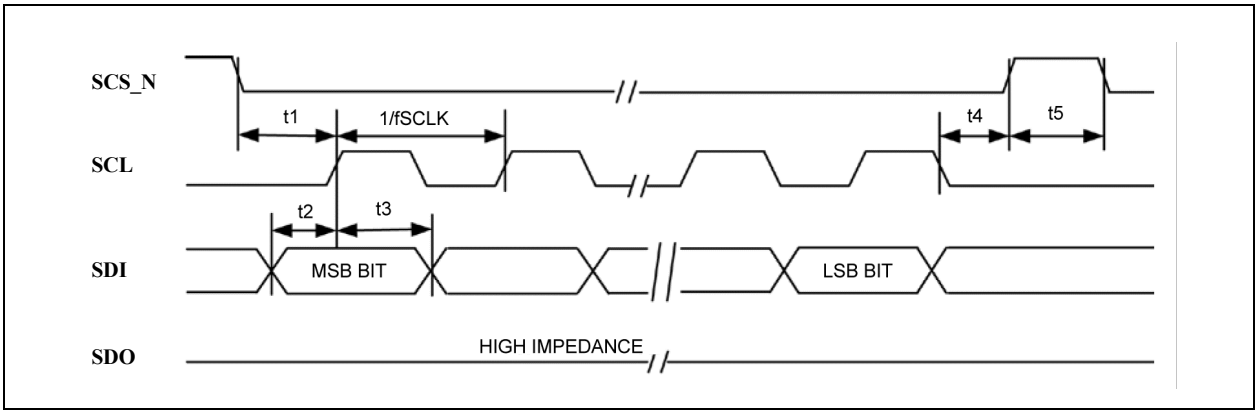


图 6-10： SPI 数据输出时序

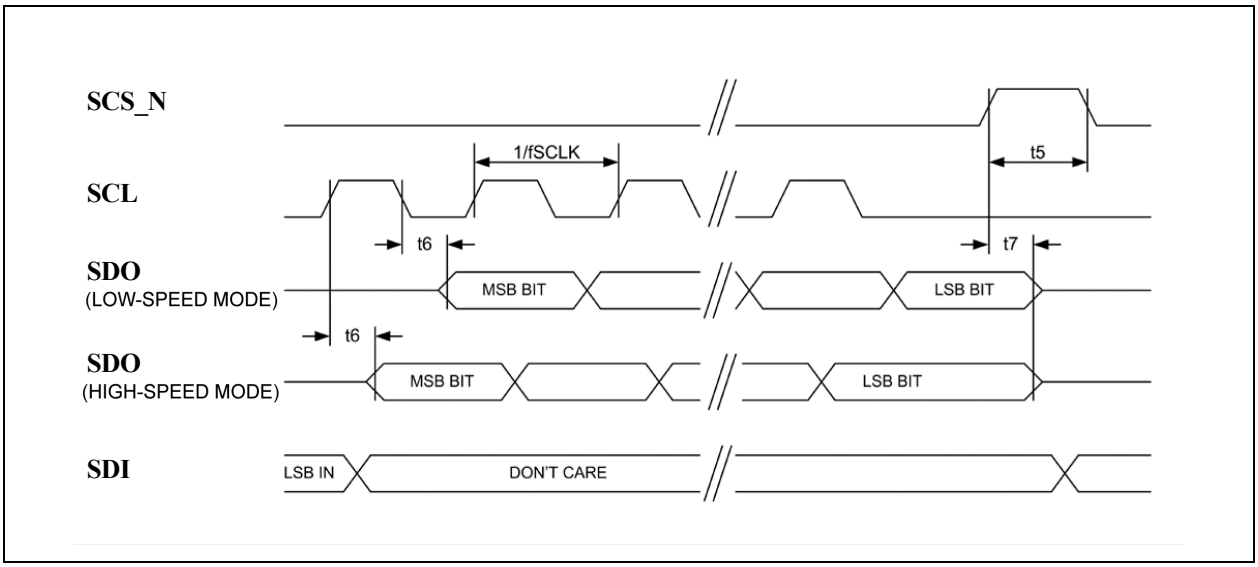


表 6-9： SPI 时序值

符号	说明	最小值	典型值	最大值	单位
f_{SCLK}	**SCL** 时钟频率			50	MHz
t_1	**SCS_N** 有效建立时间	8			ns
t_2	**SDI** 数据输入建立时间	3			ns
t_3	**SDI** 数据输入保持时间	3			ns
t_4	**SCS_N** 有效保持时间	8			ns
t_5	**SCS_N** 禁止高电平时间	8			ns
t_6	**SCL** 下降沿到 **SDO** 数据输出有效	2		9	ns
t_7	**SCS_N** 无效到 **SDO** 数据输入无效	1			ns

© 2018 Microchip Technology Inc.

6.4.6 自动协商时序

图 6-11 显示了自动协商时序要求。

图 6-11： 自动协商时序

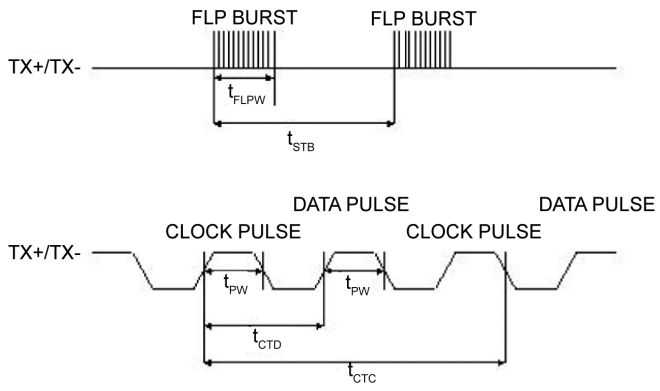


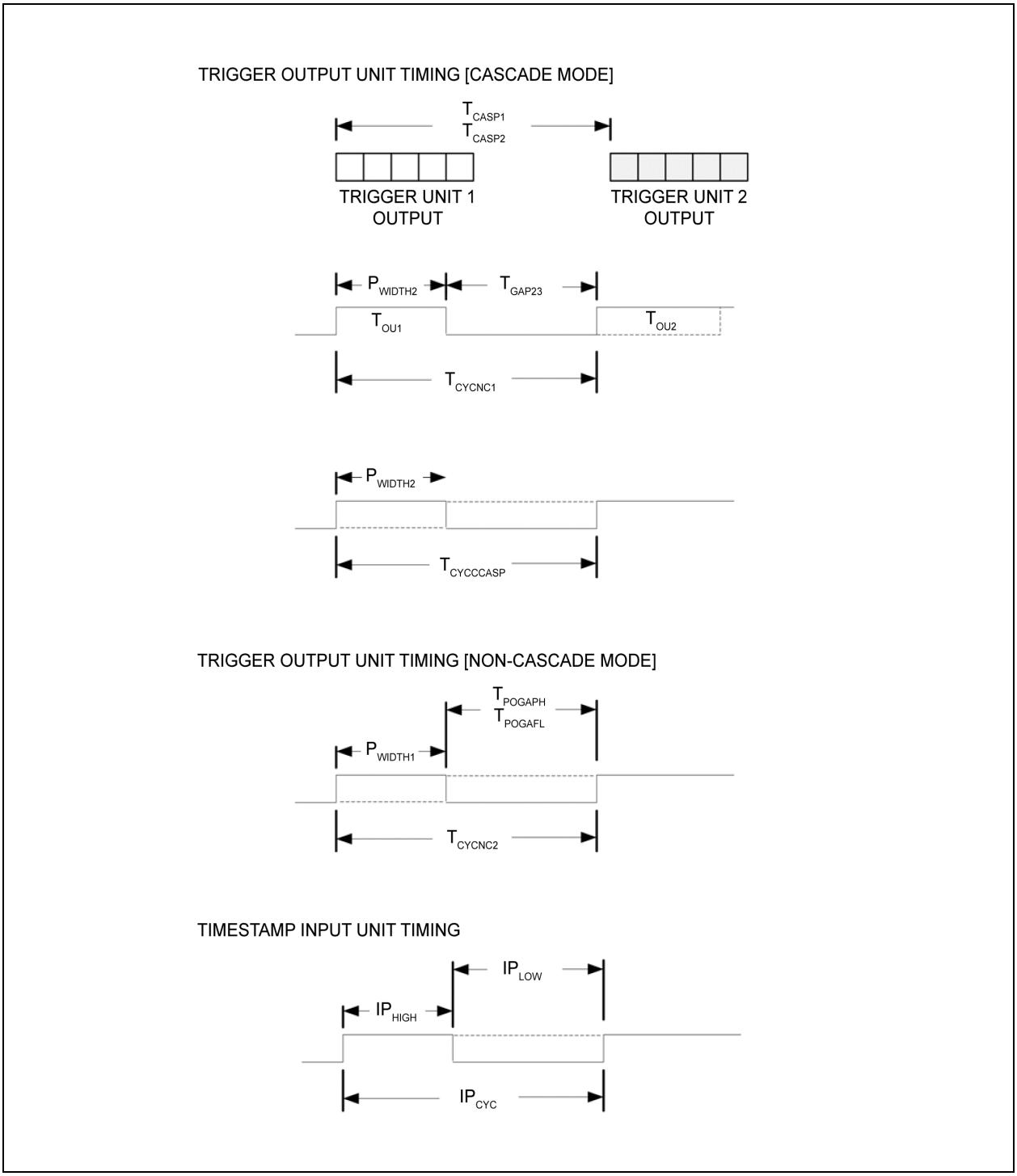
表 6-10： 自动协商时序值

符号	说明	最小值	典型值	最大值	单位
t_{BTB}	FLP 突发到 FLP 突发	8	16	24	ms
t_{FLPW}	FLP 突发宽度		2		ms
t_{PW}	时钟 / 数据脉冲宽度		100		ns
t_{CTD}	时钟脉冲到数据脉冲	55.5	64	69.5	µs
t_{CTC}	时钟脉冲到时钟脉冲	111	128	139	µs
	每次突发的时钟 / 数据脉冲数	17		33	

6.4.7 触发输出单元和时间戳输入单元时序

图 6-12 提供了十二个触发输出单元和时间戳输入单元内各种时序关系的详情和约束。

图 6-12： 触发输出单元和时间戳输入单元时序



© 2018 Microchip Technology Inc.

表 6-11： 自动协商时序值

符号	说明	最小值	典型值	最大值	单位
触发输出单元时序（级联模式）					
t_{CASP1}	级联模式且 TRIGX_CFG_1[6:4] = 100、101 或 110（负边沿输出信号、正边沿输出信号以及移位寄存器输出信号）。 在同一 GPIO 引脚上以级联方式启动两个 TOU 之间的最短时间。	80			ns
t_{CASP2}	级联模式且 TRIGX_CFG_1[6:4] = 010、011、100 或 101（负脉冲输出信号、正脉冲输出信号、负周期输出信号以及正周期输出信号）。 在同一 GPIO 引脚上以级联方式启动两个 TOU 之间的最短时间。	120			ns
$t_{CYCCASP}$	级联模式且 TRIGX_CFG_1[6:4] = 010 和 011（负脉冲输出信号、正脉冲输出信号）。 级联模式下，以指定模式运行的触发输出单元的周期时间。	80	≥32 + P_{WIDTH2}		ns
t_{CYCNC1}	级联模式且 TRIGX_CFG_1[6:4] = 100 或 101（负周期输出信号、正周期输出信号）。 级联模式下，以指定模式运行的任何触发输出单元的最短周期时间。	80	≥32 + P_{WIDTH2}		ns
t_{GAP23}	级联模式且 TRIGX_CFG_1[6:4] = 010 和 011（负脉冲输出信号、正脉冲输出信号）： 从第一个触发输出单元周期结束到第二个触发输出单元开始输出之间所需的最小时间间隔。	80			ns
P_{WIDTH2}	级联模式下，触发输出单元的最小低电平或高电平脉冲宽度。	8			ns
触发输出单元时序（非级联模式）					
t_{CYCNC2}	非级联模式下，任何触发输出单元的最小周期时间。	80	≥32 + P_{WIDTH2}		ns
t_{POGAP}	非级联模式下，从生成的脉冲结束到下个脉冲开始之间的最短时间。	32			ns
P_{WIDTH1}	非级联模式下，触发输出单元的最小低电平或高电平脉冲宽度。	8			ns
时间戳输入单元时序					
IP_{HIGH}	任何 GPIO 引脚上输入数字波形允许的高电平时间。	24			ns
IP_{LOW}	非级联模式下，从生成的脉冲结束到下个脉冲开始之间的最短时间。	24			ns
IP_{CYC}	非级联模式下，从生成的脉冲结束到下个脉冲开始之间的最短时间。	48			ns

6.4.8 上电和复位时序

图 6-13 显示了上电和复位时序要求。

图 6-13： 上电和复位时序

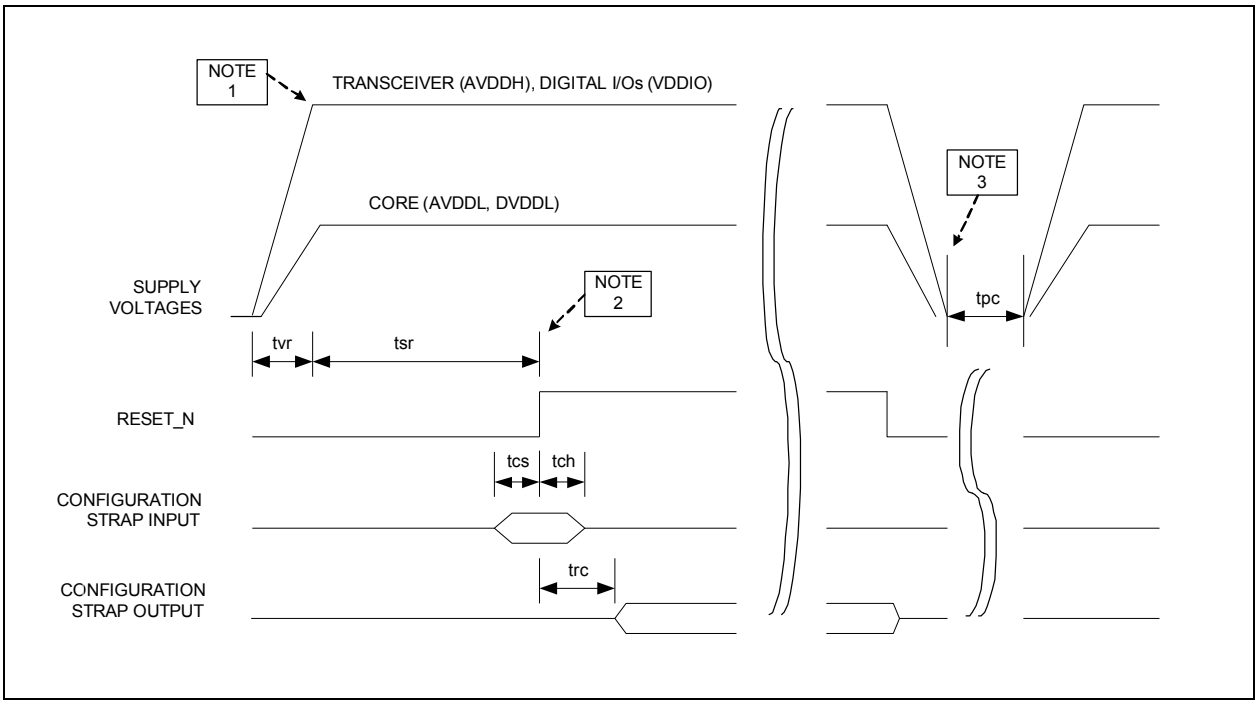


表 6-12： 上电和复位时序值

符号	说明	最小值	典型值	最大值	单位
tvr	电源电压上升时间 （必须是单调的）	200			µs
tsr	稳定电源电压到复位取消置位	10			ms
tcs	配置引脚输入建立时间	5			ns
tch	配置引脚输入保持时间	5			ns
trc	复位取消置位到配置引脚输出	6			ns
tpc	电源电压周期从关断到导通的时间	150			ms

注 1： 建议的上电顺序会同时拉高所有电压。不过，如果无法实现，则建议的上电顺序是在低压内核（**AVDDL** 和 **DVDDL**）电压之前使收发器（**AVDDH**）和数字 I/O（**VDDIO**）电压上电。收发器（**AVDDH**）和数字 I/O（**VDDIO**）电源轨之间没有电源顺序要求。所有电源电压的上电波形都应当是单调的。

注 2： 在复位取消置位后，建议至少等待 100 µs，然后再通过任何接口开始为器件编程。

注 3： 建议的掉电顺序是使低压内核掉电，然后关断收发器和数字 I/O 电压，或者使所有电源一致掉电。在下一个上电周期之前，器件的所有电源电压都应当低于 0.4V，并且从掉电到上电，应当至少等待 150 ms 的时间。

© 2018 Microchip Technology Inc.

6.5 时钟规格

可以使用晶振或外部时钟源 （如振荡器）为 KSZ8567R 提供 25 MHz 参考时钟。如果使用外部时钟源，则 **XO** 引脚必须保持悬空。由于 **XI/XO** 电路由 **AVDDH** 供电，因此外部时钟源也应当由同一电源轨供电。图 6-14 具体显示了可用的连接方法。表 6-13 详细列出了建议使用的晶振规格。

图 6-14： 输入参考时钟连接选项

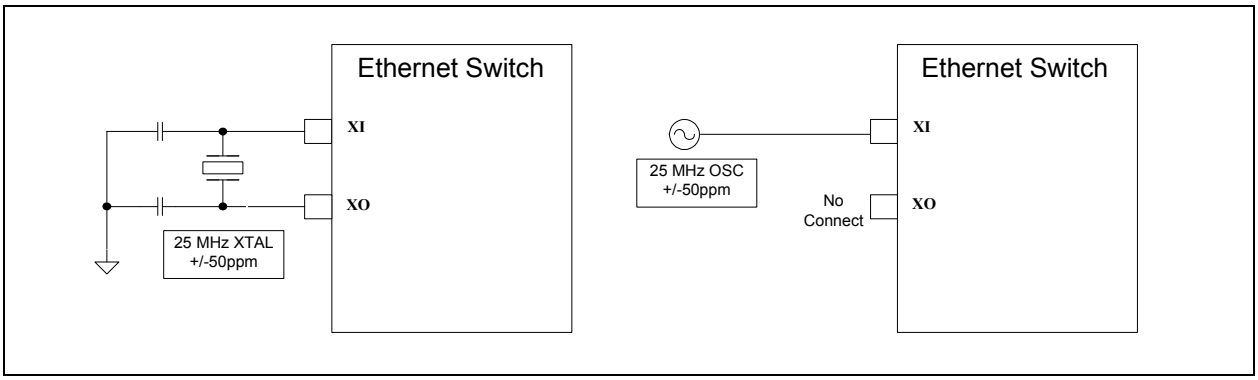


表 6-13： 参考晶振特性

特性	最小值	典型值	最大值	单位
振荡模式	基本			
频率		25		MHz
频率容差			±50	ppm
等效串联电阻 （ESR）			50	Ω
总周期抖动 （峰到峰）			100	ps
驱动电平			100	uW

7.0 设计指南

本节介绍了以下一般设计指南：

- 复位电路指南
- 磁性连接和选型指南

7.1 复位电路指南

图 7-1 显示了电源触发复位时建议用于为 KSZ8567R 上电的复位电路。

图 7-1： 简单复位电路

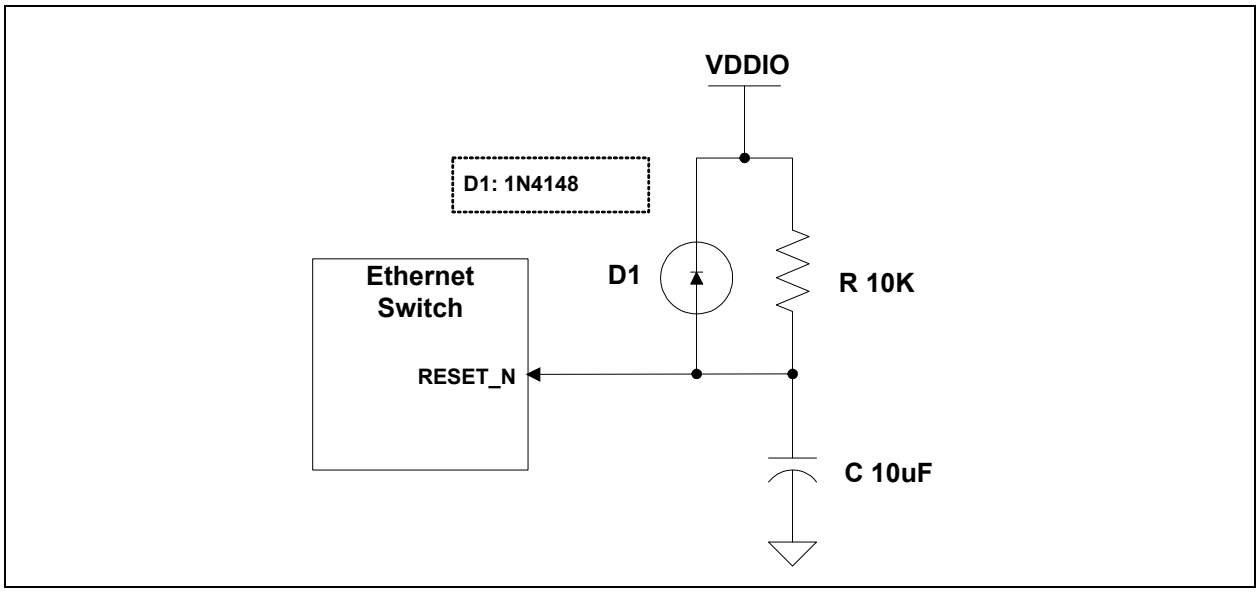
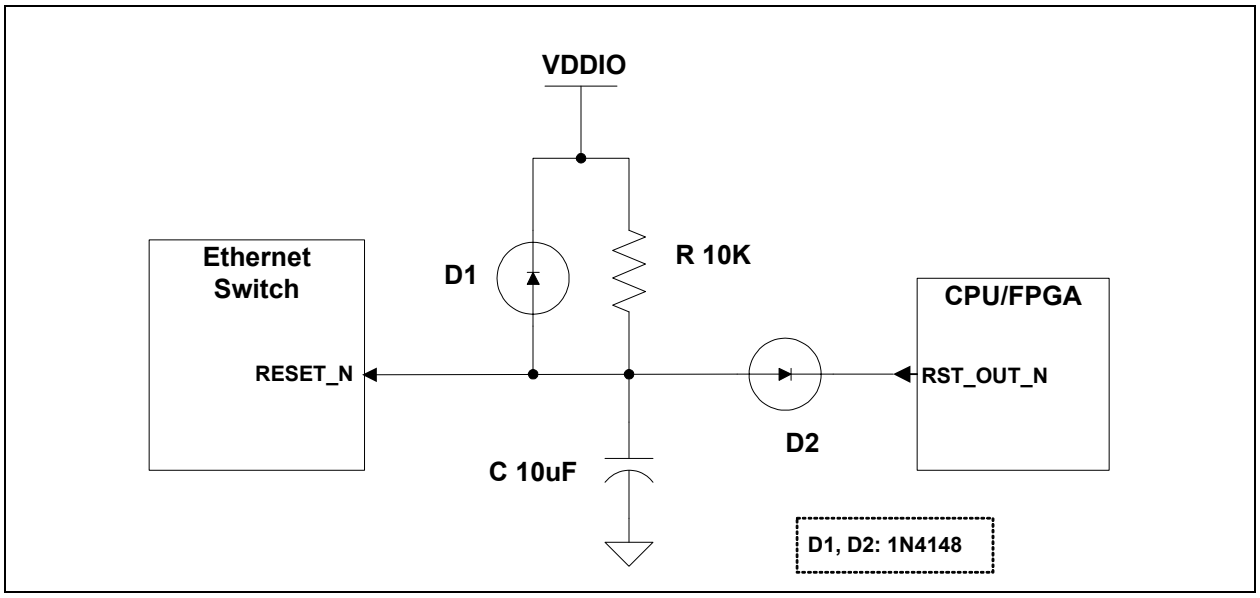


图 7-2 显示了由另一器件（如 CPU）驱动复位时建议使用的复位电路。在上电复位时，R、C 和 D1 提供复位 KSZ8567R 所需的斜坡上升时间。来自 CPU 的 RST_OUT_N 在上电后提供热复位。

图 7-2： CPU 复位接口的复位电路



© 2018 Microchip Technology Inc.

7.2 磁性连接和选型指南

线路接口处需要 1:1 隔离变压器。对于超过 FCC 要求的设计，请使用集成共模扼流圈的变压器。扼流圈后的可选自耦变压器级提供了额外的共模噪声和信号衰减。

KSZ8567R PHY 端口设计集成了电压模式传输驱动器和片上端接。借助电压模式实现，发送驱动器可向两个差分对提供共模电压。因此，KSZ8567R 芯片侧的两个变压器中心抽头引脚不应连接到电路板上的任何电源；中心抽头引脚应彼此分开，并通过单独的 0.1µF 共模电容器连接到地。需要分离是因为差分对之间的共模电压可能不同，具体视所连接的速率模式而定。

图 7-3 具体显示了 KSZ8567R PHY 端口的典型磁性接口电路。

图 7-3： 典型磁性接口电路

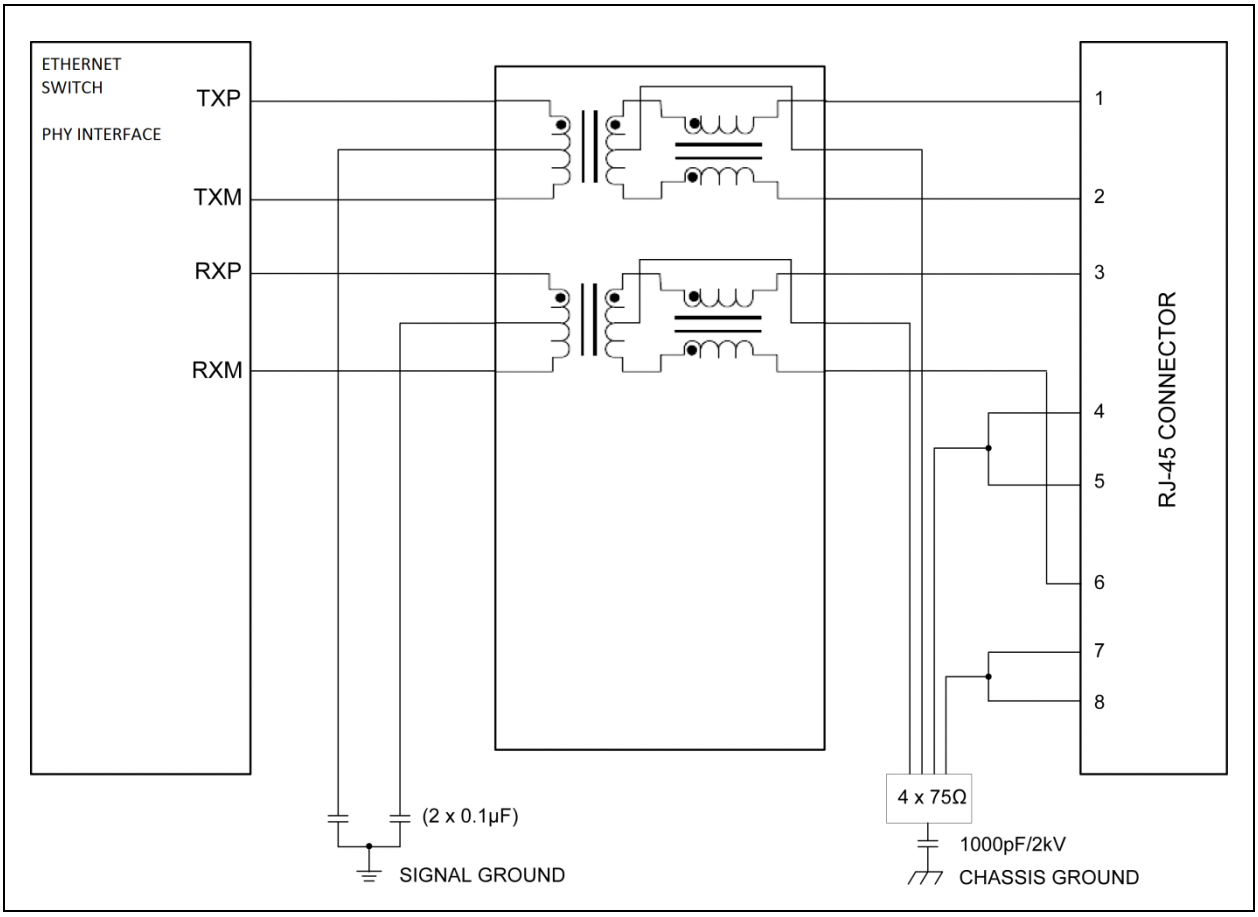


表 7-1 列出了建议的磁特性。

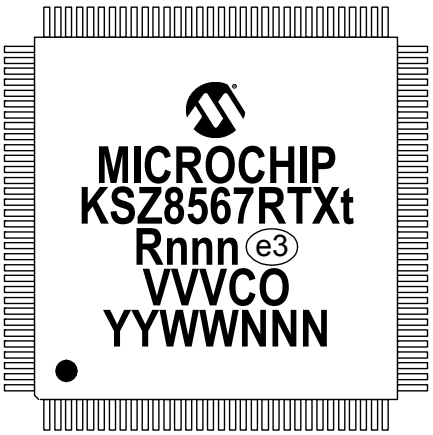
表 7-1： 磁性元件选择标准

参数	值	测试条件
匝数比	1 CT : 1 CT	
开路电感 （最小值）	350 µH	100 mV， 100 KHz， 8 mA
插入损耗 （典型值）	1.0 dB	100 KHz 至 100 MHz
HIPOT （最小值）	1500 vrms	

8.0 封装信息

8.1 封装标识信息

128-TQFP-EP



图注：	t	温度范围指示符 （I = 工业级、 V = 扩展级）
	R	产品版本
	nnn	内部代码
	e3	雾锡 （Matte Tin， Sn）的 JEDEC® 无铅标志
	VVV	设备总成
	CO	原产国
	YY	年份代码 （日历年的最后两位数字）
	WW	星期代码 （一月一日的星期代码为 “01”）
	NNN	以字母数字排序的追踪代码

注： Microchip 部件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户指定信息的字符数。

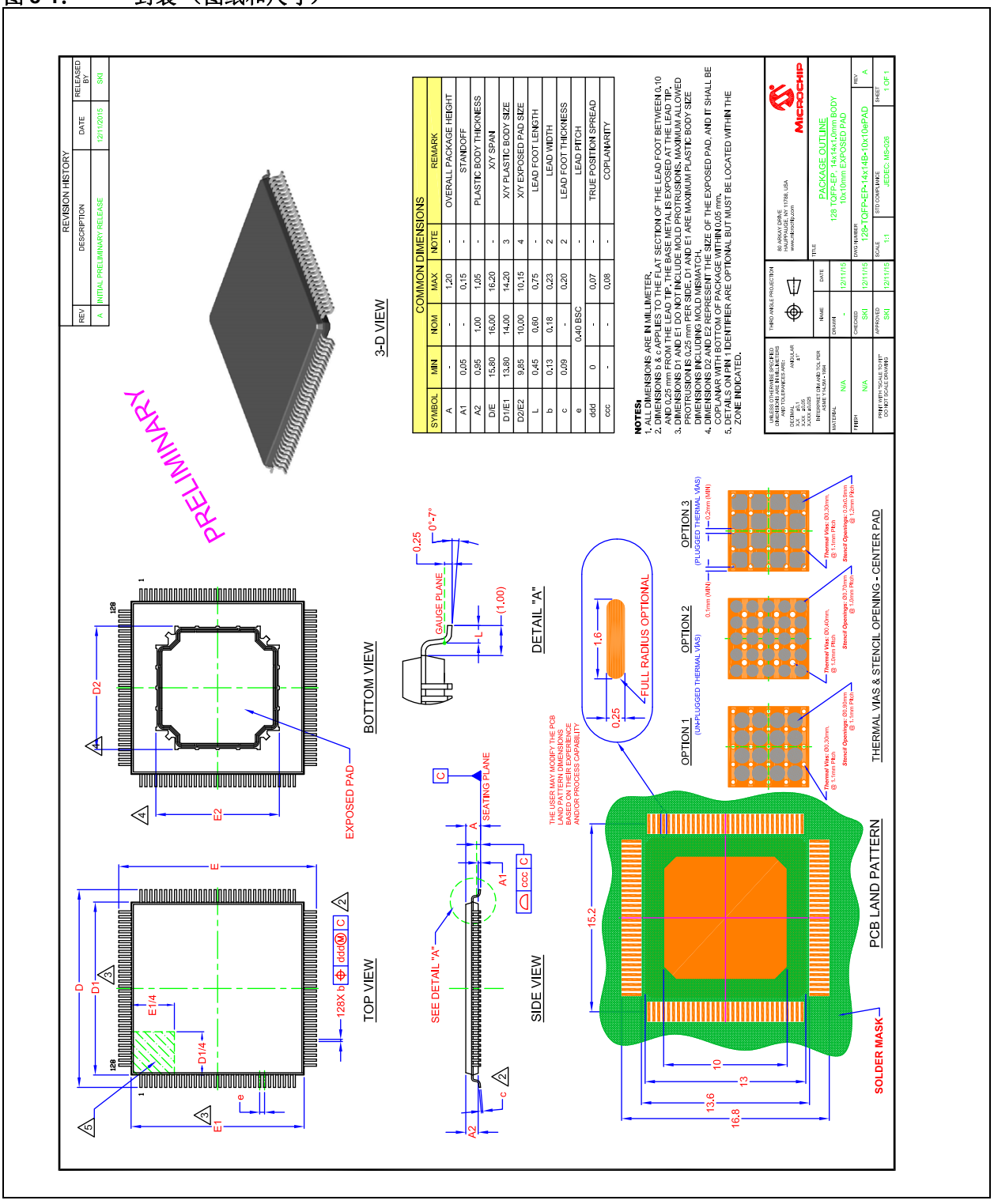
***** 标准器件标识包括 Microchip 部件编号、年份代码、星期代码和追踪代码。如果器件标识超出此范围，则会适当加价。请向 Microchip 销售办事处咨询。对于 QTP 器件来说， QTP 价格包括所有特殊标识的加价。

© 2018 Microchip Technology Inc.

8.2 封装图

注： 有关最新的封装图纸，请参见 Microchip 封装规范，网址：http://www.microchip.com/packaging

图 8-1： 封装 （图纸和尺寸）



附录 A： 数据手册版本历史

表 A-1： 版本历史

版本	章节 / 图 / 条目	修正
DS00002328C （05-04-17）	第 220 页上的产品标识体系	更新了扩展汽车级温度范围产品的订购信息。
DS00002328B （03-10-17）	第 22 页上的第 4.1.10 节 “远程 PHY 环回”	增加了新章节。
	第 34 页上的第 4.4.5.1 节 “双速率三色标记器”	增加了新章节。
	第 34 页上的第 4.4.5.2 节 “加权随机早期检测（Weighted Random Early Detection， WRED）”	更新了章节，提供了更多信息。
	第 57 页上的第 4.11.3 节“MII 管理 （MII Management，MIIM）接口”、第 4.11.3.1 节 “标准 MIIM 寄存器（直接）”、第 4.11.3.2 节“MDIO 可管理器件 （MMD）寄存器（间接）”	在章节末尾增加了更多信息。新增了关于标准 MIIM 寄存器和 MMD 寄存器的小节。
	第 195 页上的第 5.4 节 “MDIO 可管理器件 （MDIO Manageable device，MMD）寄存器 （间接）”	增加了新章节。
	第 169 页上的第 5.2.7.8 节 “端口监管队列速率寄存器” 到第 171 页上的第 5.2.7.14 节 “端口 WRED 队列性能监控控制寄存器”	增加了新的寄存器定义。
	第 201 页上的第 6.4.1 节 “RGMII 时序”	更新了 RGMII 时序图和数据。
	第 6 页上的表 1-2 “缓冲器类型”、第 11 页上的表 3-2 “引脚说明”、第 198 页上的表 6-1 “电气特性”	更新 / 说明了引脚缓冲器类型信息。
DS00002328A （01-13-17）	文档初始版本	

© 2018 Microchip Technology Inc.

MICROCHIP 网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联浏览器即可访问。网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、 Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com。在 “支持”（Support）下，点击 “变更通知客户”（Customer Change Notification）服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	XX	X	[XX] (1)	[XXX]
器件	封装	温度范围	卷带式选项	汽车产品代码

器件：	KSZ8567R =	含有 2 个 RGMII/MII/RMII 接口的 7 端口开关
封装：	TX	= 128 引脚 TQFP-EP
温度范围：	I	= -40°C 至+85°C（工业级）
	V	= -40°C 至+105°C（扩展汽车级）
卷带式选项：	空白	= 标准封装（托盘）
	-TR	= 卷带式（注 1）
汽车产品代码：	Vxx	= 以 “V” 为前缀的三字符代码，用于指定汽车产品

示例：

a） KSZ8567RTXI
128 引脚 TQFP-EP 封装，
工业级温度范围，
标准封装

b） KSZ8567RTXV-TRVAO
128 引脚 TQFP-EP 封装，
扩展汽车级温度范围，
卷带式

c） KSZ8567RTXV-VAO
128 引脚 TQFP-EP 封装，
扩展汽车级温度范围，
标准封装

注 1： 卷带式标识符仅显示在产品目录部件编号说明中。此标识符用于订购目的，不印刷在器件封装上。有关是否提供卷带式包装选项，请向 Microchip 销售办事处咨询。

© 2018 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
═ ISO/TS 16949 ═

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 AnyRate、AVR、 AVR 徽标、 AVR Freaks、 BeaconThings、 BitCloud、CryptoMemory、 CryptoRF、 dsPIC、 FlashFlex、 flexPWR、Heldo、 JukeBlox、 KEELOQ、 KEELOQ徽 标、 Kleer、LANCheck、 LINK MD、 maXStylus、 maXTouch、 MediaLB、megaAVR、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、picoPower、 PICSTART、 PIC32 徽标、 Prochip Designer、QTouch、 RightTouch、 SAM-BA、 SpyNIC、 SST、 SST 徽标、SuperFlash、 tinyAVR、 UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、 The Embedded Control Solutions Company、EtherSynch、 Hyper Speed Control、 HyperLight Load、IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 均为Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT 徽标、CodeGuard、 CryptoAuthentication、 CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、 DAM、 ECAN、 EtherGREEN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 JitterBlocker、KleerNet、KleerNet 徽标、Mindi、MiWi、motorBench、MPASM、MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、NetDetach、 Omniscient Code Generation、 PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch 徽标、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、 SQI、 SuperSwitcher、 SuperSwitcher II、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2018, Microchip Technology Inc. 版权所有。

ISBN：978-1-5224-2996-8

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733

印度 India - Bangalore
Tel: 91-80-3090-4444

印度 India - New Delhi
Tel: 91-11-4160-8631

印度 India - Pune
Tel: 91-20-4121-0141

日本 Japan - Osaka
Tel: 81-6-6152-7160

日本 Japan - Tokyo
Tel: 81-3-6880-3770

韩国 Korea - Daegu
Tel: 82-53-744-4301

韩国 Korea - Seoul
Tel: 82-2-554-7200

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870

菲律宾 Philippines - Manila
Tel: 63-2-634-9065

新加坡 Singapore
Tel: 65-6334-8870

泰国 Thailand - Bangkok
Tel: 66-2-694-1351

越南 Vietnam - Ho Chi Minh
Tel: 84-28-5448-2100

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-67-3636

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7289-7561

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2018 Microchip Technology Inc.