USB5807

7 端口 USB 3.1 Gen 1 集线器

要点

- USB 集线器带有 7 个 USB 3.1 Gen 1/USB 2.0 下游端口
- 上游和下游端口支持 USB-IF 电池充电器版本 1.2（DCP、 CDP、 SDP）
- **FlexConnect：**下游端口可以与上游端口交换，使得有主机能力的设备能够控制集线器上的其他设备
- 支持 USB 链路电源管理 （LPM）
- 通过 OTP 或 SPI ROM 提供增强型 OEM 配置选项
- 采用符合RoHS规范的100引脚（12 mm x 12 mm）VQFN 封装
- 支持商业级和工业级温度范围

目标应用

- 独立 USB 集线器
- 笔记本电脑底座
- PC 主板
- PC 显示器底座
- 多功能 USB 3.1 Gen 1 外设

主要优势

- USB 3.1 Gen 1 兼容 5 Gbps、480 Mbps、12 Mbps 和 1.5 Mbps 操作
  - USB 2.0 引脚具有 5V 耐压
  - USB 3.1 Gen 1 引脚具有 1.32V 耐压
  - 集成端接电阻和上拉 / 下拉电阻
- 所有端口均支持为常用电池供电设备充电
  - 支持 USB-IF 电池充电版本 1.2（DCP、CDP、SDP）
  - Apple® 便携式产品充电器仿真
  - 中国 YD/T 1591-2006 充电器仿真
  - 中国 YD/T 1591-2009 充电器仿真
  - 支持欧盟通用移动充电器
  - 支持 Microchip UCS100x 系列电池充电控制器
  - 支持其他便携式设备
- 智能端口控制器操作
  - 通过固件处理周边端口功率控制器
- 片内单片机
  - 管理 I/O、 VBUS 和其他信号
- 8 KB RAM、 64 KB ROM
- 8 KB 一次性可编程 （OTP） ROM
  - 包含片内电荷泵
- 可通过 OTP ROM、SPI ROM 或 SMBus 进行配置编程
- **FlexConnect**
  - 上游和下游端口 1 角色可通过命令反转
- **PortSwap**
  - 可配置 USB 2.0 差分对信号切换
- **PHYBoost™**
  - USB 收发器驱动能力可编程，用于恢复信号完整性
- **VariSense™**
  - USB 接收灵敏度可编程
- 端口拆分
  - USB2.0 和 USB3.1 Gen 1 端口的操作可以拆分，以便用于将嵌入式 USB3.x 设备与 USB2.0 设备并联使用的自定义应用。
- 与 Microsoft Windows® 10、8、7、XP、Apple® OS X 10.4+ 和 Linux® 集线器驱动程序兼容
- 经过了优化，实现低功耗运行和低散热
- 封装
  - 100 引脚 VQFN （12 mm x 12 mm）

© 2017 Microchip Technology Inc.

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 **http://www.microchip.com**
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2017 Microchip Technology Inc.

目录

1.0 前言 4
2.0 简介 6
3.0 引脚说明 8
4.0 器件连接 22
5.0 工作模式 23
6.0 器件配置 26
7.0 器件接口 27
8.0 功能描述 28
9.0 工作特性 39
10.0 封装信息 47
附录 A：版本历史 51
MICROCHIP 网站 52
变更通知客户服务 52
客户支持 52
产品标识体系 53

1.0 前言

1.1 通用术语

表 1-1： 通用术语

术语	说明
ADC	模数转换器
保留	指代保留位字段或地址。除非另外说明，否则保留位必须始终写入为零。除非另外说明，否则读取保留位时不能保证值。除非另外说明，否则请勿读取或写入保留地址。
CDC	通信设备类
CSR	控制和状态寄存器
DWORD	32 位
EOP	数据包结束
EP	端点
FIFO	先进先出缓冲区
FS	全速
FSM	有限状态机
GPIO	通用 I/O
HS	高速
HSOS	高速过采样
I^2C	内部互联电路
集线器功能控制器	“集线器功能控制器”有时简称为“集线器控制器”，是用于为 USB 控制器集线器使能独特功能的内部处理器。不要将这种控制器与 USB 集线器控制器混淆，后者用于在 USB 会话期间将集线器状态反馈给主机。
LS	低速
lsb	最低有效位
LSB	最低有效字节
msb	最高有效位
MSB	最高有效字节
N/A	不适用
NC	未连接
OTP	一次性可编程
PCB	印刷电路板
PCS	物理编码子层
PHY	物理层
PLL	锁相环
SDK	软件开发工具包
SMBus	系统管理总线
UUID	通用唯一标识符
WORD	16 位
字节	8 位

© 2017 Microchip Technology Inc.

1.2 参考文档

1. *UNICODE UTF-16LE For String Descriptors*， USB 工程变更通知， 2004 年 12 月 29 日， http://www.usb.org
2. 《通用串行总线版本 3.1 规范》， http://www.usb.org
3. 《电池充电规范》，版本 1.2， 2010 年 12 月 7 日， http://www.usb.org
4. 《I^2C 总线规范》，版本 1.1， http://www.nxp.com
5. 《系统管理总线规范》，版本 1.0， http://smbus.org/specs

2.0 简介

2.1 产品概览

Microchip USB5807 集线器是一款低功耗、 OEM 可配置的 USB 3.1 Gen 1 集线器控制器，带有 7 个下游端口和多种高级功能，适用于嵌入式 USB 应用。 USB5807 完全符合通用串行总线版本 3.1 规范和 USB 2.0 链路电源管理附录。 USB5807 的所有使能下游端口均支持 5 Gbps 超速（SS）、480 Mbps 高速（HS）、12 Mbps 全速（FS）和 1.5 Mbps 低速 （LS） USB 下游设备。

USB5807 采用专用 USB 2.0 集线器控制器支持传统的 USB 速度 （HS/FS/LS），该控制器集合了五代 Microchip 集线器控制器的设计和经验，可靠性、互操作性和设备兼容性都已经过验证。超速集线器控制器与 USB 2.0 集线器控制器并联运行，从而摆脱了较慢的 USB 2.0 流量造成的性能瓶颈，能够实现 5 Gbps SS 的数据传输速率。

USB5807 使 OEM 能够使用“配置引脚”来配置其系统。这些配置引脚会向 USB 3.1 Gen 1 端口和 GPIO 分配默认值，从而简化了配置过程。OEM 可以禁止各端口，使能电池充电，以及将 GPIO 功能定义为上电时的默认分配，而无需 OTP 或外部 SPI ROM。

USB5807 使用集成式电池充电器检测电路来支持下游电池充电，该电路支持 USB-IF 电池充电（BC1.2）检测方法和大多数 Apple 设备。 USB5807 提供电池充电握手并支持下列 USB-IF BC1.2 充电配置：

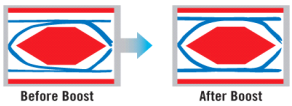
- DCP：专用充电端口 （电源模块，不带数据功能）
- CDP：下游充电端口 （1.5A，带数据功能）
- SDP：标准下游端口 （0.5A，带数据功能）
- 通过 SMBus 或 OTP 加载的自定义配置

此外， USB5807 包含许多强大的独特功能，例如：

FlexConnect，用于提供灵活的连接选项。 USB5807 的其中一个下游端口可以重新配置成为上游端口，从而使有主机能力的设备能够控制集线器上的其他设备。

PortSwap，用于逐个端口地为 USB 差分对引脚位置添加可编程性。PortSwap 允许将 USB 信号（D+/D-）与连接器直接对齐，以避免出现走线长度不一致或 PCB 上的 USB 差分信号发生交叉。

PHYBoost，用于提供下游端口收发器中高速 USB 信号驱动强度的可编程水平。PHYBoost 会尝试在受损的系统环境中恢复 USB 信号完整性。右侧的图形显示了在受损的系统环境中恢复 PHYBoost 信号完整性前后的高速 USB 眼图示例。



VariSense，用于控制 USB 信号接收灵敏度的 USB 接收器灵敏度使能可编程水平。该功能使得该器件可以在次优系统环境中运行，例如使用固定式 USB 电缆时。

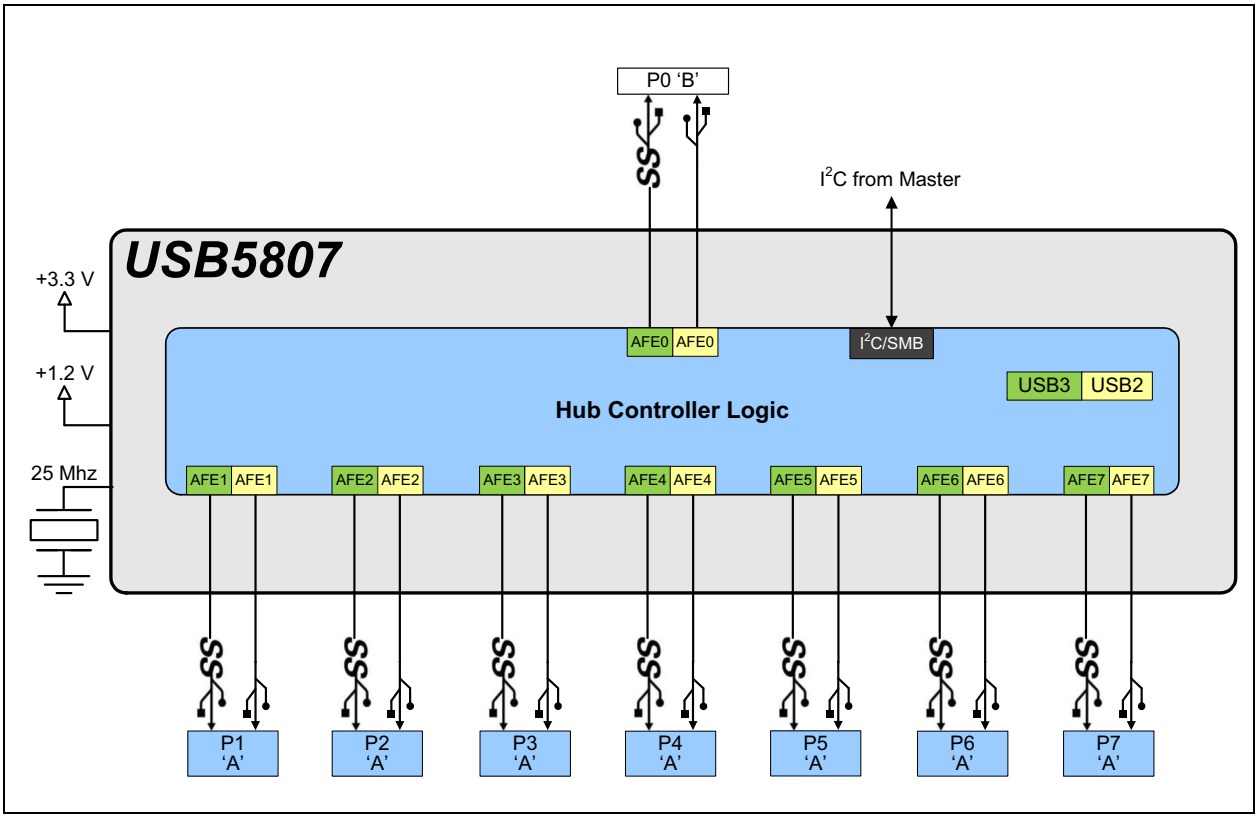
端口拆分，用于使下游端口 5 和 6 的 USB3.1 Gen 1 和 USB2.0 部分可以独立运行，并在特殊应用中并联枚举两个单独的设备。

USB5807 可以通过内部默认设置配置运行。也支持通过外部 SPI ROM 或 OTP ROM 进行自定义 OEM 配置。所有端口控制信号引脚均受固件控制，以保证最大的运行灵活性，并且可作为 GPIO，供客户用于特定用途。

USB5807 的工作温度范围为商业级（0°C 至 +70°C）和工业级（-40°C 至 +85°C）温度范围。USB5807 的内部框图如图 2-1 中所示。

© 2017 Microchip Technology Inc.

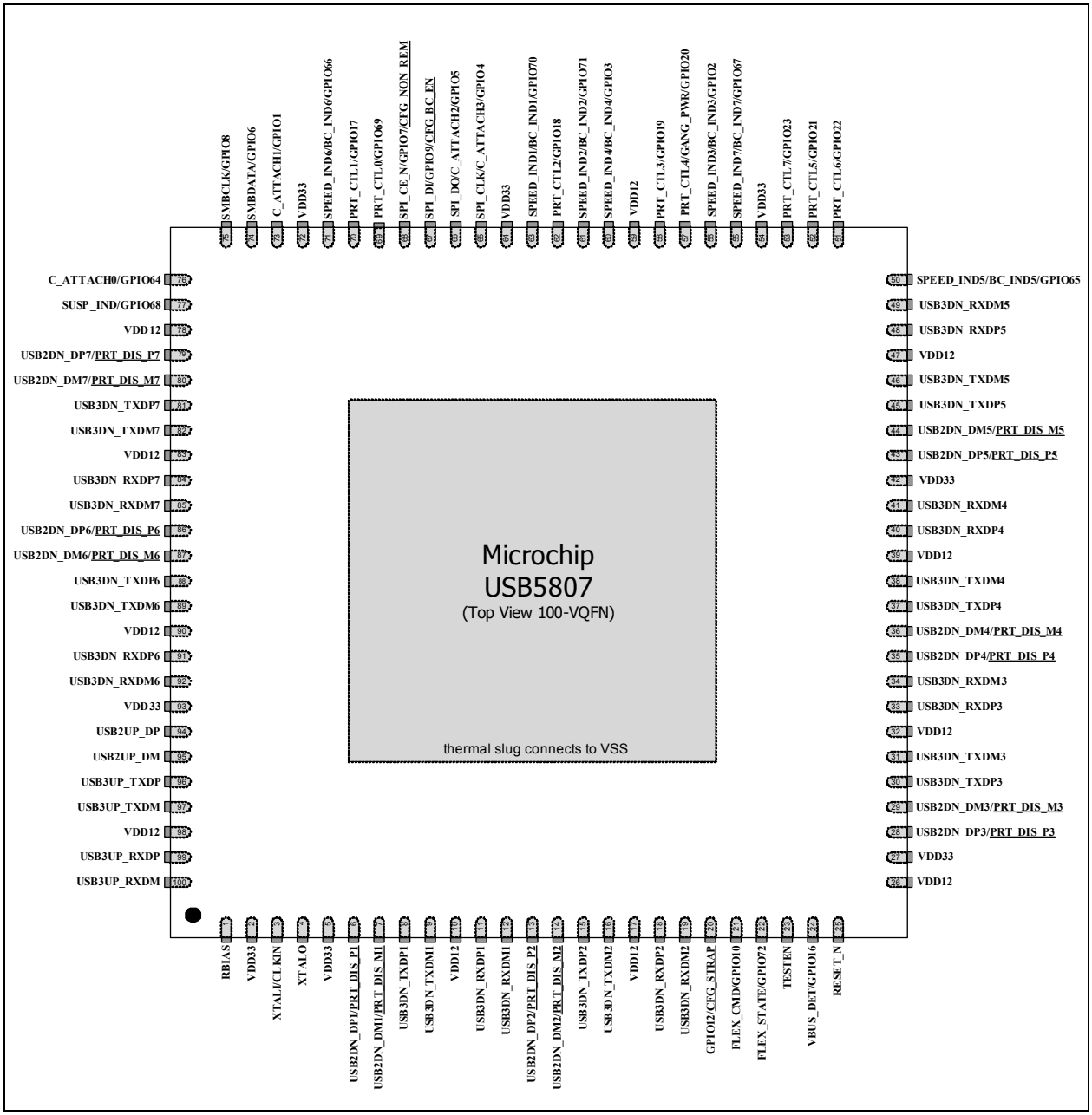
图 2-1： 内部框图


P0 'B'
I²C from Master
USB5807
+3.3 V
+1.2 V
25 Mhz
AFE0
AFE0
I²C/SMB
USB3
USB2
Hub Controller Logic
AFE1
AFE1
AFE2
AFE2
AFE3
AFE3
AFE4
AFE4
AFE5
AFE5
AFE6
AFE6
AFE7
AFE7
P1 'A'
P2 'A'
P3 'A'
P4 'A'
P5 'A'
P6 'A'
P7 'A'

3.0 引脚说明

3.1 引脚图

图 3-1： 引脚分配（俯视图）



注 1： 配置引脚由带下划线的符号名称来标识。连接到负载时，用作配置引脚的信号必须用外部电阻放大。请参见第 3.5 节 “配置引脚和可编程功能”

© 2017 Microchip Technology Inc.

3.2 引脚符号

引脚编号	引脚名称	复位	引脚编号	引脚名称	复位
1	RBIAS	A/P	51	PRT_CTL6/GPIO22	PD-50k
2	VDD33	A/P	52	PRT_CTL5/GPIO21	PD-50k
3	XTALI/CLKIN	A/P	53	PRT_CTL7/GPIO23	PD-50k
4	XTALO	A/P	54	VDD33	A/P
5	VDD33	A/P	55	SPEED_IND7/BC_IND7/GPIO67	Z
6	USB2DN_DP1/PRT_DIS_P1	PD-15k	56	SPEED_IND3/BC_IND3/GPIO2	Z
7	USB2DN_DM1/PRT_DIS_M1	PD-15k	57	PRT_CTL4/GANG_PWR/GPIO20	PD-50k
8	USB3DN_TXDP1	Z	58	PRT_CTL3/GPIO19	PD-50k
9	USB3DN_TXDM1	Z	59	VDD12	A/P
10	VDD12	A/P	60	SPEED_IND4/BC_IND4/GPIO3	Z
11	USB3DN_RXDP1	Z	61	SPEED_IND2/BC_IND2/GPIO71	Z
12	USB3DN_RXDM1	Z	62	PRT_CTL2/GPIO18	PD-50k
13	USB2DN_DP2/PRT_DIS_P2	PD-15k	63	SPEED_IND1/BC_IND1/GPIO70	Z
14	USB2DN_DM2/PRT_DIS_M2	PD-15k	64	VDD33	A/P
15	USB3DN_TXDP2	Z	65	SPI_CLK/C_ATTACH3/GPIO4	Z
16	USB3DN_TXDM2	Z	66	SPI_DO/C_ATTACH2/GPIO5	PD-50k
17	VDD12	A/P	67	SPI_DI/GPIO9/CFG_BC_EN	Z
18	USB3DN_RXDP2	Z	68	SPI_CE_N/GPIO7/CFG_NON_REM	PU-50k
19	USB3DN_RXDM2	Z	69	PRT_CTL0/GPIO69	Z
20	GPIO12/CFG_STRAP	Z	70	PRT_CTL1/GPIO17	PD-50k
21	FLEX_CMD/GPIO10	Z	71	SPEED_IND6/BC_IND6/GPIO66	Z
22	FLEX_STATE/GPIO72	Z	72	VDD33	A/P
23	TESTEN	Z	73	C_ATTACH1/GPIO1	Z
24	VBUS_DET/GPIO16	Z	74	SMBDATA/GPIO6	Z
25	RESET_N	R	75	SMBCLK/GPIO8	Z
26	VDD12	A/P	76	C_ATTACH0/GPIO64	Z
27	VDD33	A/P	77	SUSP_IND/GPIO68	Z
28	USB2DN_DP3/PRT_DIS_P3	PD-15k	78	VDD12	A/P
29	USB2DN_DM3/PRT_DIS_M3	PD-15k	79	USB2DN_DP7/PRT_DIS_P7	PD-15k
30	USB3DN_TXDP3	Z	80	USB2DN_DM7/PRT_DIS_M7	PD-15k
31	USB3DN_TXDM3	Z	81	USB3DN_TXDP7	Z
32	VDD12	A/P	82	USB3DN_TXDM7	Z
33	USB3DN_RXDP3	Z	83	VDD12	A/P
34	USB3DN_RXDM3	Z	84	USB3DN_RXDP7	Z
35	USB2DN_DP4/PRT_DIS_P4	PD-15k	85	USB3DN_RXDM7	Z
36	USB2DN_DM4/PRT_DIS_M4	PD-15k	86	USB2DN_DP6/PRT_DIS_P6	PD-15k
37	USB3DN_TXDP4	Z	87	USB2DN_DM6/PRT_DIS_M6	PD-15k
38	USB3DN_TXDM4	Z	88	USB3DN_TXDP6	Z
39	VDD12	A/P	89	USB3DN_TXDM6	Z
40	USB3DN_RXDP4	Z	90	VDD12	A/P
41	USB3DN_RXDM4	Z	91	USB3DN_RXDP6	Z
42	VDD33	A/P	92	USB3DN_RXDM6	Z
43	USB2DN_DP5/PRT_DIS_P5	PD-15k	93	VDD33	A/P
44	USB2DN_DM5/PRT_DIS_M5	PD-15k	94	USB2UP_DP	PD-1M
45	USB3DN_TXDP5	Z	95	USB2UP_DM	PD-1M
46	USB3DN_TXDM5	Z	96	USB3UP_TXDP	Z
47	VDD12	A/P	97	USB3UP_TXDM	Z
48	USB3DN_RXDP5	Z	98	VDD12	A/P
49	USB3DN_RXDM5	Z	99	USB3UP_RXDP	Z
50	SPEED_IND5/BC_IND5/GPIO65	Z	100	USB3UP_RXDM	Z

© 2017 Microchip Technology Inc.

有关引脚复位状态定义的详细信息，请参见表 3-1。

表 3-1： 引脚复位状态图注

符号	说明
A/P	模拟 / 功率输入
R	复位控制输入
Z	硬件禁止输出驱动器 （高阻抗）
PU-50k	硬件使能内部 50 kΩ 上拉
PD-50k	硬件使能内部 50 kΩ 下拉
PD-15k	硬件使能内部 15 kΩ 下拉
PD-1M	硬件使能内部 1M 下拉

3.3 USB5807 引脚说明

本节包含各 USB5807 引脚的说明。引脚说明已经划分为下列功能组：

- USB 3.1 Gen 1 引脚说明
- USB 2.0 引脚说明
- 端口控制引脚说明
- SPI 接口
- USB Type-C 连接器控制
- 其他引脚说明
- 配置引脚说明
- 电源和接地引脚说明

信号名称中的符号 “**_N**” 表示信号处于低电压电平时出现有效或置为有效状态。例如，**RESET_N** 表示复位信号为低电平有效。信号名称后面没有 “**_N**” 时，信号在高电压电平时置为有效。

“置位” 和 “取消置位” 为专用术语。这是为了避免与 “低电平有效” 和 “高电平有效” 信号一起使用时出现混淆。术语 “置位” 或 “置为有效” 表示信号有效，与电平以高电压或低电压表示无关。术语 “取消置位” 表示信号无效。

表 3-2： USB 3.1 GEN 1 引脚说明

名称	符号	缓冲器类型	说明
USB 3.1 Gen 1 上游 D+ TX	**USB3UP_TXDP**	I/O-U	上游 USB 3.1 Gen 1 发送数据 +
USB 3.1 Gen 1 上游 D- TX	**USB3UP_TXDM**	I/O-U	上游 USB 3.1 Gen 1 发送数据 -
USB 3.1 Gen 1 上游 D+ RX	**USB3UP_RXDP**	I/O-U	上游 USB 3.1 Gen 1 接收数据 +
USB 3.1 Gen 1 上游 D- RX	**USB3UP_RXDM**	I/O-U	上游 USB 3.1 Gen 1 接收数据 -

© 2017 Microchip Technology Inc.

表 3-2： USB 3.1 GEN 1 引脚说明 （续）

名称	符号	缓冲器类型	说明
USB 3.1 Gen 1 端口 7-1 D+ TX	**USB3DN_TXDP[7:1]**	I/O-U	下游超高速发送数据 +，端口 7 至 1。
USB 3.1 Gen 1 端口 7-1 D- TX	**USB3DN_TXDM[7:1]**	I/O-U	下游超高速发送数据 -，端口 7 至 1。
USB 3.1 Gen 1 端口 7-1 D+ RX	**USB3DN_RXDP[7:1]**	I/O-U	下游超高速接收数据 +，端口 7 至 1。
USB 3.1 Gen 1 端口 7-1 D- RX	**USB3DN_RXDM[7:1]**	I/O-U	下游超高速接收数据 -，端口 7 至 1。

表 3-3： USB 2.0 引脚说明

名称	符号	缓冲器类型	说明
USB 2.0 上游 D+	**USB2UP_DP**	I/O-U	上游 USB 2.0 数据 + （D+）
USB 2.0 上游 D-	**USB2UP_DM**	I/O-U	上游 USB 2.0 数据 - （D-）
USB 2.0 端口 7 D+	**USB2DN_DP[7:1]**	I/O-U	下游 USB 2.0 端口 7-1 数据 + （D+）
USB 2.0 端口 7 D-	**USB2DN_DM[7:1]**	I/O-U	下游 USB 2.0 端口 7-1 数据 - （D-）
VBUS 检测	**VBUS_DET**	IS	该信号检测上游总线电源的状态。 设计可拆卸集线器时，该引脚必须通过电阻分压器（50 kΩ/100 kΩ）连接到上游 USB 端口的 VBUS 电源引脚，以提供 3.3 V 电压。 对于永久连接主机的自供电应用来说，该引脚必须通过电阻分压器连接到 3.3 V 或 5.0 V 电源，以提供 3.3 V 电压。 在嵌入式应用中，当主机需要重新协商连接而不需要将该器件完全复位时，可能要控制 （切换） **VBUS_DET**。

表 3-4： 端口控制引脚说明

名称	符号	缓冲器类型	说明
端口 7 电源使能 / 过流检测	**PRT_CTL7**	I/OD12 （PU）	端口 7 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 7 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。
端口 6 电源使能 / 过流检测	**PRT_CTL6**	I/OD12 （PU）	端口 6 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 6 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。
端口 5 电源使能 / 过流检测	**PRT_CTL5**	I/OD12 （PU）	端口 5 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 5 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。
端口 4 电源使能 / 过流检测	**PRT_CTL4**	I/OD12 （PU）	端口 4 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 4 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。

© 2017 Microchip Technology Inc.

表 **3-4：** 端口控制引脚说明 （续）

名称	符号	缓冲器类型	说明
端口 3 电源使能 / 过流检测	**PRT_CTL3**	I/OD12 （PU）	端口 3 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 3 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。
端口 2 电源使能 / 过流检测	**PRT_CTL2**	I/OD12 （PU）	端口 2 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 2 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。
端口 1 电源使能 / 过流检测	**PRT_CTL1**	I/OD12 （PU）	端口 1 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 1 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。
端口 0 电源使能 / 过流检测	**PRT_CTL0**	I/OD12 （PU）	端口 0 电源使能 / 过流检测。 下游端口使能时，该引脚设置为输入且应用了内部上拉电阻。内部上拉使得下游端口能够供电，同时该引脚监视 USB 端口 0 上是否存在从外部电流监控器置为有效的低电平有效过流信号。 通过配置或主机控制禁止该端口时，该引脚将更改为输出，并被驱动至低电平。 **注：** 该引脚仅用于在使能 FlexConnect 时控制端口功率，端口 0 与下游端口 1 互换角色。

表 3-4： 端口控制引脚说明 （续）

名称	符号	缓冲器类型	说明
联动电源	**GANG_PWR**	I	当集线器配置为联动端口功率控制模式时， **GANG_PWR** 会成为所有下游端口的端口控制 （PRTCTL）引脚。当集线器配置为联动端口电源模式时，所有端口电源控制器均应从该引脚控制。
FlexConnect 控制	**FLEX_CMD**	I	FlexConnect 控制输入。 在低电平时，集线器将在默认状态下运行。端口 0 为上游端口，端口 1 为下游端口。 在高电平时，集线器将在 Flex 状态下运行。端口 0 为下游端口，端口 1 为上游端口。
FlexConnect 指示器	**FLEX_STATE**	O12	FlexConnect 指示器输出。反映 FlexConnect 的当前状态。 0 = 集线器处于默认工作模式 1 = 集线器处于 Flex 工作模式。

表 3-5： SPI 接口

名称	符号	缓冲器类型	说明
SPI 芯片使能	**SPI_CE_N**	I/O12	这是低电平有效 SPI 芯片使能输出。如果已使能 SPI 接口，则该引脚必须在掉电状态中被驱动至高电平。
SPI 时钟	**SPI_CLK**	I/O-U	这是至串行 ROM 的 SPI 时钟输出。如果已通过设置 UTIL_CONFIG1 寄存器中的 SPI_DIS-ABLE 位来禁止 SPI 接口，该引脚变为 **GPIO4**。如果已使能 SPI 接口，则复位期间该引脚必须被驱动至低电平。
SPI 数据输出	**SPI_DO**	I/O-U	SPI 数据输出，配置为 SPI 运行时。
SPI 数据输入	**SPI_DI**	I/O-U	SPI 数据输入，配置为 SPI 运行时。

© 2017 Microchip Technology Inc.

表 3-6： USB TYPE-C 连接器控制

名称	符号	缓冲器类型	说明
USB Type-C 连接控制输入 0-3	**C_ATTACH[0:3]**	I	USB Type-C 连接控制输入。 检测到有效 USB Type-C 连接时，该引脚向集线器发出指示。存在 Type-C 连接时，集线器使用该引脚使能 USB 3.1 Gen 1 PHY。不存在 USB Type-C 连接时，则会禁止 USB 3.1 Gen 1 PHY 以降低功耗。 该引脚操作如下： - 1：检测到 USB Type-C 连接时，打开相应的 USB 3.1 Gen 1 PHY。 - 0：未检测到 USB Type-C 连接时，关闭相应的 USB 3.1 Gen 1 PHY。 使用传统 USB Type-A 和 Type-B 连接器时，应将这些引脚拉至 3.3V，以永久使能所有 USB 3.1 PHY。

表 3-7： 其他引脚说明

名称	符号	缓冲器类型	说明
SMBus/I^2C 时钟	**SMBCLK**	I/O12	SMBus/I^2C 时钟 SMBus/I^2C 接口用作 SMBus 从机。 有关如何配置该接口的信息，请参见第 3.5.1 节“CFG_STRAP 配置”。
SMBus/I^2C 数据	**SMBDATA**	I/O12	SMBus/I^2C 数据 SMBus/I^2C 接口用作 SMBus 从机。 有关如何配置该接口的信息，请参见第 3.5.1 节“CFG_STRAP 配置”。
USB 端口 7-1 速度指示器	**SPEED_IND[7:1]**	O12	USB 端口速度指示器 指示相应端口的连接速度。 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.1 Gen 1

表 3-7： 其他引脚说明 （续）

名称	符号	缓冲器类型	说明
USB 端口 7-1 电池充电指示器	**BC_IND[7:1]**	O12	USB 电池充电指示器 指示相应端口的连接速度。 三态：未使能电池充电 0：已使能电池充电，且成功实现 BC 握手。 1：已使能电池充电，但没有实现 BC 握手。
通用 I/O	**GPIO[1:10]**、**GPIO12**、**GPIO[16:23]**、**GPIO[64:72]**	I/O12（PU/PD）	通用输入 / 输出 有关详细信息，请参见第 3.5.5 节 “通用输入 / 输出配置（GPIOx）”。
USB 2.0 暂停状态指示器	**SUSP_IND**	O12	USB 2.0 暂停状态指示器 处于 USB 2.0 暂停状态时，**SUSP_IND** 可以用作主机的边带远程唤醒信号。
复位控制输入	**RESET_N**	IS	复位控制输入 被拉低时，该引脚会将集线器置于复位模式。
偏置电阻	**RBIAS**	I-R	一个 12.0 kΩ （+/- 1%）电阻从地连接到该引脚，以设置收发器的内部偏置设置。该电阻应尽可能靠近器件放置，与 GND 平面之间采用专用低阻抗连接。
外部 25 MHz 晶振输入	**XTALI**	ICLK	外部 25 MHz 晶振输入
外部 25 MHz 参考时钟输入	**CLKIN**	ICLK	外部参考时钟输入。 该器件还可以由单端时钟振荡器驱动。使用该方法时，**XTALO** 应保留为不连接。
外部 25 MHz 晶振输出	**XTALO**	OCLK	外部 25 MHz 晶振输出
测试	**TESTEN**	I/O12	测试引脚。 该信号用于测试目的，必须始终接地。

© 2017 Microchip Technology Inc.

表 3-8： 配置引脚说明

名称	符号	缓冲器类型	说明
设备模式配置引脚	**CFG_STRAP**	I	设备模式配置引脚。 该配置引脚用于设置设备模式。有关详细信息，请参见第 3.5.1 节 “CFG_STRAP 配置”。 请参见注 1
端口 7-1 D+ 禁止配置引脚	**PRT_DIS_P[7:1]**	I	端口 7-1 D+ 禁止配置引脚。 这些配置引脚与相应的 **PRT_DIS_M[7:1]** 配置引脚配合使用，以禁止相关端口（7-1）。有关更多信息，请参见第 3.5.2 节“端口禁止配置（PRT_DIS_P[7:1] / PRT_DIS_M[7:1]）”部分。 请参见注 1
端口 7-1 D- 禁止配置引脚	**PRT_DIS_M[7:1]**	I	端口 7-1 D- 禁止配置引脚。 这些配置引脚与相应的**PRT_DIS_P[7:1]**配置引脚配合使用，以禁止相关端口 （7-1）。有关更多信息，请参见第 3.5.2 节“端口禁止配置 （PRT_DIS_P[7:1] / PRT_DIS_M[7:1]）”。 请参见注 1
固定端口配置引脚	**CFG_NON_REM**	I	用于控制所报告固定端口数量的配置引脚。请参见第 3.5.3 节 “固定端口配置 （CFG_NON_REM）” 请参见注 1
电池充电配置引脚	**CFG_BC_EN**	I	用于控制支持 BC 1.2 的下游端口数量的配置引脚。请参见第 3.5.4 节 “电池充电配置 （CFG_BC_EN）” 请参见注 1

1： 配置引脚值在上电复位 （POR）时和 **RESET_N** （外部芯片复位）的上升沿锁存。配置引脚由带下划线的符号名称来标识。连接到负载时，用作配置引脚的信号必须用外部电阻放大。有关更多信息，请参见第 3.5 节 “配置引脚和可编程功能”。

表 3-9： 电源和接地引脚说明

名称	符号	缓冲器类型	说明
+3.3V 电源输入	**VDD33**	P	+3.3V 电源和内部稳压器输入 有关电源连接的信息，请参见第 4.1 节 “电源连接”。
+1.2V 内核电源输入	**VDD12**	P	+1.2 V 内核电源 有关电源连接的信息，请参见第 4.1 节 “电源连接”。
地	**GND**	P	公共地。 该裸露焊盘必须用过孔阵列连接到地平面。

3.4 缓冲器类型说明

表 3-10： USB5807 缓冲器类型说明

缓冲器	说明
I	输入。
IS	带有施密特触发器的输入。
O12	具有12 mA灌电流和12 mA拉电流的输出缓冲器。
OD12	具有12 mA灌电流的漏极开路输出。
PU	50 µA（典型值）内部上拉。除非引脚说明中另外说明，否则内部上拉会始终使能。 内部上拉电阻可以防止未连接的输入悬空。不要依赖内部电阻来驱动器件的外部信号。如果连接了必须拉高的负载，必须添加外部电阻。
PD	50 µA（典型值）内部下拉。除非引脚说明中另外说明，否则内部下拉会始终使能。 内部下拉电阻可以防止未连接的输入悬空。不要依赖内部电阻来驱动器件的外部信号。如果连接了必须拉低的负载，必须添加外部电阻。
ICLK	晶体振荡器输入引脚
OCLK	晶体振荡器输出引脚
I/O-U	USB规范中定义的模拟输入/输出。
I-R	RBIAS。

注： 有关各个缓冲器的直流电气特性，请参见第 9.5 节 “直流规格”。

© 2017 Microchip Technology Inc.

3.5 配置引脚和可编程功能

配置引脚是上电复位（POR）或外部芯片复位（**RESET_N**）期间使用的多功能引脚，用来确定特定功能的默认配置。复位取消置位后，信号的状态将被锁存。配置引脚由带下划线的符号名称来标识。本节详细介绍了各种器件配置引脚和相关的可编程引脚功能。

> **注：** 系统设计人员必须保证配置引脚满足第 9.6.2 节“上电和配置引脚时序”和第 9.6.3 节“复位和配置引脚时序”中规定的时序要求。如果锁存前配置引脚没有处于正确的电压电平，则器件可能会采集错误的配置引脚值。

3.5.1 CFG_STRAP 配置

CFG_STRAP 引脚用于将集线器置于预设的工作模式。电阻选项包括 200 kΩ 下拉、200 kΩ 上拉、10 kΩ 下拉、10 kΩ 上拉和 10 Ω 下拉，如表 3-11 中所示。

表 3-11： CFG_STRAP 电阻编码

CFG_STRAP 电阻值	配置	设置
200 kΩ 下拉	CONFIG1	**速度指示器模式 + SMBus 接口禁止** 将禁止 SMBus 接口。 下列可编程引脚将被转化为 USB 速度指示器输出： 引脚 63：**SPEED_IND1** 引脚 61：**SPEED_IND2** 引脚 56：**SPEED_IND3** 引脚 60：**SPEED_IND4** 引脚 50：**SPEED_IND5** 引脚 71：**SPEED_IND6** 引脚 55：**SPEED_IND7** **SPEED_INDx** 引脚会以下列方式运行： 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.1 Gen 1

表 3-11： CFG_STRAP 电阻编码 （续）

CFG_STRAP 电阻值	配置	设置
200 kΩ 上拉	CONFIG2	**速度指示器模式 + SMBus 从模式** SMBus 接口将在从模式下运行，以便用于集线器配置。 下列可编程引脚将被转化为 USB 速度指示器输出： 引脚 63：**SPEED_IND1** 引脚 61：**SPEED_IND2** 引脚 56：**SPEED_IND3** 引脚 60：**SPEED_IND4** 引脚 50：**SPEED_IND5** 引脚 71：**SPEED_IND6** 引脚 55：**SPEED_IND7** **SPEED_INDx** 引脚会以下列方式运行： 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.1 Gen 1
10 kΩ 下拉	CONFIG3	未使用、保留
10 kΩ 上拉	CONFIG4	未使用、保留
10 Ω 下拉	CONFIG5	**电池充电指示器模式** 下列可编程引脚将被转化为 USB 电池充电指示器输出： 引脚 63：**BC_IND1** 引脚 61：**BC_IND2** 引脚 56：**BC_IND3** 引脚 60：**BC_IND4** 引脚 50：**BC_IND5** 引脚 71：**BC_IND6** 引脚 55：**BC_IND7** **BC_INDx** 引脚会以下列方式运行： 三态：未使能电池充电 0：已使能电池充电，且成功实现 BC 握手。 1：已使能电池充电，但没有实现 BC 握手。
10 Ω 上拉	CONFIG6	未使用、保留

3.5.2 端口禁止配置 （PRT_DIS_P[7:1] / PRT_DIS_M[7:1]）

PRT_DIS_P[7:1] 和 **PRT_DIS_M[7:1]** 配置引脚将配合使用以禁止相关端口 （7-1）。

对于 **PRT_DIS_P*x***（其中 *x* 是相应端口 7-1）来说：

0 = 端口 *x* D+ 使能

1 = 端口 *x* D+ 禁止

对于 **PRT_DIS_M*x***（其中 *x* 是相应端口 7-1）来说：

0 = 端口 *x* D- 使能

1 = 端口 *x* D- 禁止

© 2017 Microchip Technology Inc.

注：	**PRT_DIS_P*x*** 和 **PRT_DIS_M*x***（其中 ***x*** 是相应端口）必须连接到 3.3 V，以禁止相关的下游端口。禁止 USB 2.0 端口也将禁止相应的 USB 3.1 Gen 1 端口。

3.5.3 固定端口配置 （CFG_NON_REM）

CFG_NON_REM 配置引脚用于将器件的固定端口设置配置为五种设置之一。这些模式由 **CFG_NON_REM** 引脚上的外部电阻配置来选择。电阻选项包括 200 kΩ 下拉、200 kΩ 上拉、10 kΩ 下拉、10 kΩ 上拉、10 Ω 下拉和 10 Ω 上拉，如表 3-12 中所示。

表 3-12： CFG_NON_REM 电阻编码

CFG_NON_REM 电阻值	设置
200 kΩ 下拉	所有端口均可移动
200 kΩ 上拉	端口 1 不可移动
10 kΩ 下拉	端口 1、 2 不可移动
10 kΩ 上拉	端口 1、 2、 3 不可移动
10 Ω 下拉	端口 1、 2、 3、 4 不可移动
10 Ω 上拉	端口 1、 2、 3、 4、 5、 6、 7 不可移动

3.5.4 电池充电配置 （CFG_BC_EN）

CFG_BC_EN配置引脚用于将器件的电池充电端口设置配置为五种设置之一。这些模式由**CFG_BC_EN**引脚上的外部电阻配置来选择。电阻选项包括200 kΩ下拉、200 kΩ上拉、10 kΩ下拉、10 kΩ上拉、10 Ω下拉和10 Ω上拉，如表3-13中所示。

表 3-13： CFG_BC_EN 电阻编码

CFG_BC_EN 电阻值	设置
200 kΩ 下拉	无电池充电
200 kΩ 上拉	端口 1 电池充电
10 kΩ 下拉	端口 1、 2 电池充电
10 kΩ 上拉	端口 1、 2、 3 电池充电
10 Ω 下拉	端口 1、 2、 3、 4 电池充电
10 Ω 上拉	端口 1、 2、 3、 4、 5、 6、 7 电池充电

3.5.5 通用输入 / 输出配置 （GPIO*x*）

通用输入 / 输出可以用于专用用途。任一给定的 GPIO 都可以作为输入或输出。输入可以添加内部 50 kΩ 下拉或上拉电阻。输出可能驱动至低电平或驱动至高电平 （3.3V）。 GPIO 可以通过 SMBus 来配置和处理。

3.5.5.1 SMBus 配置

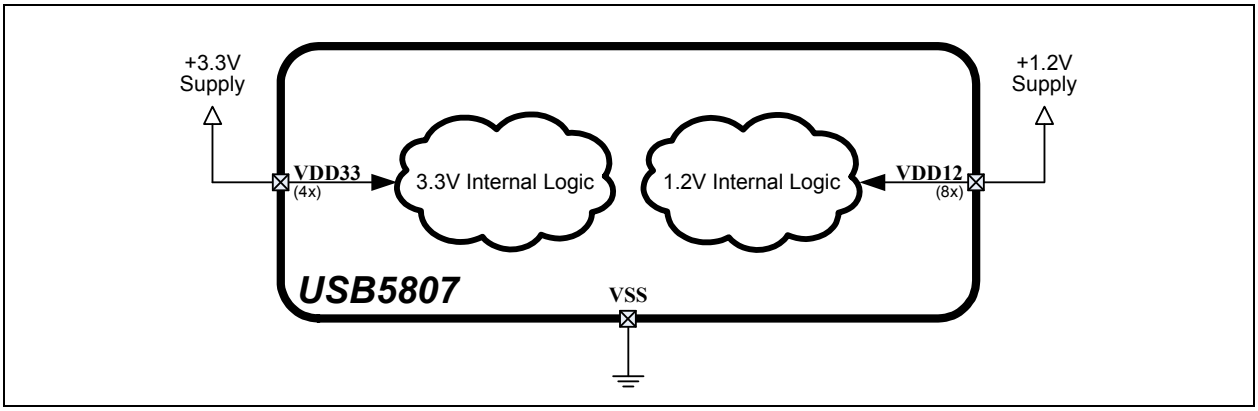
SMBus 从机接口可用于写入用来配置 GPIO 状态的内部寄存器。有关更多详细信息，请参见 《Microchip USB58xx 和 USB59xx 集线器的配置选项》应用笔记。

4.0 器件连接

4.1 电源连接

图 4-1 显示了器件的电源连接。

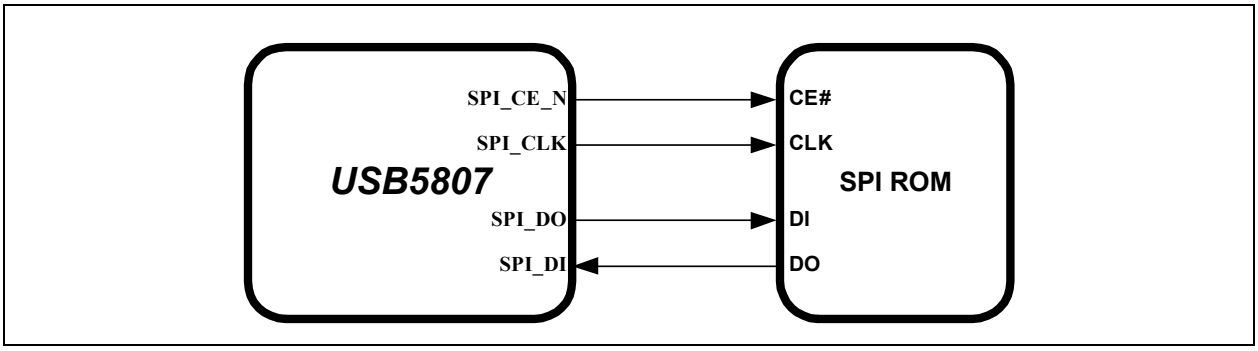
图 4-1： 器件电源连接



4.2 SPI ROM 连接

图 4-2 显示了器件的 SPI ROM 连接。有关这个器件接口的更多信息，请参见**第 7.1 节 “SPI 主机接口”**。

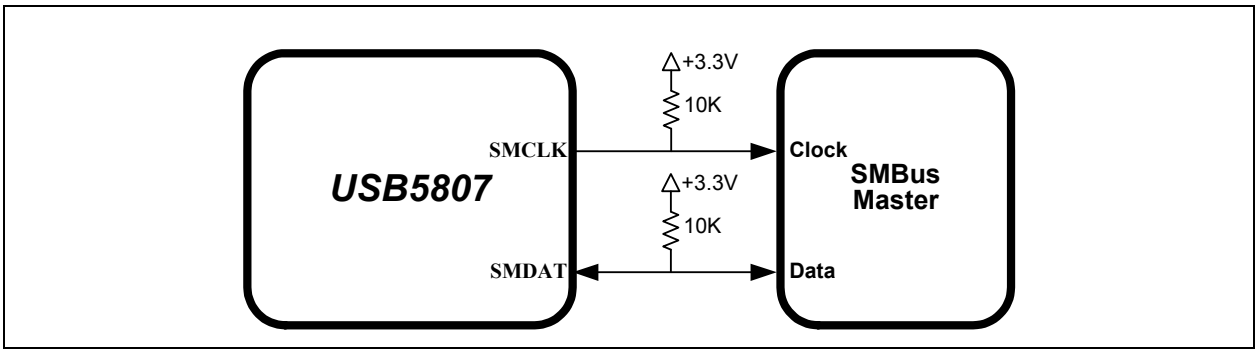
图 4-2： SPI ROM 连接



4.3 SMBus 从连接

图 4-3 显示了器件的 SMBus 从连接。有关这个器件接口的更多信息，请参见**第 7.2 节 “SMBus 从机接口”**。

图 4-3： SMBUS 从连接



© 2017 Microchip Technology Inc.

5.0 工作模式

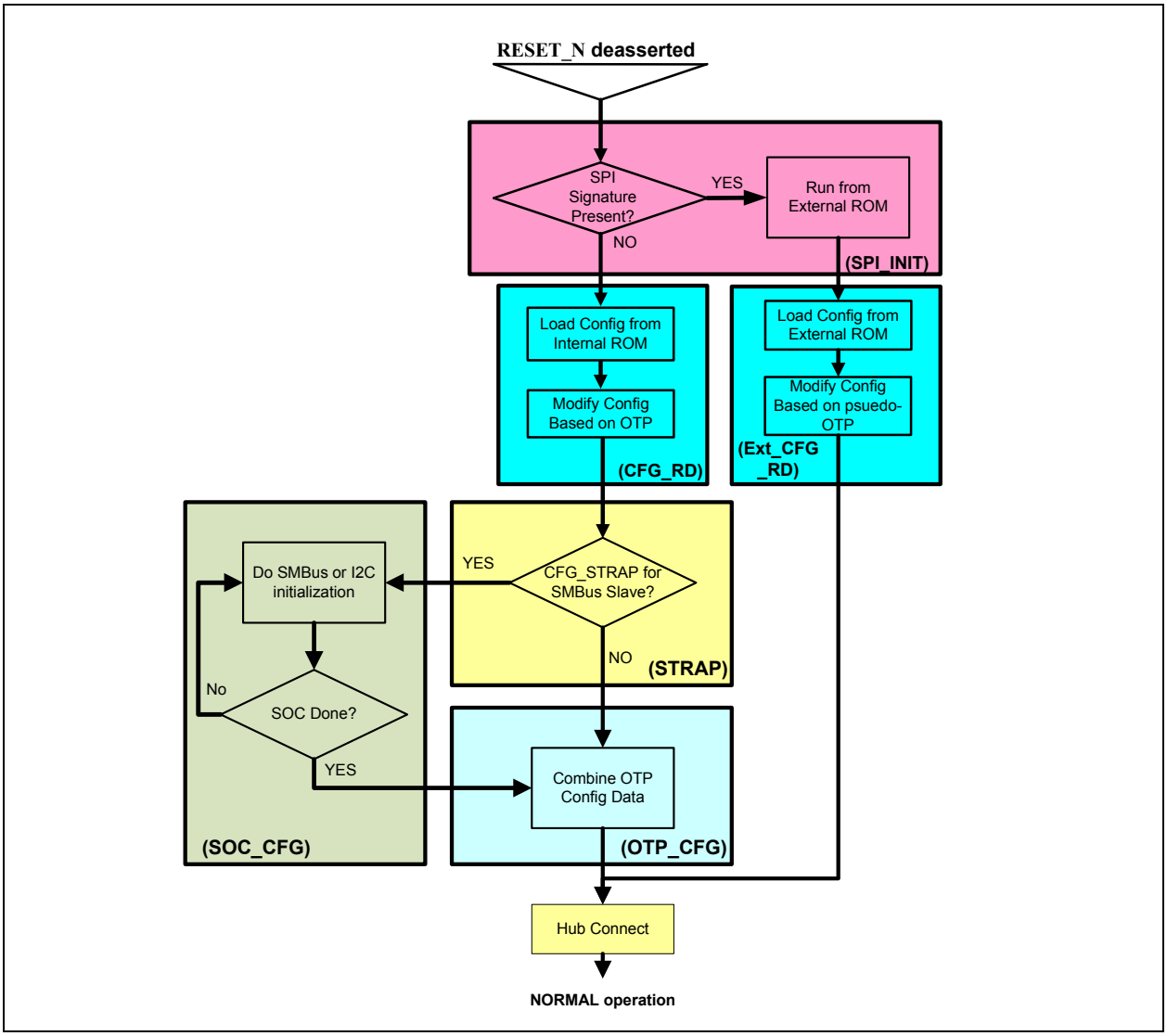
该器件提供两种主要的工作模式：待机模式和集线器模式。这些模式通过 **RESET_N** 引脚控制，如表 5-1 中所示。

表 5-1： 工作模式

RESET_N 输入	概述
0	**待机模式**：这是该器件的最低功耗模式。除了会监控 **RESET_N** 输入，其他功能均不工作。所有端口接口均处于高阻抗状态，且 PLL 停止。有关 **RESET_N** 的更多信息，请参见第 8.4.2 节“外部芯片复位 （RESET_N）”。
1	**集线器 （正常）模式**：该器件用作可配置的 USB 集线器，并具有电池充电器检测功能。该模式具有多种子工作模式，详见图 5-1。功耗取决于活动端口数、端口的速度及传输的数据量。

图 5-1 中的流程图详细介绍了各个工作模式，以及该器件如何遍历集线器模式的各个阶段 （以粗体显示）。其余的各小节详细介绍了各工作阶段。

图 5-1： 集线器启动流程图



5.1 待机模式

如果 **RESET_N** 引脚置为有效，则集线器将处于待机模式。该模式会在无需传输信号时提供极低功耗状态，从而最大程度地提高能效。这是最低功耗状态。在待机模式下，所有下游端口均被禁止， USB 数据引脚处于高阻抗状态，所有处理立即停止 （不保存任何状态），所有内部寄存器都会恢复到默认状态， PLL 停止，同时内核逻辑断电，以最大程度地降低功耗。由于内核逻辑会断电，该模式不会保留任何配置设置，因此 **RESET_N** 不是高电平后，必须重新初始化这些设置。

5.2 SPI 初始化阶段 （SPI_INIT）

RESET_N 取消置位时，会进行第一个阶段 —— 初始化阶段。在该阶段中，内部逻辑会复位，PLL 会锁定（如果提供了有效时钟），并且配置寄存器会初始化为其默认状态。然后，内部固件会检查是否存在外部 SPI ROM。固件会从地址 0xFFFA 开始寻找包含“2DFU”（器件固件升级）有效签名的外部 SPI 闪存设备。如果发现有效签名，则会使能该外部 ROM 并在该外部 SPI 设备中从地址 0x0000 开始执行代码。如果未发现有效签名，则从内部 ROM 继续执行（CFG_RD 阶段）。

使用外部 SPI ROM 时，必须使用 1 Mbit、60 MHz 或更快的 ROM。1 位和 2 位 SPI 操作都受支持。要获得最佳吞吐量，建议使用 2 位 SPI ROM。另外也支持模式 0 和模式 3 SPI ROM。

如果系统未进行 SPI 模式配置，则将继续从内部 ROM 执行代码 （CFG_RD 阶段）。

5.3 配置读取阶段 （CFG_RD）

在该阶段中，内部固件会从内部 ROM 加载默认值，然后使用配置选项来改写默认值。有关各器件配置引脚用途的信息，请参见第 3.5 节 “配置引脚和可编程功能”。

5.4 配置引脚读取阶段 （STRAP）

在该阶段中，固件会寄存配置引脚设置并检查 **CFG_STRAP** 的状态。如果 **CFG_STRAP** 设置为 CONFIG2，则集线器将检查 **SMBDATA** 和 **SMBCLK** 引脚的状态。如果在这两个引脚中都检测到 10k 上拉电阻，则器件将进入 SOC_CFG 阶段。如果没有在这两个引脚上检测到 10k 上拉电阻，则集线器将过渡到 OTP_CFG 阶段。

5.5 SOC 配置阶段 （SOC_CFG）

在该阶段中， SOC 可以修改集成 ROM 中指定的任何默认配置设置，例如 USB 设备描述符和端口电气设置。

该模式中没有时间限制。在该阶段中，固件将无限期地等待 SMBus/I^2C 配置。 SOC 在完成器件配置后，必须写入寄存器 0xFF 以结束配置。

5.6 OTP 配置阶段 （OTP_CFG）

在 SOC 显示已完成配置后，会立即在该阶段合并所有配置数据。此时会在固件合并默认数据、 SOC 配置数据和 OTP 数据，并对器件进行编程。

在器件完全配置完成后，如果没有 VBUS 或 Hub.Connect，则会进入空闲状态，然后会进入暂停状态。存在 VBUS 且使能电池充电时，该器件会过渡到电池充电器检测阶段。如果存在 VBUS，但未使能电池充电，该器件将过渡到连接阶段。

5.7 集线器连接阶段 （Hub.Connect）

CHGDET 阶段完成后，该器件会进入集线器连接阶段。可通过将 VBUS 引脚功能置为高电平来启动 USB 连接。该器件会无限期地处于集线器连接阶段，直至 VBUS 引脚功能取消置位为止。

© 2017 Microchip Technology Inc.

5.8 正常模式

最后，集线器会进入正常工作模式。在该阶段中，在 USB 主机的控制下，上游端口支持完整的 USB 操作。该器件将一直保持正常模式，直至系统更改工作模式为止。

6.0 器件配置

本器件支持大量功能（一些功能互不相容），并必须进行配置，才能在连接到 USB 主机控制器时正常工作。该集线器可以进行内部配置或外部配置，具体取决于实现的接口。

Microchip 提供了一款综合软件编程工具 ——Pro-Touch2，用于配置 USB5807 功能、寄存器和 OTP 存储器。所有配置都将通过 Pro-Touch2 编程工具执行。有关 Pro-Touch2 编程工具的更多信息，请参见 Microchip USB5807 产品页面 www.microchip.com/USB5807 中的软件库。

> **注：** 有关器件配置引脚和可编程引脚的详细信息，请参见第 3.5 节 “配置引脚和可编程功能”。
> 有关各器件接口的详细信息，请参见第 7.0 节 “器件接口”。

6.1 客户可访问功能

客户可以通过 Pro-Touch2 编程工具使用下列功能。

> **注：** 有关其他编程详细信息，请参见 《Pro-Touch2 编程工具用户指南》。

6.1.1 USB 可访问功能

6.1.1.1 通过 USB 访问 SPI

对所连 SPI 器件的访问由 USB 主机通过传递操作来执行。器件固件不能访问所连 SPI 器件的操作信息。有关更多信息，请参见 Microchip USB5807 产品页和 SDK，网址为 www.microchip.com/USB5807。

> **注：** 有关 SPI 的更多信息，请参见第 7.1 节 “SPI 主机接口”。

6.1.1.2 OTP 访问

正常运行期间会通过 USB 总线访问器件中的 OTP ROM，而在 SOC_CFG 阶段则会通过 SMBus 访问。有关更多信息，请参见 Microchip USB5807 产品页或 Pro-Touch2 用户指南。

6.1.1.3 通过 USB 进行电池充电

当需要预先编程或由 OTP 编程的特性之外的电池充电特性时，可以通过 USB 主机来动态更改该器件的电池充电特性。有关更多信息，请参见 Microchip USB5807 产品页面或 《Pro-Touch2 用户指南》。

6.1.2 SMBUS 可访问功能

通过 USB5807 SMBus 从机接口可以访问 OTP 以及配置特定器件功能。通过 SMBus 主机可以修改所有 OTP 参数。有关更多信息，请参见 Microchip USB5807 产品页。

© 2017 Microchip Technology Inc.

7.0 器件接口

USB5807 提供了多个接口，用于进行配置和外部存储器访问。本节详细介绍各个器件接口及其用途：

- SPI 主机接口
- SMBus 从机接口

> **注：** 有关如何使能各个接口的详细信息，请参见第 3.5 节 “配置引脚和可编程功能”。
>
> 欲了解器件连接信息，请参见第 4.0 节 “器件连接”。欲了解器件配置信息，请参见第 6.0 节 “器件配置”。
>
> Microchip 提供了一款综合软件编程工具 ——Pro-Touch2，用于配置 USB5807 功能、寄存器和 OTP 存储器。所有配置都将通过 Pro-Touch2 编程工具执行。有关 Pro-Touch2 编程工具的更多信息，请参见 Microchip USB5807 产品页面 www.microchip.com/USB5807 中的软件库。

7.1 SPI 主机接口

该器件可以从外部 SPI ROM 执行代码。配置为 SPI 模式时，上电后，固件会从地址 0xFFFA 开始寻找包含 `2DFU`（器件固件升级）有效签名的外部 SPI 闪存设备。如果发现有效签名，则会使能该外部 ROM 并在该外部 SPI 设备中从地址 0x0000 开始执行代码。如果未发现有效签名，则从内部 ROM 继续执行。

> **注：** 有关 SPI 时序信息，请参见第 9.6.7 节 “SPI 时序”。

7.2 SMBus 从机接口

该器件集成 SMBus 从机接口，可用于访问内部器件运行时寄存器或者对内部 OTP 存储器进行编程。 SMBus 从机检测的实现方式如下：将 **CFG_STRAP** 设为正确的配置，然后于集线器的启动序列期间在 **SMDAT** 和 **SMCLK** 信号上检测上拉电阻。有关更多信息，请参见第 3.5.1 节 “CFG_STRAP 配置”。

> **注：** 所有配置都将通过 Pro-Touch2 编程工具执行。有关 Pro-Touch2 编程工具的更多信息，请参见 Microchip USB5807 产品页面 www.microchip.com/USB5807 中的软件库。

8.0 功能描述

本节详细介绍各种 USB5807 功能，包括：

- USB Type-C 插座支持
- 电池充电
- FlexConnect
- 复位
- 链路电源管理 （LPM）
- 远程唤醒指示器
- 端口控制接口
- 端口拆分

8.1 USB Type-C 插座支持

USB5807 内置 USB Type-C 插座支持。

8.1.1 外部 USB 3.1 GEN 1 多路开关

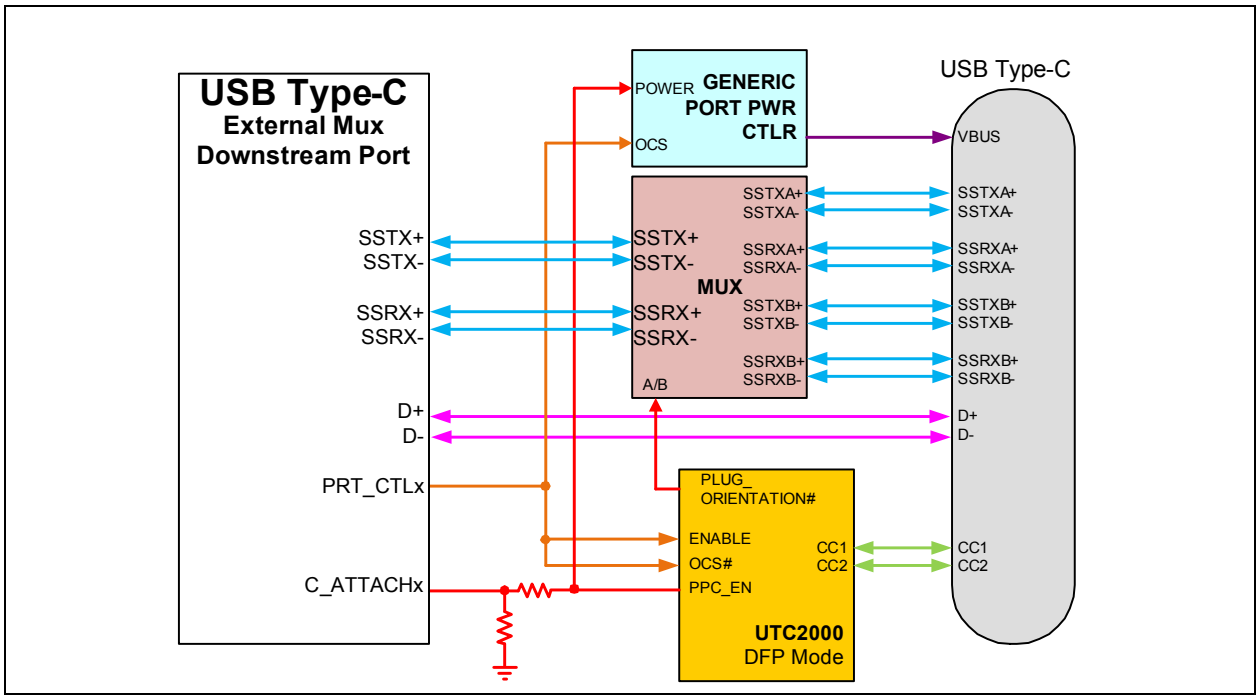
C_ATTACH[0:3] 引脚用于在检测到USB Type-C有效连接时向集线器发送信号。此功能需要外部USB Type-C控制器（例如 Microchip UTC2000）来监控 USB Type-C 插座，以保证存在有效连接。此信号用于使能和禁止向 USB 3.1 Gen 1 PHY 提供时钟信号，从而在未连接 USB Type-C 时降低功耗。

C_ATTACH[0:3] 引脚为高电平有效输入。高电平信号会使能向 PHY 提供时钟信号，以允许进行 USB 3.1 Gen 1 连接。低电平信号则会禁止 PHY。

图 8-1 显示了带有 USB5807、 Microchip UTC2000 和外部多路开关的 USB Type-C 下游端口示意图。

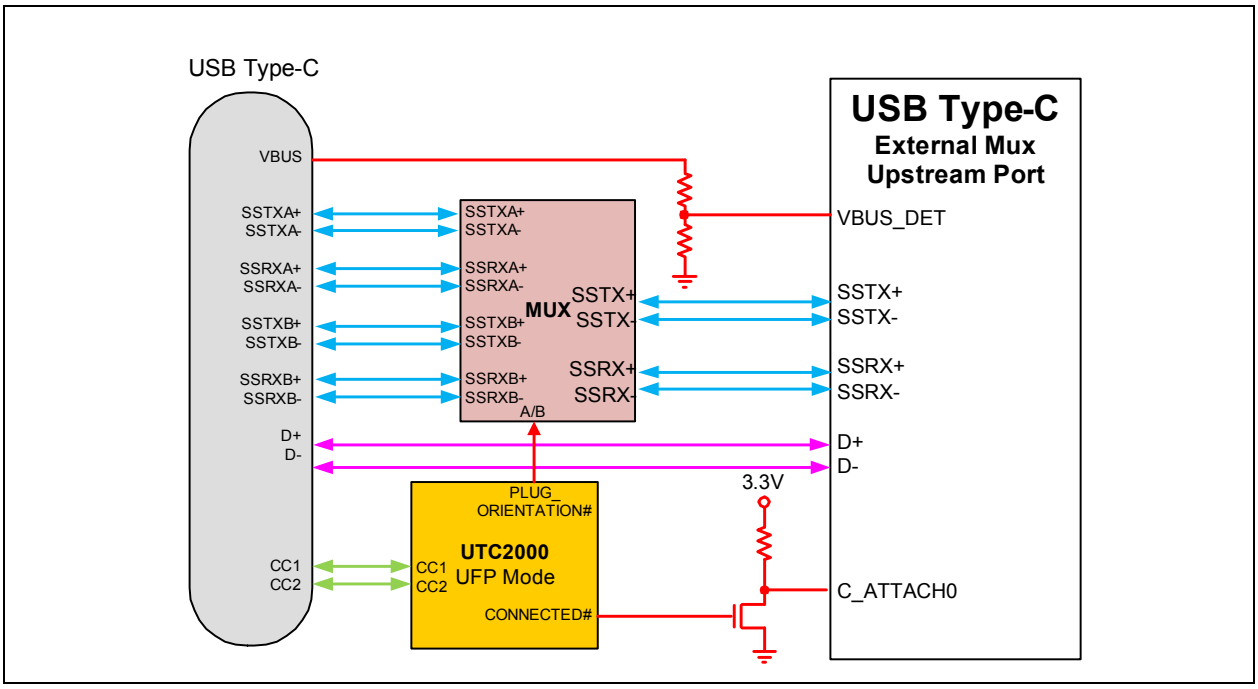
图 8-2 显示了带有 USB5807、 Microchip UTC2000 和外部多路开关的 USB Type-C 上游端口示意图。

图 8-1： 带有 MICROCHIP UTC2000 和外部多路开关的 DFP TYPE-C 端口



© 2017 Microchip Technology Inc.

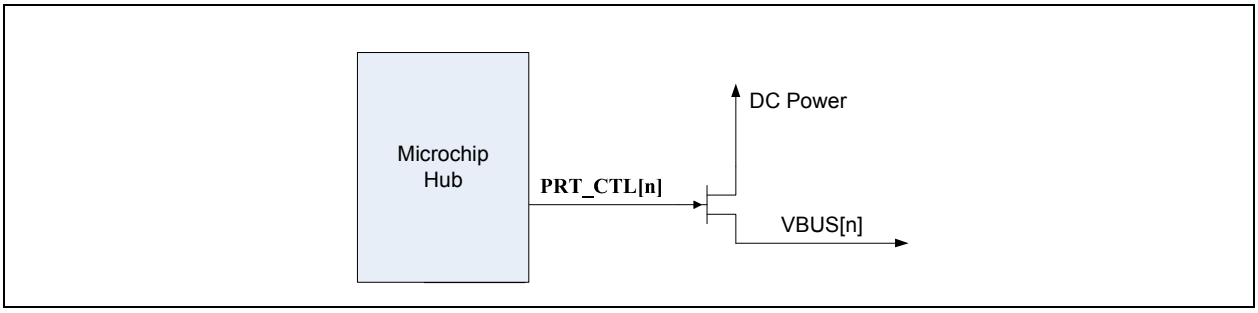
图 8-2： 带有 MICROCHIP UTC2000 和外部多路开关的 UFP TYPE-C 端口



8.2 电池充电

该器件可以由 OEM 进行配置，使任一下游端口支持电池充电。在电池充电应用中，该集线器的作用是在设备查询集线器系统是否支持 USB 电池充电时提供确认。集线器硅片不提供任何电流或电源 FET 或者任何其他电路来实际为设备充电。这些元件必须由 OEM 在外部提供。

图 8-3： 电池充电外部电源



如果 OEM 提供了外部电源，能够按照电池充电规范供电，则可以配置集线器指示该器件存在此类电源。该指示通过 **PRT_CTL[7:1]** 引脚提供，并基于每个端口。例如，OEM 可以将两个端口配置为通过大功率 FET 支持电池充电，而将另外两个端口保留作为标准 USB 端口。

有关更多信息，请前往Microchip.com并查看USB5807产品页面www.microchip.com/USB5807上的Microchip USB5807电池充电应用笔记。

8.3 FlexConnect

该功能允许将上游端口与下游物理端口 1 交换。仅下游端口 1 可以交换位置。默认状态为端口 0 是上游端口时。“Flex”状态为端口 1 是上游端口时。

可通过以下任一方式使能 / 禁止 FlexConnect：

- SMBUS 配置
- 直接引脚控制

8.3.1 SMBUS 配置

集线器运行期间 （枚举后），可以用运行时配置寄存器通过 SMBus 从机接口控制 FlexConnect。

8.3.2 直接引脚控制

FLEX_CMD 控制输入可用于控制 FlexConnect 状态。当被驱动至低电平或被拉低时，集线器将在默认状态下工作。当被驱动至高电平或被拉高时，集线器将在 “Flex”状态下工作。

FLEX_STATE 输出显示 FlexConnect 的当前状态。无论通过什么方式控制 FlexConnect（SMBus 或直接引脚控制），其工作方式均相同。在低电平时 , 集线器当前处于默认状态。在高电平时，集线器处于 “Flex”状态。

注：	有关更多信息，请参见 Microchip.com USB5807 产品页面上的 Microchip USB58xx/USB59xx FlexConnect 应用笔记。

8.4 复位

- 上电复位 （POR）
- 外部芯片复位 （RESET_N）
- USB 总线复位

8.4.1 上电复位 （POR）

每当向该器件初始供电时，或者断开电源并再次向该器件供电时，都会发生上电复位。该器件内的定时器会按照第 9.6.2 节 “上电和配置引脚时序”中列出的规范置位内部复位。

8.4.2 外部芯片复位 （**RESET_N**）

有效的硬件复位定义为在所有电源都处于工作范围内后将 **RESET_N** 置为有效，具体如第 9.6.3 节 “复位和配置引脚时序”中的规范所述。当复位置位时，该器件 （及关联的外部电路）会进入待机模式，此时功耗最小。

RESET_N 置位会产生下列结果：

1. PHY 被禁止，并且差分对将处于高阻抗状态。
2. 所有处理立即停止；所有状态均不保存。
3. 所有内部寄存器都返回默认状态。
4. 外部晶体振荡器停止。
5. PLL 停止。

注：	在 **RESET_N** 置位之前 （或置位时），所有电源都必须达到第 9.2 节 “工作条件 **”中要求的工作电平。

© 2017 Microchip Technology Inc.

8.4.3 USB 总线复位

当上游端口向该器件发出复位信号时，作为响应，该器件会执行下列操作：

1. 将默认地址设置为 0。
2. 将配置设置为未配置。
3. 将器件从暂停状态移到有效状态 （如果处于暂停状态）。
4. 完成复位序列后，符合 USB 规范。

然后，主机根据 USB 规范对该器件进行配置。

注：	该器件不会将上游 USB 复位信号传播到下游设备。

8.5 链路电源管理 （LPM）

该器件支持 L0 （开启）、 L1 （休眠）和 L2 （暂停）三种链路电源管理状态。传统 USB 暂停 / 恢复的响应时间长达几十毫秒，而这些受支持 LPM 状态的转换响应时间低至几十微秒。表 8-1 中详细介绍了各个受支持的 LPM 状态。

表 8-1： LPM 状态定义

状态	说明	进入 / 退出 L0 所需的时间
L2	暂停	进入：~3 ms 退出：~2 ms （从恢复开始）
L1	休眠	进入：<10 us 退出：<50 us
L0	完全使能 （开启）	-

8.6 远程唤醒指示器

当处于 USB 2.0 暂停状态时，远程唤醒指示器功能使用 **SUSP_IND** 作为边带信号唤醒主机。该功能通过集线器配置空间寄存器 HUB_CFG_3 中的 HUB_RESUME_INHIBIT 配置位来使能和禁止。控制该位的唯一方式是使用配置 EEPROM、SMBus 或内部 ROM 默认设置。该状态只能在上电复位或硬件复位期间修改。该功能无法进行动态重新配置。

当 HUB_RESUME_INHIBIT 等于 0 时，使能 USB 2.0 规范中所述的正常恢复特性

当 HUB_RESUME_INHIBIT 等于 1 时，使能修改后的恢复特性

注：	**SUSP_IND** 信号仅指示 USB2.0 状态。

8.7 端口控制接口

每个端口均通过相同的引脚 （**PRT_CTLx**）进行端口功率和过流检测。这些功能可以直接从 USB 集线器控制，也可以通过处理器控制。此外，智能端口控制器可以通过 I^2C 接口进行控制。

该器件可以配置为以下两种端口控制模式之一：

- **联动模式** - 单个 **GANG_PWR** 引脚控制所有下游端口的功率并检测过流事件。
- **单独模式** - 每个端口均有一个单独的 **PRT_CTLx** 引脚来实现独立的端口功率控制和过流检测。

各模式下的端口连接会在后续的小节中加以详细介绍。

8.7.1 联动模式下的端口连接

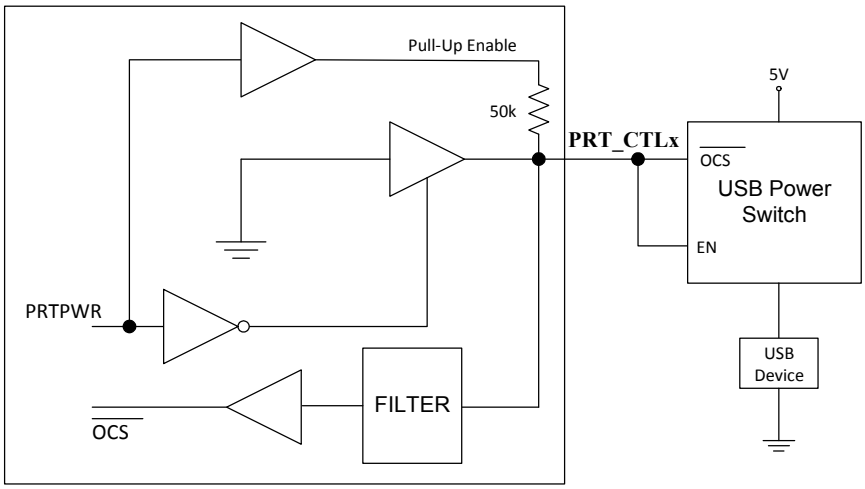
联动模式通过 SMBus 或 OTP 配置来使能。当集线器配置为联动端口功率控制模式时， **GANG_PWR** 会成为所有下游端口的端口控制 （PRTCTL）引脚。当集线器配置为联动端口功率模式时，所有端口功率控制器均应从该引脚控制。在该工作模式下，任一下游端口上的过流事件都将导致所有下游端口被标记为过流。

8.7.2 单独模式下的端口连接

8.7.2.1 使用 USB 功率开关控制端口功率

单独模式是默认工作模式。在单独模式下工作时，该器件的每个下游端口都有一个端口功率控制和过流检测引脚。禁止端口功率控制时，驱动器将主动驱动为 “0” 。为避免产生不必要的功耗，此时上拉电阻将被禁止。使能端口功率控制时，将禁止输出驱动器并使能上拉电阻，从而使其成为漏极开路输出。如果存在过流情况，USB 功率开关会使漏极开路 OCS 信号置位。施密特触发器输入会将该信号识别为低电平。漏极开路输出不干扰。器件上电期间，过流检测滤波器负责处理各种瞬态情况，例如低电压。

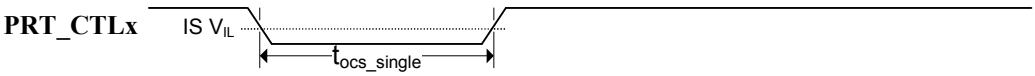
图 8-4： 使用 USB 功率开关控制端口功率



该端口使能时，会持续对 **PRT_CTLx** 引脚输入进行采样。过流事件可以通过以下两种方式之一来检测：

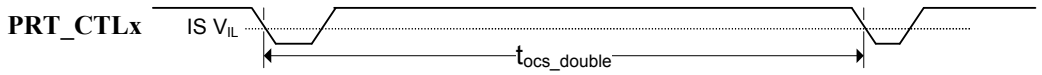
- 单个连续低电平脉冲 （t_{ocs_single} 期间连续低电平样本），如图 8-5 所示。
- 滚动窗口内两个低电平短脉冲 （t_{ocs_double} 期间两组 1 个或多个低电平采样），如图 8-6 所示。

图 8-5： 单低电平脉冲过流检测



© 2017 Microchip Technology Inc.

图 8-6： 双低电平脉冲过流检测



为了最大程度地提高与各种端口功率控制拓扑的兼容性，参数 t_{ocs_single} 和 t_{ocs_double} 可以通过过流最小脉冲宽度寄存器和过流无效定时器寄存器进行配置。

该引脚还具有导通“锁定”功能，即在开启端口功率控制后的指定时间内忽略该引脚的状态。这可以防止连接到该引脚的寄生电阻 / 电容产生的慢斜坡时间错误地触发过流检测。该参数可以通过过流锁定定时器寄存器进行配置。

表 8-2： 过流最小脉冲宽度寄存器

OCS_MIN_WIDTH（30EAh）			过流检测脉冲窗口
位	名称	R/W	说明
7:4	保留	R	保留
3:0	OCS_MIN_WIDTH	R/W	最小过流检测脉冲宽度（t_{ocs_single}）在该寄存器中进行配置。 配置范围可以为 0 ms 至 5 ms，以 1 ms 递增。 0000 - 0 ms 最小过流检测脉冲宽度 0001 - 1 ms 最小过流检测脉冲宽度 0010 - 2 ms 最小过流检测脉冲宽度 0011 - 3 ms 最小过流检测脉冲宽度 0100 - 4 ms 最小过流检测脉冲宽度 0101 - 5 ms 最小过流检测脉冲宽度 [默认]

表 8-3： 过流无效定时器寄存器

OCS_INACTIVE_TIMER（30EBh）			首次过流检测后过流无效定时器
位	名称	R/W	说明
7:0	OCS_INACTIVE_TIMER	R/W	该寄存器对该定时器进行配置，其中双低电平脉冲会触发过流检测事件（t_{ocs_double}）。 该定时器可以 1 ms 递增。默认值为 20 ms （14h）。 **注：** 切勿将该寄存器设置为 00h。

表 8-4： 过流锁定定时器寄存器

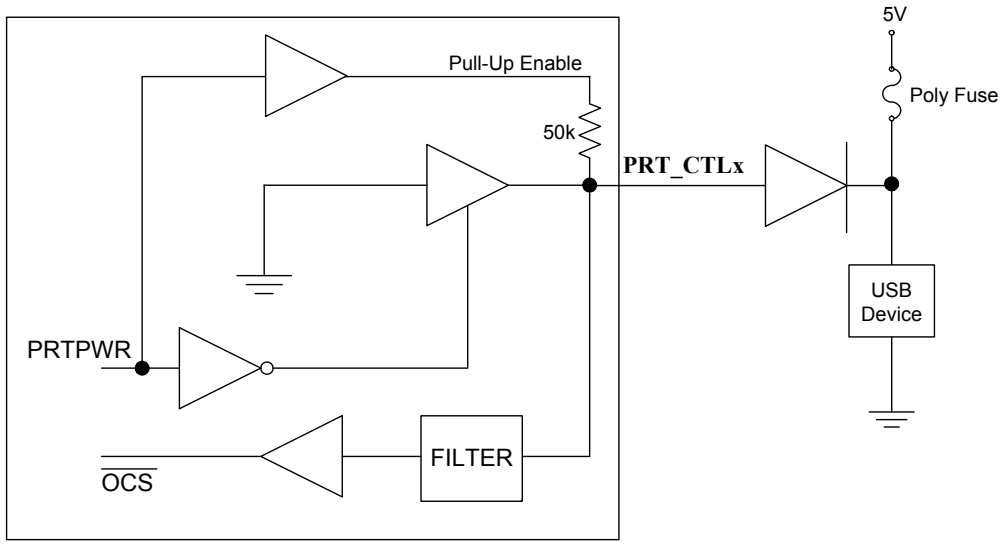
START_LOCKOUT_TIMER_REG（30E1h）			启动锁定定时器寄存器
位	名称	R/W	说明
7:0	START_LOCKOUT_TIMER_REG	R/W	“启动锁定定时器”可以防止在开启端口功率控制后立即检测到过流事件。该定时器值内的所有过流事件都会被忽略。 该定时器可以 1 ms 递增。默认值为 10 ms （0Ah）。 注： 切勿将该寄存器设置为 00h。

8.7.2.2 使用多晶硅熔丝控制端口功率

使用带有多晶硅熔丝的器件时，无需进行输出功率控制。为保持一致性，这里将使用相同的电路。从集线器角度来看，仍然是每个下游端口使用单独的端口功率控制和过流检测。禁止端口功率控制时，驱动器将主动驱动为 “0” 。这不会产生任何影响，因为外部二极管会将引脚与负载隔离。使能端口功率控制时，将禁止输出驱动器并使能上拉电阻。这意味着，上拉电阻会向该二极管的阳极提供 3.3V 电压。如果存在过流情况，多晶硅熔丝将断开。这将导致二极管的阴极变为 0V。二极管的阳极将为 0.7V，施密特触发器输入会将这个记录为低电平，从而指示检测到过流。漏极开路输出不干扰。

注： 使用多晶硅熔丝模式时，必须将 USB 2.0 和 USB 3.1 Gen 1 bPwrOn2PwrGood 描述符设置为 0。有关如何更改这些值的详细信息，请参见 “USB58xx 和 USB59xx 配置选项” Microchip 应用笔记。

图 8-7： 使用多晶硅熔丝控制端口功率

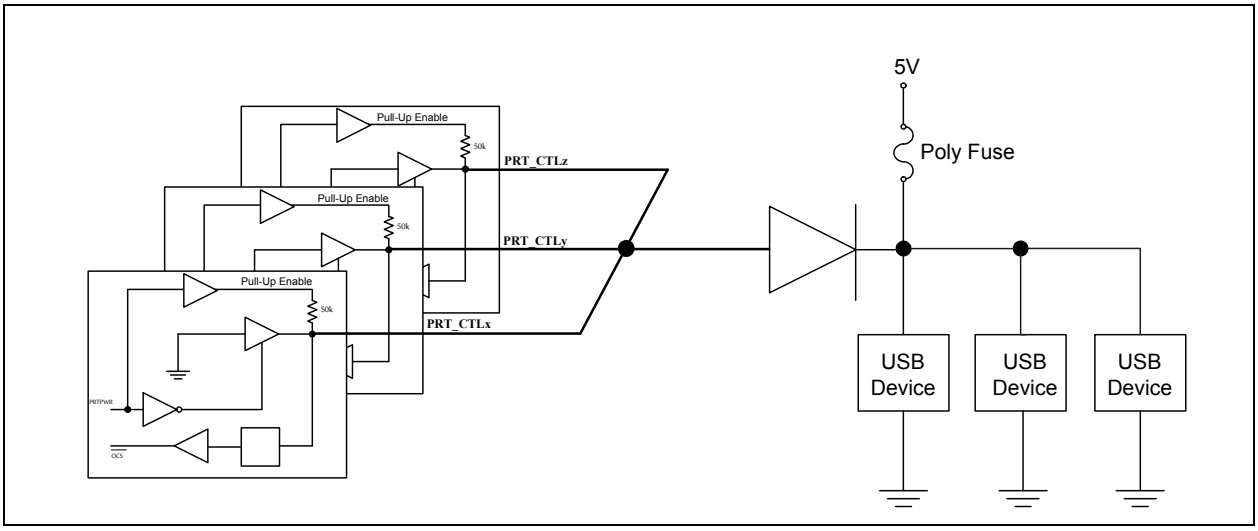


© 2017 Microchip Technology Inc.

8.7.2.3 使用单个多晶硅熔丝和多个负载控制端口功率

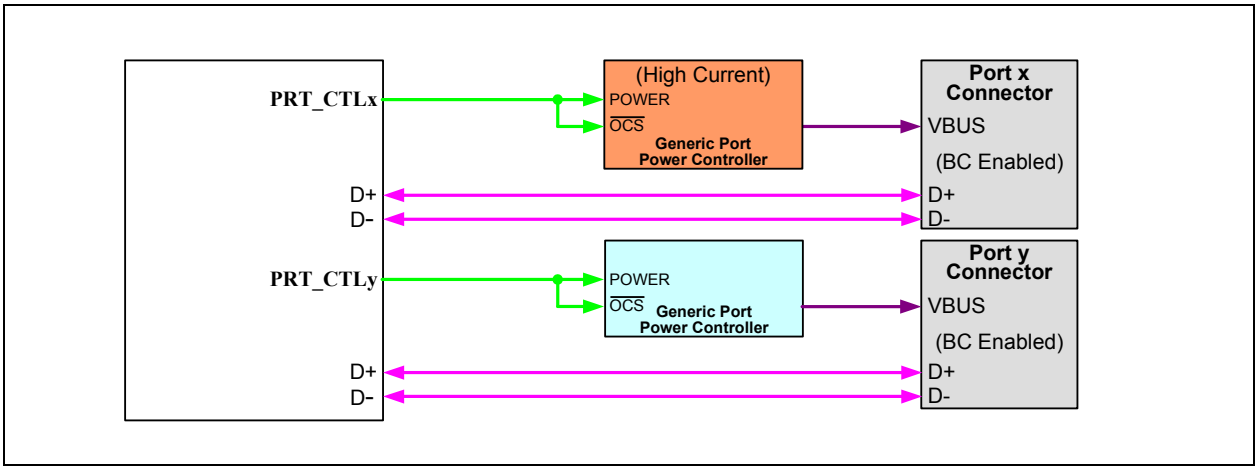
许多客户使用单个多晶硅熔丝来为所有器件供电。在联动情况下，所有功率控制引脚必须连接在一起。

图 8-8： 在联动控制下使用多晶硅熔丝控制端口功率



8.7.3 端口控制器连接示例

图 8-9： 通用端口功率控制器



注： 必须对 **CFG_BC_EN** 配置引脚进行适当配置，以便在合适端口上使能电池充电。有关 **CFG_BC_EN** 配置引脚的更多信息，请参见第 3.5.4 节 “电池充电配置 （CFG_BC_EN）”。

8.8 端口拆分

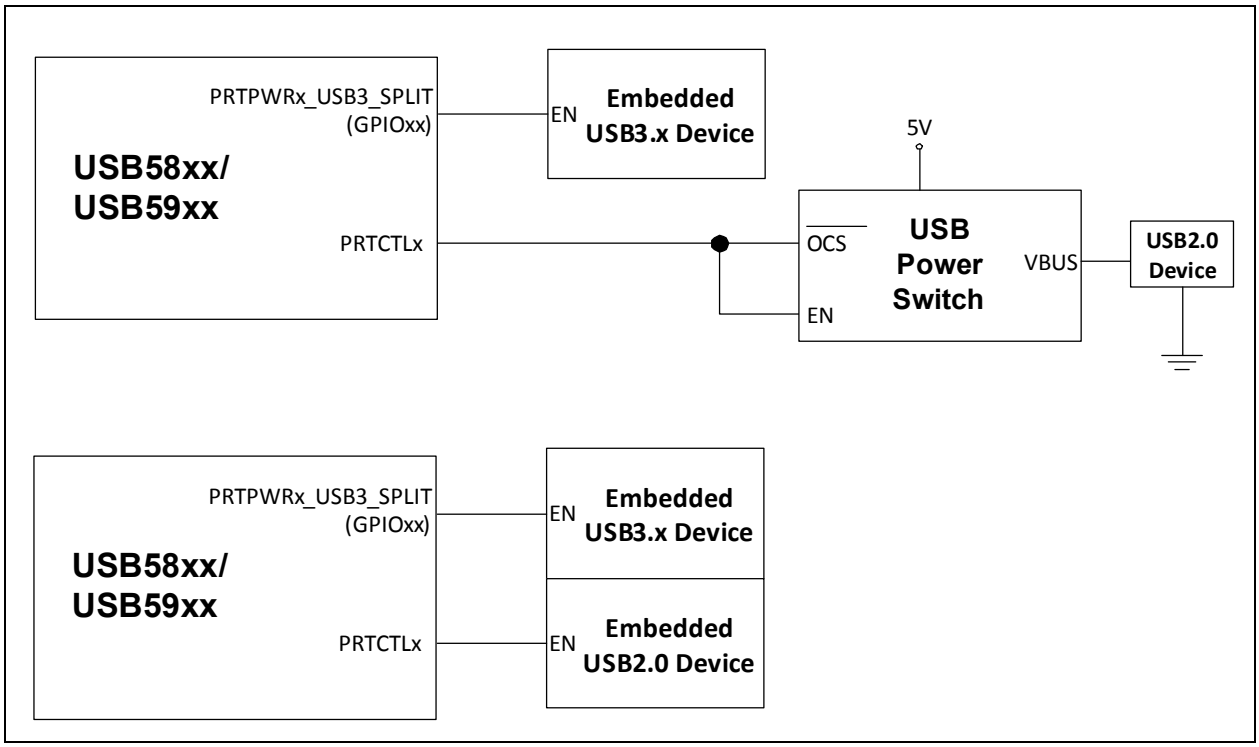
8.8.1 功能概述

该功能使得与任一下游端口关联的 USB 2.0 和 USB 3.1 Gen 1 PHY 可以单独运行。该功能旨在使系统设计人员能够将嵌入式 USB 3.x 设备连接到 USB 3.1 Gen 1 PHY，同时使 USB 2.0 PHY 既可以用作标准 USB 2.0 端口，也可以与单独的嵌入式 USB 2.0 设备一起使用。

该功能超出 USB 规范的规定范围。该功能仅用于特殊应用。有关更多信息，请联系本地销售代表。

为保持良好的最终用户体验，建议在端口拆分功能使能时，仅将永久连接的嵌入式 USB 3.x 设备连接到 USB 3.1 Gen 1 PHY。这可以防止最终用户尝试将 USB 高速、全速或低速设备连接到仅包含 USB 3.1 Gen 1 连接的裸露 USB 端口。

图 8-10： 建议的端口拆分配置



8.8.2 端口拆分配置

下游端口 5 和 6 可以配置用于端口拆分。端口拆分由寄存器配置在集线器配置阶段（SOC_CFG）通过 SMBus 来配置，或由集线器的内部 OTP 存储器来配置。

端口拆分使能时，与该端口关联的现有 **PRT_CTLx** 引脚将继续以相同方式控制该端口的 USB 2.0 部分。分配给 **GPIOx** 引脚的新引脚功能将激活并被配置用于控制该端口的 USB 3.1 Gen 1 部分。该新引脚名为 **PRTPWRx_USB3_SPLIT**，其中 x 表示各端口。请注意， **PRTPWRx_USB3_SPLIT** 引脚上不支持过流检测。这些新引脚的分配情况如表 8-5 所示。

© 2017 Microchip Technology Inc.

表 8-5： 端口拆分 PRTPWRX_USB3_SPLIT 引脚分配

GPIOx 引脚	端口拆分分配
GPIO66	PRTPWR5_USB3_SPLIT 选项 A
GPIO6	PRTPWR6_USB3_SPLIT 选项 A
GPIO5	PRTPWR5_USB3_SPLIT 选项 B
GPIO4	PRTPWR6_USB3_SPLIT 选项 B

8.8.2.1 使能端口拆分

要在下游端口 5 和 / 或 6 上使能端口拆分功能，必须进行下列配置设置。

在端口 5 上使能端口拆分：

- 将 0x42 写入寄存器 0x416D，以选择 **GPIO66** （**选项 A**）
- 将 0x05 写入寄存器 0x416D，以选择 **GPIO5** （**选项 B**）

在端口 6 上使能端口拆分：

- 将 0x06 写入寄存器 0x416E，以选择 **GPIO6** （**选项 A**）
- 将 0x04 写入寄存器 0x416E，以选择 **GPIO4** （**选项 B**）

8.8.2.2 链路超时复位

端口拆分仅供与嵌入式 USB 3.x 设备一起使用。端口拆分使能时，集线器会持续监控 USB 3.1 Gen 1 链路以查看是否建立了有效的 USB 3.1 Gen 1 链路。如果在配置的时间内 （见下文）没有找到有效的 USB 3.1 Gen 1 链路，则集线器会置位 / 取消置位关联的“**PRTPWRx_USB3_SPLIT**”引脚，以尝试复位嵌入式 USB 3.1 Gen 1 设备并重新建立 USB 3.1 Gen 1 链路。每当发生超时时，定时器始终会复位并重启。

有效的 USB 3.1 Gen 1 链路通过端口的 LTSSM_STATE 寄存器状态来判断。正常链路将通过多个链路状态主动切换。

如果集线器检测到该链路在超时定时器的整个持续时间内一直处于以下任一链路状态，则该链路卡在无效状态，并且会切换 **PRTPWRx_USB3_SPLIT** 以尝试重新建立该链路。

- SIS 禁止 （0x4）
- Rx 检测 （0x5）
- SS 无效 （0x6）
- 轮询 （0x7）
- 恢复 （0x8）
- 热复位 （0x9）

链路超时复位值通过寄存器 0x4171 进行配置，并可以由 OTP 改写。默认值为 0x05，这时选择的超时值为 1 秒。将该寄存器设置为 0x00 时，将会禁止链路超时复位功能。

链路复位的持续时间（**PRTPWRx_USB3_SPLIT** 信号保持低电平的时间）可以在寄存器 0x4176 中配置。默认持续时间为 400 ms，可配置范围为 350 ms 至 2.9s。

表 8-6： USB 3.X 端口拆分链路超时寄存器

USB3_PORT_SPLIT_TIMEOUT（0X4171 - 复位 = 0X05）			USB 3.X 端口拆分链路超时寄存器
位	名称	R/W	说明
[7:3]	保留	R/W	始终读为 0
[2:0]	PORT_SPLIT_TIMEOUT [2:0]	R/W	全局 USB 端口拆分链路超时值 如果某个端口上使能了端口拆分，并且在配置的时间内没有有效的 USB 3.x 链路，则将切换关联的 “**PRTPWRx_USB3_SPLIT**” 引脚，以尝试复位嵌入式 USB 3.x 设备并重新建立 USB 3.x 链路。每当发生超时时，定时器始终会复位并重启。 000b - 无超时，切勿切换 **PRTPWRx_USB3_SPLIT** 001b - 100 ms 010b - 250 ms 011b - 500 ms 100b - 750 ms 101b - 1 秒 110b - 2 秒 111b - 保留

表 8-7： USB 3.X 端口拆分切换时间寄存器

USB3_PORT_SPLIT_TOGGLE_TIME（0X4176 - 复位 = 0X05）			USB 3.X 端口拆分切换时间寄存器
位	名称	R/W	说明
[7:0]	PORT_SPLIT_TOGGLE_TIME[7:0]	R/W	PORT_SPLIT_TOGGLE_TIME 用于控制端口功率功能保持关闭的时长。这个位特定于 “**PRTPWRx_USB3_SPLIT**” 引脚，并仅与 0X4171 配合使用。每当完成切换时，定时器始终会复位。 最短切换时间为 350 ms，以 00000000b 表示。 每个递增值会给最小值 350 ms 加上 10 ms。

© 2017 Microchip Technology Inc.

9.0 工作特性

9.1 绝对最大额定值 *

+1.2 V 电源电压 （**VDD12**）（注 1）. . . . . -0.5 V 至 +1.32 V

+3.3 V 电源电压 （**VDD33**）（注 1）. . . . . -0.5 V 至 +4.6 V

输入信号引脚上的正电压，相对于地 （注 2）. . . . . +4.6 V

输入信号引脚上的负电压，相对于地 . . . . . -0.5 V

XTALI/CLKIN 上的正电压，相对于地 . . . . . +3.63 V

USB DP/DM 信号引脚上的正电压，相对于地. . . . . +6.0 V

USB 3.1 Gen 1 **USB3UP_*xxxx*** 和 **USB3DN_*xxxx*** 信号引脚上的正电压，相对于地. . . . . 1.32 V

存储温度 . . . . . -55°C 至 +150°C

结温. . . . . +125°C

引脚温度范围 . . . . . 请参见 JEDEC 规范。 J-STD-020

HBM ESD 性能 . . . . . 3 kV

注 1： 采用实验室或系统电源为该器件供电时，务必不要超过绝对最大额定值，否则可能导致器件故障。打开或关闭交流电源时，一些电源的输出还会出现电压尖峰。此外，交流电源线路上的电压瞬态可能会出现在 DC 输出上。如果存在这种可能性，建议使用箝位电路。

注 2： 该额定值不适用于下列引脚：所有 USB DM/DP 引脚、 **XTAL1/CLKIN** 和 **XTALO**

* 如果器件的工作条件超过本节中所列的这些值，可能对器件造成永久性损坏。上述数值仅是工作条件最大值。器件长时间工作在绝对最大额定值条件下，其可靠性可能受到影响。建议不要使器件工作在超过第 9.2 节 “工作条件 **”、第 9.5 节 “直流规格” 或本规范中任何其他相关章节中指定的条件下。

9.2 工作条件 **

+1.2 V 电源电压 （**VDD12**）. . . . . +1.08 V 至 +1.32 V

+3.3 V 电源电压 （**VDD33**）. . . . . +3.0 V 至 +3.6 V

输入信号引脚电压 （注 2）. . . . . -0.3 V 至 +3.6 V

XTALI/CLKIN 电压 . . . . . -0.3 V 至 +3.6 V

USB 2.0 DP/DM 信号引脚电压 . . . . . -0.3 V 至 +5.5 V

USB 3.1 Gen 1**USB3UP_*xxxx*** 和 **USB3DN_*xxxx*** 信号引脚电压 . . . . . -0.3 V 至 +1.32 V

静止空气中的环境工作温度 （T_A）. . . . . 注 3

+1.2 V 电源电压上升时间 （图 9-1 中的 T_{RT}）. . . . . 400 µs

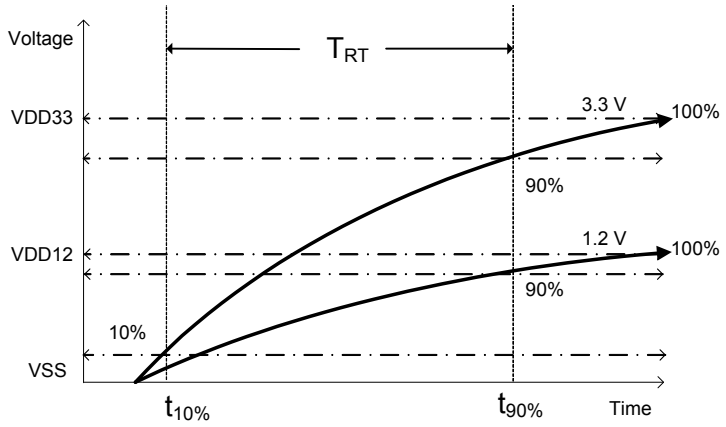
+3.3 V 电源电压上升时间 （图 9-1 中的 T_{RT}）. . . . . 400 µs

注 3： 商业级温度范围为 0°C 至 +70°C，工业级温度范围为 -40°C 至 +85°C。

** 仅在本章规定的范围内才能保证器件正常工作。

注：	器件未通电时，请勿驱动输入信号。

图 9-1： 电源上升时间模型



注： 如果 **RESET_N** 主动驱动为低电平（通常由另一个 IC 驱动），3.3 V 电源的上升时间最大可以延长至 100 ms，直至所有电源均在工作范围内后 1 µs。

9.3 封装散热规格

表 9-1： 封装散热参数

符号	°C/W	速率 （m/s）
Θ_{JA}	19	0
	16	1
Ψ_{JT}	0.1	0
	0.1	1
Θ_{JC}	1.4	0
	1.4	1

注： 这些散热参数均按照 JESDN51 在多层 2S2P PCB 上测得或估算。对于工业应用来说， USB5807 需要多层 2S4P PCB 功耗。

表 9-2： 最大功耗

参数	值	单位
PD （最大值）	2.3	W

© 2017 Microchip Technology Inc.

9.4 功耗

下面所示的数值代表各工作模式下测得的典型功耗。具体功耗取决于温度、电源电压和外部源电流 / 吸电流要求。以下值的测量条件如下：**VDD33** 等于 3.3V， **VDD12** 等于 1.2V，且环境温度为 25°C。

> 注： USB 3.x 集线器在上游端口连接上以并行方式同时运行 USB 3.x 和 USB 2.0 接口。端口在 SS/HS 条件下运行表示该端口上连接了 USB 3.x 集线器。

表 9-3： 器件功耗

	典型值 （mA）		典型功耗
	VDD33	**VDD12**	（mW）
复位	0.2	15	18.7
无 **VBUS**	2	12	21
全局暂停	2	14	23.4
7 个 **FS** 端口	184	211	396
7 个 **HS** 端口	158	83	241
7 个 **SS** 端口	211	1,380	1,590
7 个 **SS/HS** 端口	514	1,430	2,000

具体用例的典型功耗可以使用下面的公式进行估算：

$I_{VDD33}(mA) = 35 + (N_{PORTSFS})(1)^* + (N_{PORTSHS})(10) + (N_{PORTSSS})(7)$
$I_{VDD12}(mA) = 245 + (N_{PORTSFS})(0.1)^* + (N_{PORTSHS})(2) + (N_{PORTSSS})(109)$
$P_{TOTAL}(mW) = 409.5 + (N_{PORTSFS})(3.42)^* + (N_{PORTSHS})(35.4) + (N_{PORTSSS})(153.9)$

9.5 直流规格

表 9-4： I/O 直流电气特性

参数	符号	最小值	典型值	最大值	单位	注释
I 型输入缓冲器						
低输入电平	V_{IL}			0.9	V	
高输入电平	V_{IH}	2.1			V	
IS 型输入缓冲器						
低输入电平	V_{IL}			0.9	V	
高输入电平	V_{IH}	1.9			V	
施密特触发器迟滞（V_{IHT} - V_{ILT}）	V_{HYS}	9	20	40	mV	
O6 型输出缓冲器						
低输出电平	V_{CL}			0.4	V	I_{OL} = 6 mA
高输出电平	V_{OH}	**VDD33**-0.4			V	I_{OH} = -6 mA

表 9-4： I/O 直流电气特性 （续）

参数	符号	最小值	典型值	最大值	单位	注释
O12 型输出缓冲器						
低输出电平	V_{CL}			0.4	V	I_{OL} = 12 mA
高输出电平	V_{OH}	**VDD33**-0.4			V	I_{OH} = -12 mA
OD12 型输出缓冲器						
低输出电平	V_{CL}			0.4	V	I_{OL} = 12 mA
ICLK 型输入缓冲器（XTALI 输入）						注 4
低输入电平	V_{IL}			0.50	V	
高输入电平	V_{IH}	0.85		**VDD33**	V	
IO-U 型缓冲器 （见注 5）						注 5

注 4： **XTALI** 可以选择由 25 MHz 单端时钟振荡器驱动。

注 5： 有关 USB 直流电气特性，请参见 USB 3.1 Gen 1 规格。

9.6 交流规格

本节详细介绍了器件的各种交流时序规格。

9.6.1 电源与 RESET_N 序列时序

图 9-2 显示了器件的建议电源启动顺序和时序。 **VDD33** 应在 **VDD12** 之后或以相同的速率上升。同样， **RESET_N** 和 / 或 **VBUS_DET** 应在 **VDD33** 之后上升或以相同的速率上升。 **VBUS_DET** 和 **RESET_N** 没有任何其他时序依赖性。

图 9-2： 电源与 RESET_N 序列时序

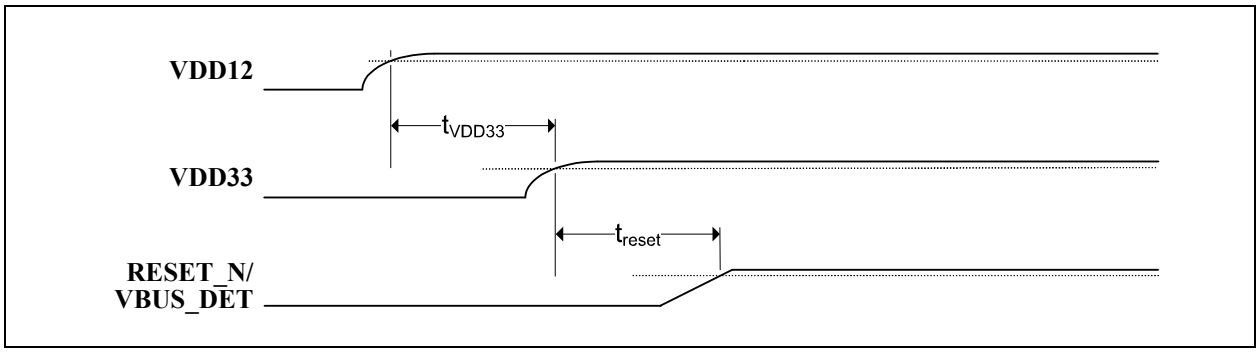


表 9-5： 电源与 RESET_N 序列时序

符号	说明	最小值	典型值	最大值	单位
t_{VDD33}	**VDD12** 至 **VDD33** 上升时间	0			ms
t_{reset}	**VDD33** 至 **RESET_N/VBUS_DET** 上升时间	0			ms

© 2017 Microchip Technology Inc.

9.6.2 上电和配置引脚时序

图 9-3 显示了上电时不使用 **RESET_N** 的应用中，与上电相关的配置引脚有效时序要求。为了保证上电时读取有效的配置引脚值，必须满足下列时序要求。有关外部电源工作电平 （V_{opp}）的详细信息，请参见第 9.2 节 “工作条件 **”。

图 9-3： 上电配置引脚有效时序

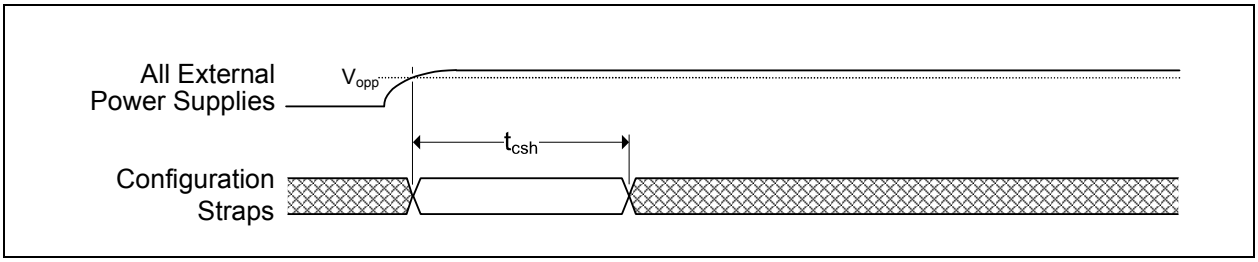


表 9-6： 上电配置引脚锁存时序

符号	说明	最小值	典型值	最大值	单位
t_{csh}	外部电源处于工作电平后配置引脚保持时间	1			ms

由于 **RESET_N** 置为有效，器件配置引脚也将锁存。有关更多详细信息，请参见第 9.6.3 节 “复位和配置引脚时序”。

9.6.3 复位和配置引脚时序

图 9-4 显示了 **RESET_N** 引脚时序要求及其与配置引脚的关系。无需将 **RESET_N** 置为有效。但是，如果使用，则必须在指定的最短时限内置为有效。有关复位的更多信息，请参见第 8.4 节 “复位”。有关配置引脚的更多信息，请参见第 3.5 节 “配置引脚和可编程功能”。

图 9-4： RESET_N 配置引脚时序

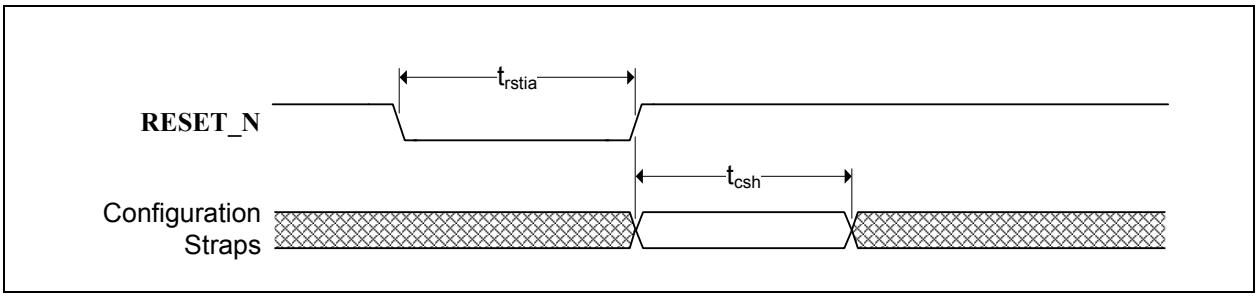


表 9-7： RESET_N 配置引脚时序

符号	说明	最小值	典型值	最大值	单位
t_{rstia}	**RESET_N** 输入置位时间	5			µs
t_{csh}	**RESET_N** 取消置位后配置引脚保持时间	1			ms

注： 在 **RESET_N** 取消置位之前，时钟输入必须稳定下来。

所示的配置引脚锁存和输出驱动时序假定已先完成上电复位，否则适用第 9.6.2 节 “上电和配置引脚时序” 中的时序。

9.6.4 USB 时序

所有器件 USB 信号都符合 《通用串行总线规范》中规定的电压、电源和时序特性 / 规格。请参见 《通用串行总线版本 3.1 规范》，网址为 http://www.usb.org/developers/docs。

9.6.5 I^2C 时序

所有器件 I^2C 信号都符合 《I^2C 总线规范》中规定的 100 kHz 标准模式 （Sm）电压、电源和时序特性 / 规格。请参见 《I^2C 总线规范》，网址为 http://www.nxp.com/documents/user_manual/UM10204.pdf。

9.6.6 SMBUS 时序

所有器件 SMBus 信号符合 《系统管理总线规范》中规定的电压、电源和时序特性 / 规格。请参见 《系统管理总线规范版本 1.0》，网址为 http://smbus.org/specs。

9.6.7 SPI 时序

本节详述了器件的 SPI 时序要求。

图 9-5： SPI 时序

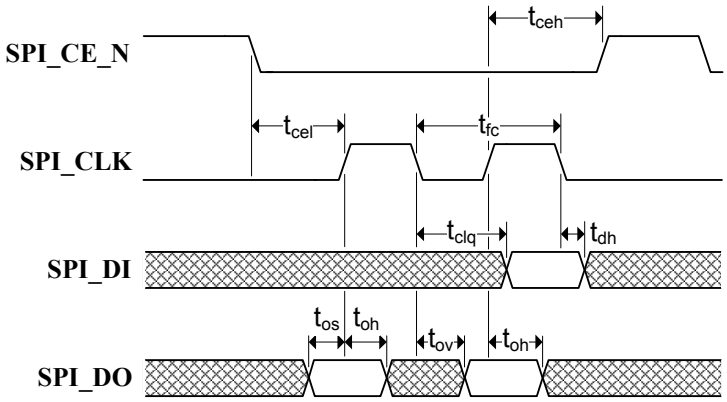


表 9-8： SPI 时序 （30 MHZ 条件下工作）

符号	说明	最小值	典型值	最大值	单位
t_{fc}	时钟频率			30	MHz
t_{ceh}	芯片使能 （**SPI_CE_EN**）高电平时间	100			ns
t_{clq}	时钟至输入数据			13	ns
t_{dh}	输入数据保持时间	0			ns
t_{os}	输出建立时间	5			ns
t_{oh}	输出保持时间	5			ns
t_{ov}	时钟至输出有效	4			ns
t_{cel}	芯片使能 （**SPI_CE_EN**）低电平至第一个时钟	12			ns
t_{ceh}	最后一个时钟至芯片使能 （**SPI_CE_EN**）高电平	12			ns

© 2017 Microchip Technology Inc.

表 9-9： SPI 时序 （60 MHz 条件下工作）

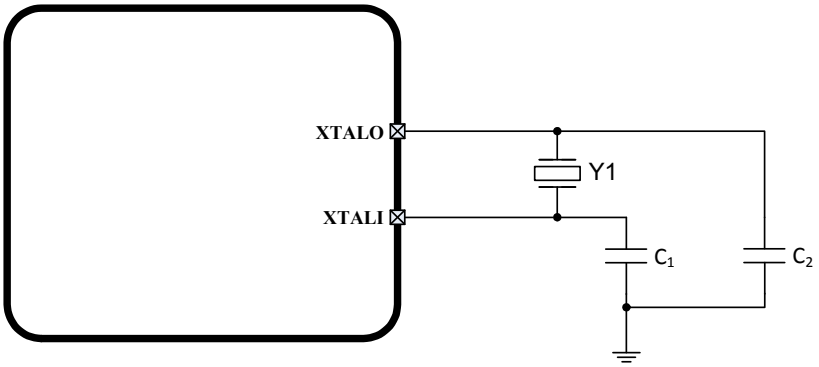
符号	说明	最小值	典型值	最大值	单位
t_{fc}	时钟频率			60	MHz
t_{ceh}	芯片使能 （**SPI_CE_EN**）高电平时间	50			ns
t_{clq}	时钟至输入数据			9	ns
t_{dh}	输入数据保持时间	0			ns
t_{os}	输出建立时间	5			ns
t_{oh}	输出保持时间	5			ns
t_{ov}	时钟至输出有效	4			ns
t_{cel}	芯片使能 （**SPI_CE_EN**）低电平至第一个时钟	12			ns
t_{ceh}	最后一个时钟至芯片使能 （**SPI_CE_EN**）高电平	12			ns

9.7 时钟规格

该器件可以接受 25 MHz 晶振或 25 MHz 单端时钟振荡器（±50 ppm）输入。如果实施了单端时钟振荡器方式，**XTALO** 应保留为不连接，且 **XTALI/CLKIN** 应由标称 0-3.3V 时钟信号驱动。输入时钟占空比最小值为 40%，典型值为 50%，最大值为 60%。

建议采用具有匹配并联负载电容的晶振来提供晶振输入 / 输出信号 （**XTALI/XTALO**）。为确保正常工作，需要采用下列电路设计 （图 9-6）和规格 （表 9-10）。

图 9-6： 25 MHz 晶振电路



9.7.1 晶振规格

建议采用具有匹配并联负载电容的晶振来提供晶振输入 / 输出信号 （**XTALI/XTALO**）。有关建议的晶振规格，请参见表 9-10。

表 9-10： 晶振规格

参数	符号	最小值	标称值	最大值	单位	注释
晶振电路	AT、典型值					
晶振振荡模式	基本模式					
晶振校准模式	并联谐振模式					
频率	F_{fund}	-	25.000	-	MHz	
频率容差 （25°C）	F_{tol}	-	-	±50	PPM	
温度范围内的频率稳定性	F_{temp}	-	-	±50	PPM	
时间范围内的频率偏差	F_{age}	-	±3 至 5	-	PPM	注 6

表 9-10： 晶振规格 （续）

参数	符号	最小值	标称值	最大值	单位	注释
允许的总 PPM 分配		-	-	±100	PPM	注 7
分流电容	C_O	-	7 （典型值）	-	pF	
负载电容	C_L	-	20 （典型值）	-	pF	
驱动电平	P_W	100	-	-	uW	
等效串联电阻	R_1	-	-	50	Ω	
工作温度范围		注 7	-	注 8	°C	
XTALI/CLKIN 引脚电容		-	3 （典型值）	-	pF	注 9
XTALO 引脚电容		-	3 （典型值）	-	pF	注 9

注 6： 频率随时间的漂移也称为老化。

注 7： 商业级为 0 °C，工业级为 -40 °C。

注 8： 商业级为 +70 °C，工业级为 +85 °C。

注 9： 该数字包括焊盘、封装接线和引脚框架。该数值不包含 PCB 电容。要准确计算这两个外部负载电容的值，需要 **XTALI/CLKIN** 引脚电容值、 **XTALO** 引脚电容值和 PCB 电容值。这两个外部负载电容决定 25.000 MHz 频率的精度。

9.7.2 外部参考时钟 （**CLKIN**）

使用外部参考时钟时，建议使用下列输入时钟规格：

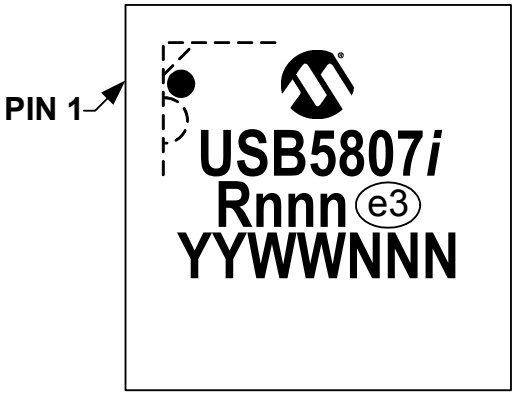
- 25 MHz
- 50% 占空比 ±10%、 ±100 ppm
- 抖动 < 100 ps RMS

© 2017 Microchip Technology Inc.

10.0 封装信息

10.1 封装标识信息

100-VQFN（12x12 mm）



图注：	*i*	温度范围指示符 （空白 = 商业级、 *i* = 工业级）
	R	产品版本
	nnn	内部代码
	e3	雾锡 （Matte Tin， Sn）的 JEDEC® 无铅标志
	YY	年份代码 （日历年的最后两位数字）
	WW	星期代码 （一月一日的星期代码为 “01”）
	NNN	以字母数字排序的追踪代码

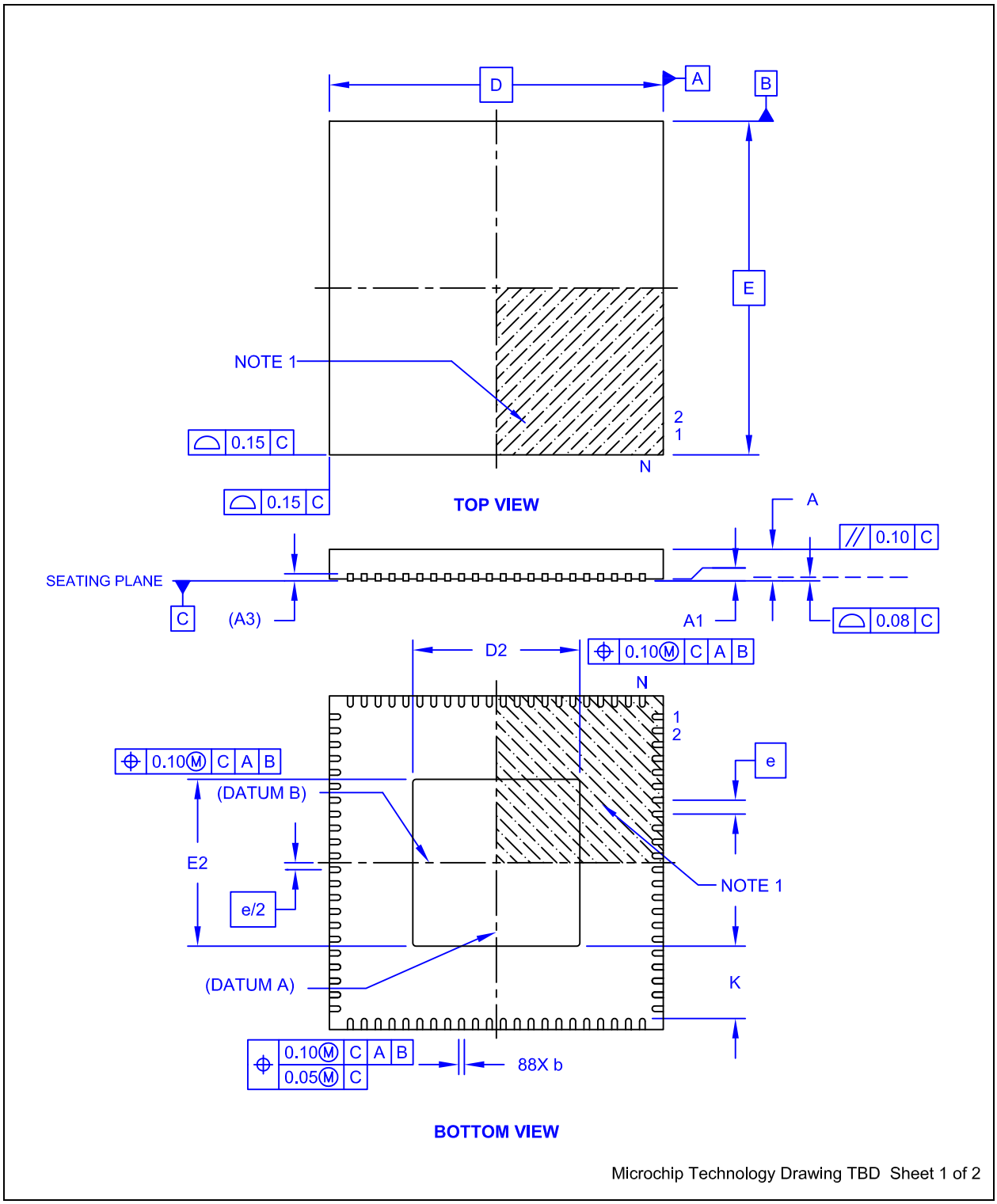
注： Microchip 部件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户指定信息的字符数。

* 标准器件标识包括 Microchip 部件编号、年份代码、星期代码和追踪代码。如果器件标识超出此范围，则会适当加价。请向 Microchip 销售办事处咨询。对于 QTP 器件来说， QTP 价格包括所有特殊标识的加价。

10.2 封装图纸

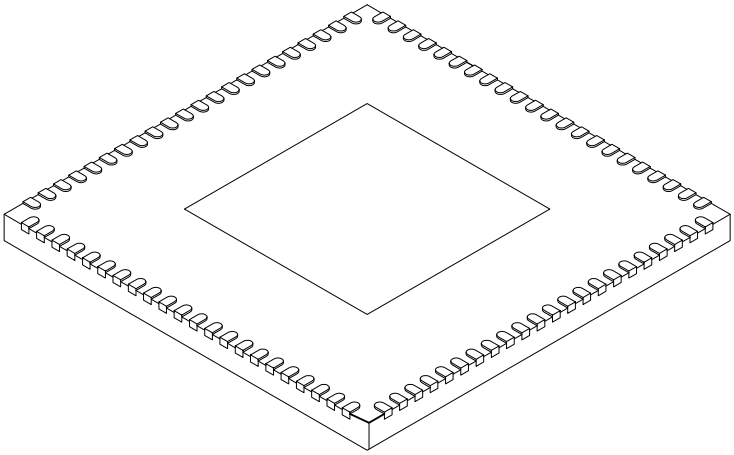
注：	最新封装图请至 http://www.microchip.com/packaging 查看 Microchip 封装规范。

图 10-1： 100-VQFN 封装 （图纸）



© 2017 Microchip Technology Inc.

图 10-2： 100-VQFN 封装 （尺寸）



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		100	
Pitch	e		0.40 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3		0.20 REF	
Overall Width	E		12.00 BSC	
Exposed Pad Width	E2	6.80	6.90	7.00
Overall Length	D		12.00 BSC	
Exposed Pad Length	D2	6.80	6.90	7.00
Contact Width	b	0.15	0.20	0.25
Contact Length	L	0.50	0.60	0.70
Contact-to-Exposed Pad	K	1.85	1.95	-

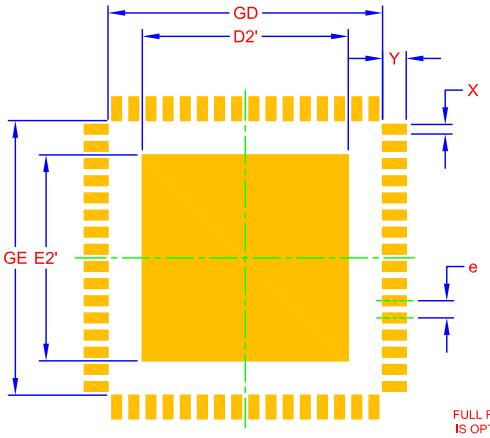
Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated.
3. Dimensioning and tolerancing per ASME Y14.5M.
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
   REF: Reference Dimension, usually without tolerance, for information purposes only.

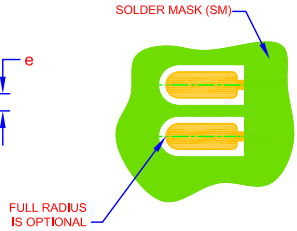
Microchip Technology Drawing TBD Sheet 2 of 2

图 10-3： 100-VQFN 封装 （焊盘图案）

REVISION HISTORY			
REV	DESCRIPTION	DATE	RELEASED BY
A	INITIAL RELEASE	5/19/16	SKI



LAND PATTERN DIMENSIONS			
SYMBOL	MIN	NOM	MAX
GD/GE	10.60	-	10.70
D2'/E2'	-	8.00	-
Pad: X	0.20	-	0.25
Pad: Y	-	0.90	-
e	0.40		



100 s/QFN-8006–PCB LAND PATTERN

SMT APPLICATION NOTES (QFN)

1. THE USER MAY MODIFY THE PCB LAND PATTERN DIMENSIONS BASED ON THEIR EXPERIENCE AND/OR PROCESS CAPABILITY.
2. THE LAND PATTERN CORRESPONDING TO THE PACKAGE EXPOSED PAD (IN THE CENTER) CAN BE LARGER, AND WITH DIFFERENT SHAPE THAN THE EXPOSED PAD ON THE PACKAGE. HOWEVER, THE SOLDERABLE AREA, AS DEFINED BY THE SOLDER MASK (SMD), OR NON-SOLDER MASK DEFINED (NSMD), SHOULD BE AS SHOWN FOR THE BEST THERMAL & ELECTRICAL PERFORMANCE.
3. MAXIMUM THERMAL AND ELECTRICAL PERFORMANCE IS ACHIEVED WHEN AN ARRAY OF SOLID VIAS IS INCORPORATED IN THE CENTER LAND PATTERN. (See Options 1 & 2)
4. THE VIAS SHOULD BE AT 0.8 to 1.2MM PITCH WITH 0.30 TO 0.40MM DIAMETER, AND 1 OZ COPPER VIA BARREL PLATING.
5. NON SOLDER MASK DEFINED (NSMD) PAD DESIGN IS RECOMMENDED FOR PERIMETER LANDS.
6. A LASER-CUT STAINLESS STEEL STENCIL IS RECOMMENDED WITH ELECTRO POLISHED TRAPEZOIDAL WALLS. THE RECOMMENDED STENCIL THICKNESS IS 0.125 mm FOR PITCHES 0.4 and 0.5 mm.
7. RECOMMENDED STENCIL AREA & ASPECT RATIOS ARE 0.66 & 1.5 (MIN) RESPECTIVELY.
8. IT IS RECOMMENDED TO USE "NO-CLEAN", TYPE 3 SOLDER PASTE.
9. THE REFLOW PROFILE DEPENDS ON THE EXACT SOLDER PASTE USED AND THE GIVEN BOARD DETAILS, SUCH AS GEOMETRY, COMPONENTS ETC.

UNLESS OTHERWISE SPECIFIED DIMENSIONS ARE IN MILLIMETERS AND TOLERANCES ARE: DECIMAL X.X ±0.1, X.XX ±0.05, X.XXX ±0.025; ANGULAR ±1°; INTERPRET DIM AND TOL PER ASME Y14.5M - 1994	THIRD ANGLE PROJECTION		80 ARKAY DRIVE HAUPPAUGE, NY 11788, USA www.microchip.com		
	NAME	DATE	TITLE PCB LAND PATTERN 100 PINS s/QFN-8006, 12x12mm BODY, 0.4mm PITCH		
MATERIAL -	DRAWN -	5/9/16			
FINISH -	CHECKED -	5/19/16	DWG NUMBER PCB--100s/QFN-8006-12x12B		REV A
PRINT WITH "SCALE TO FIT" DO NOT SCALE DRAWING	APPROVED SKI	5/19/16	SCALE 1:1	STD COMPLIANCE IPC-7093	SHEET 1 OF 1

© 2017 Microchip Technology Inc.

附录 A： 版本历史

表 A-1： 版本历史

版本号和日期	章节 / 图 / 条目	修正
DS00002237B_CN （2017-01-20）	表 3-7，其他引脚说明	删除了 SMBus/I^{2}C 时钟和 SMBus/I^{2}C 的下列说明： “.. 或 I^{2}C 桥取决于器件配置。”
DS00002237B_CN （2017-01-20）	图 4-2， SPI ROM 连接	修改了图纸，将 DO 的位置更改为 DI，将 DI 的位置更改为 DO
	表 9-3，器件功耗	在表格下面添加了典型功耗公式。
	第 8.8.2.1 节 “使能端口拆分”	添加了选项 A 和 B。
	整个数据手册	将 62 kΩ 更改为 50 kΩ
	表 3-1，引脚复位状态图注	在 PD-15k 中，将“硬件使能内部 62 kΩ 下拉”更改为 “硬件使能内部 15 kΩ 下拉”
DS00002237A （2016-10-03）	全部	初始版本

MICROCHIP 网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联浏览器即可访问。网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com。在 “支持”（Support）下，点击 “变更通知客户”（Customer Change Notification）服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

© 2017 Microchip Technology Inc.

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	[X](1)	[-X]	/XX
器件	卷带式选项	温度范围	封装

器件：	USB5807
卷带式选项：	空白 = 标准封装（管式或盘式） T = 卷带式(1)
温度范围：	空白 = 0°C至 +70°C （商业级） I = -40°C至 +85°C （工业级）
封装：	KD = 100引脚VQFN

示例：

a) USB5807/KD
托盘，商业级温度范围，100引脚VQFN

b) USB5807-I/KD
托盘，工业级温度范围，100引脚VQFN

c) USB5807T/KD
卷带，商业级温度范围，100引脚VQFN

d) USB5807T-I/KD
卷带，工业级温度范围，100引脚VQFN

注 1： 卷带式标识符仅显示在产品目录部件编号说明中。此标识符用于订购目的，不印刷在器件封装上。有关是否提供卷带式包装选项，请向 Microchip 销售办事处咨询。

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。 Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
═ ISO/TS 16949 ═

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 AnyRate、 AVR、 AVR 徽标、 AVR Freaks、 BeaconThings、 BitCloud、 CryptoMemory、 CryptoRF、 dsPIC、 FlashFlex、 flexPWR、 Heldo、 JukeBlox、 KEELOQ、 KEELOQ徽 标、 Kleer、 LANCheck、 LINK MD、 maXStylus、 maXTouch、 MediaLB、 megaAVR、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、 picoPower、 PICSTART、 PIC32 徽标、 Prochip Designer、 QTouch、 RightTouch、 SAM-BA、 SpyNIC、 SST、 SST 徽标、 SuperFlash、 tinyAVR、 UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、 The Embedded Control Solutions Company、 EtherSynch、 Hyper Speed Control、 HyperLight Load、 IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 均为 Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT 徽标、 CodeGuard、 CryptoAuthentication、 CryptoCompanion、 CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、 DAM、 ECAN、 EtherGREEN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 JitterBlocker、 KleerNet、KleerNet 徽标、Mindi、MiWi、motorBench、MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、 NetDetach、 Omniscient Code Generation、 PICDEM、 PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch 徽标、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、 SMART-I.S.、 SQI、 SuperSwitcher、 SuperSwitcher II、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、 WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2017, Microchip Technology Inc. 版权所有。

ISBN：978-1-5224-1731-6

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-3326-8000
Fax: 86-21-3326-8021

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

亚太地区

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

法国 France - Saint Cloud
Tel: 33-1-30-60-70-00

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-67-3636

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7289-7561

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2017 Microchip Technology Inc.