KSZ9031MNX

支持GMII/MII的千兆位以太网收发器

特性

- 单芯片10/100/1000 Mbps以太网收发器，适用于IEEE 802.3应用
- 具有3.3V/2.5V/1.8V耐压I/O的GMII/MII标准接口
- 可自动选择最高链路接通速度（10/100/1000 Mbps）和双工模式（半双工/全双工）的自动协商功能
- 用于差分对的片上端接电阻
- 支持3.3V单电源操作的片上LDO控制器
- 支持最大16 KB的巨型帧
- 125 MHz参考时钟输出
- 用于在未连接电缆时降低功耗的电能检测掉电模式
- 支持LAN唤醒（Wake-On-LAN，WOL），并具备稳健的自定义数据包检测功能
- 用于指示链路、活动和速度的可编程LED输出
- 基线漂移校正
- LinkMD基于TDR的电缆诊断，可用于识别有故障的铜缆布线
- 支持参数化NAND树，可用于检测芯片I/O和电路板之间的故障
- 用于诊断的环回模式
- 自动MDI/MDI-X交叉，可在所有工作速度下检测和校正对交换
- 自动检测和校正对交换、对偏移和对极性
- 用于PHY寄存器配置的MDC/MDIO管理接口
- 中断引脚选项
- 掉电模式和节能模式
- 工作电压
  - 内核（DVDDL、AVDDL和AVDDL_PLL）：1.2V（外部FET或稳压器）
  - VDD I/O（DVDDH）：3.3V、2.5V或1.8V
  - 收发器（AVDDH）：3.3V或2.5V（商业级温度）
- 64引脚QFN（8 mm x 8 mm）封装

目标应用

- 激光器/网络打印机
- 联网存储（Network Attached Storage，NAS）
- 网络服务器
- 宽带网关
- 千兆位SOHO/SMB路由器
- IPTV
- IP机顶盒
- 游戏机
- IP摄像头
- 三重播放（数据、语音和视频）媒体中心
- 媒体转换器

© 2017 Microchip Technology Inc.

致 客 户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 **http://www.microchip.com**
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2017 Microchip Technology Inc.

目录

1.0 简介 4
2.0 引脚说明和配置 5
3.0 功能说明 13
4.0 寄存器说明 29
5.0 工作特性 49
6.0 电气特性 50
7.0 时序图 54
8.0 复位电路 61
9.0 参考电路——LED配置脚输入引脚 63
10.0 参考时钟——连接和选择 64
11.0 片上LDO控制器——MOSFET选择 64
12.0 磁件——连接和选择 65
13.0 封装外形 67
附录A：数据手册版本历史 69
Microchip网站 71
变更通知客户服务 71
客户支持 71
产品标识体系 72

1.0 简介

1.1 概述

KSZ9031MNX是一款全集成三速（10BASE-T/100BASE-TX/1000BASE-T）以太网物理层收发器，用于通过标准CAT-5非屏蔽双绞线（Unshielded Twisted Pair，UTP）电缆发送和接收数据。

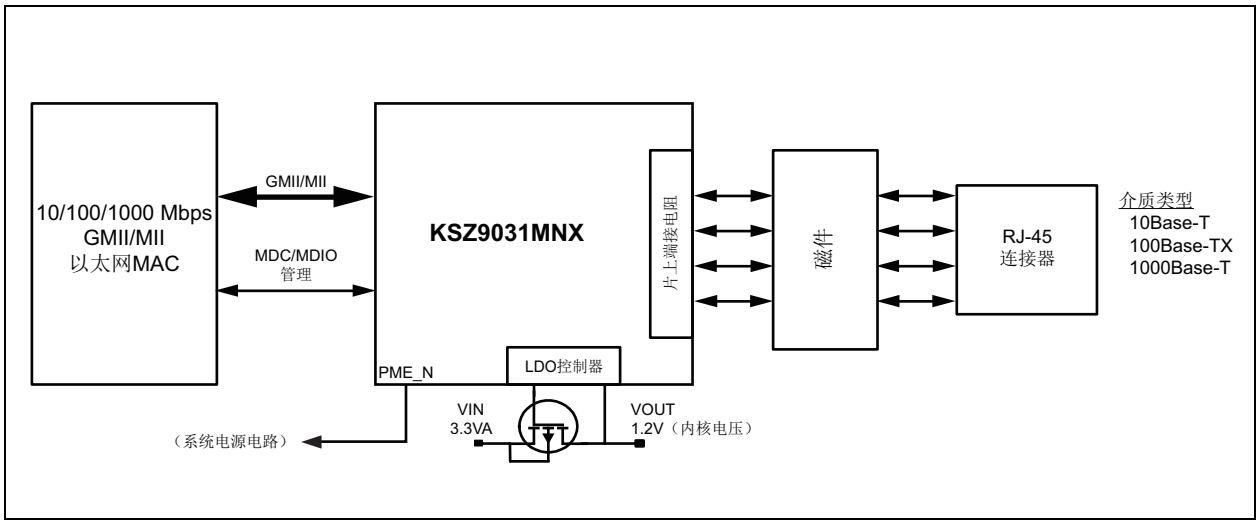
KSZ9031MNX提供有行业标准的GMII/MII（千兆位介质无关接口/介质无关接口），可连接千兆位以太网处理器和交换机中的GMII/MII MAC，实现1000 Mbps或10/100 Mbps的数据传输。

KSZ9031MNX为四个差分对使用了片上端接电阻，并通过集成LDO控制器来驱动低成本MOSFET为1.2V内核供电，从而降低了电路板成本并简化了电路板布线。

KSZ9031MNX提供了诊断功能，以便于在生产测试和产品部署期间启动和调试系统。本产品支持参数化NAND树，方便检测KSZ9031MNX I/O与电路板之间是否存在故障。LinkMD®基于TDR的电缆诊断可识别有故障的铜缆布线。远程和本地环回功能可验证模拟和数字数据路径。

KSZ9031MNX采用64引脚无铅QFN封装。

图1-1： 系统框图



© 2017 Microchip Technology Inc.

2.0 引脚说明和配置

图2-1： 64-QFN引脚分配（俯视图）

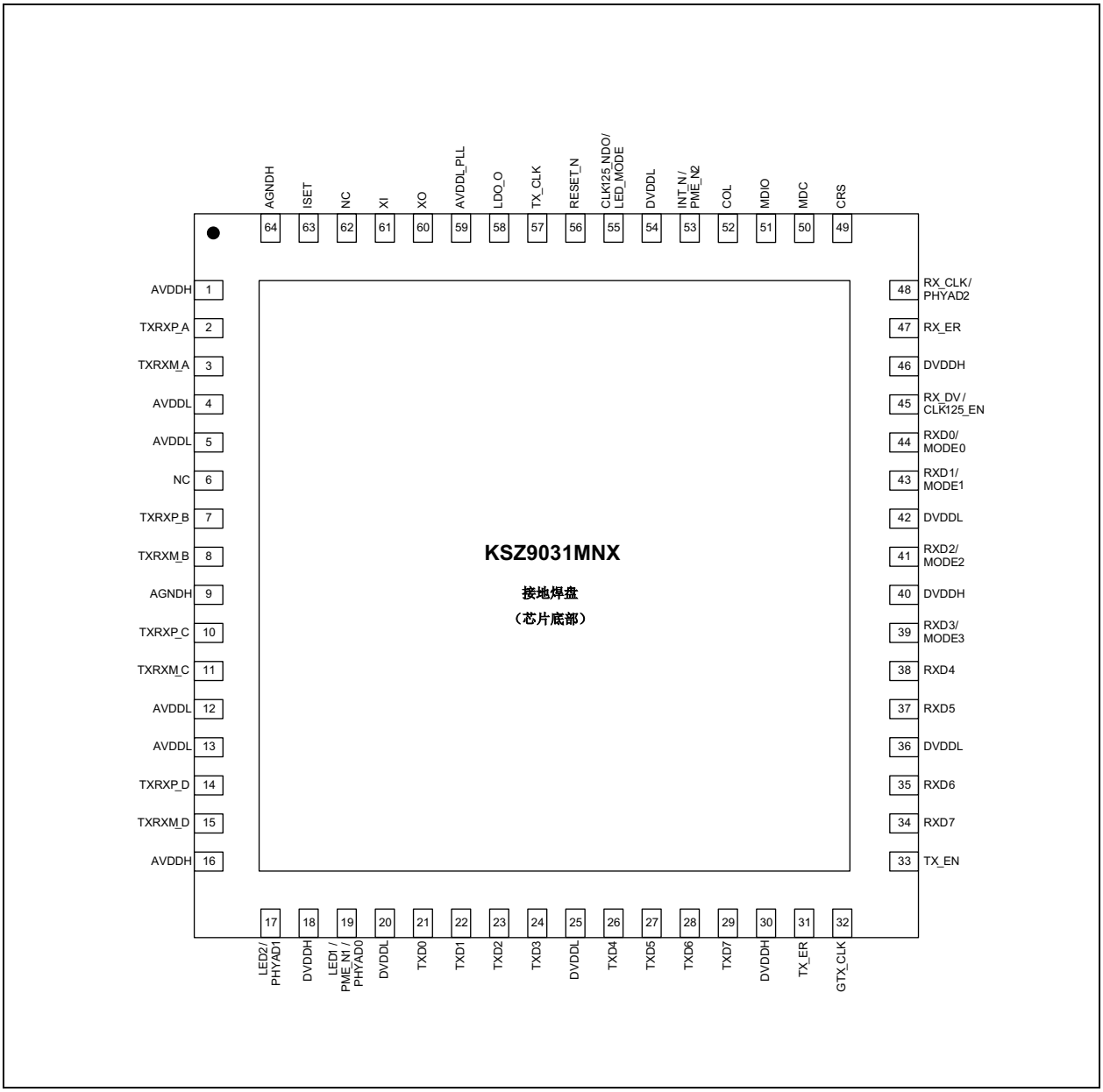


表2-1： 信号——KSZ9031MNX

引脚编号	引脚名称	类型 注2-1	说明
1	AVDDH	P	3.3V/2.5V（仅限商业级温度）模拟V_{DD}
2	TXRXP_A	I/O	介质相关接口[0]，差分对的正信号 1000BASE-T模式：TXRXP_A分别对应于MDI配置的BI_DA+和MDI-X配置的BI_DB+。 10BASE-T/100BASE-TX模式：TXRXP_A分别是MDI配置的正发送信号（TX+）和MDI-X配置的正接收信号（RX+）。
3	TXRXM_A	I/O	介质相关接口[0]，差分对的负信号 1000BASE-T模式：TXRXM_A分别对应于MDI配置的BI_DA–和MDI-X配置的BI_DB–。 10BASE-T/100BASE-TX模式：TXRXM_A分别是MDI配置的负发送信号（TX–）和MDI-X配置的负接收信号（RX–）。
4	AVDDL	P	1.2V模拟V_{DD}
5	AVDDL	P	1.2V模拟V_{DD}
6	NC	—	无连接
7	TXRXP_B	I/O	介质相关接口[1]，差分对的正信号 1000BASE-T模式：TXRXP_B分别对应于MDI配置的BI_DB+和MDI-X配置的BI_DA+。 10BASE-T/100BASE-TX模式：TXRXP_B分别是MDI配置的正接收信号（RX+）和MDI-X配置的正发送信号（TX+）。
8	TXRXM_B	I/O	介质相关接口[1]，差分对的负信号 1000BASE-T模式：TXRXM_B分别对应于MDI配置的BI_DB–和MDI-X配置的BI_DA–。 10BASE-T/100BASE-TX模式：TXRXM_B分别是MDI配置的负接收信号（RX–）和MDI-X配置的负发送信号（TX–）。
9	AGNDH	GND	模拟地
10	TXRXP_C	I/O	介质相关接口[2]，差分对的正信号 1000BASE-T模式：TXRXP_C分别对应于MDI配置的BI_DC+和MDI-X配置的BI_DD+。 10BASE-T/100BASE-TX模式：不使用TXRXP_C。
11	TXRXM_C	I/O	介质相关接口[2]，差分对的负信号 1000BASE-T模式：TXRXM_C分别对应于MDI配置的BI_DC–和MDI-X配置的BI_DD–。 10BASE-T/100BASE-TX模式：不使用TXRXM_C。
12	AVDDL	P	1.2V模拟V_{DD}
13	AVDDL	P	1.2V模拟V_{DD}

© 2017 Microchip Technology Inc.

表2-1： 信号——KSZ9031MNX（续）

<table>
<tr><th>引脚编号</th><th>引脚名称</th><th>类型
注2-1</th><th>说明</th></tr>
<tr><td>14</td><td>TXRXP_D</td><td>I/O</td><td>介质相关接口[3]，差分对的正信号
1000BASE-T模式：TXRXP_D分别对应于MDI配置的BI_DD+和MDI-X配置的BI_DC+。
10BASE-T/100BASE-TX模式：不使用TXRXP_D。</td></tr>
<tr><td>15</td><td>TXRXM_D</td><td>I/O</td><td>介质相关接口[3]，差分对的负信号
1000BASE-T模式：TXRXM_D分别对应于MDI配置的BI_DD–和MDI-X配置的BI_DC–。
10BASE-T/100BASE-TX模式：不使用TXRXM_D。</td></tr>
<tr><td>16</td><td>AVDDH</td><td>P</td><td>3.3V/2.5V（仅限商业级温度）模拟V_{DD}</td></tr>
<tr><td rowspan="15">17</td><td rowspan="15">LED2/
PHYAD1</td><td rowspan="15">I/O</td><td colspan="4">LED2输出：可编程LED2输出
配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定PHYAD[1]的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
LED2引脚由LED_MODE配置脚选项（引脚55）编程，定义如下：
单LED模式</td></tr>
<tr><td>链路</td><td colspan="2">引脚状态</td><td>LED定义</td></tr>
<tr><td>链路关闭</td><td colspan="2">高电平</td><td>熄灭</td></tr>
<tr><td>链路开启（任何速度）</td><td colspan="2">低电平</td><td>点亮</td></tr>
<tr><td colspan="4">三色双LED模式</td></tr>
<tr><td rowspan="2">链路/活动</td><td colspan="2">引脚状态</td><td colspan="2">LED定义</td></tr>
<tr><td>LED2</td><td>LED1</td><td>LED2</td><td>LED1</td></tr>
<tr><td>链路关闭</td><td>高电平</td><td>高电平</td><td>熄灭</td><td>熄灭</td></tr>
<tr><td>1000链路/无活动</td><td>低电平</td><td>高电平</td><td>点亮</td><td>熄灭</td></tr>
<tr><td>1000链路/活动
（RX和TX）</td><td>翻转</td><td>高电平</td><td>闪烁</td><td>熄灭</td></tr>
<tr><td>100链路/无活动</td><td>高电平</td><td>低电平</td><td>熄灭</td><td>点亮</td></tr>
<tr><td>100链路/活动
（RX和TX）</td><td>高电平</td><td>翻转</td><td>熄灭</td><td>闪烁</td></tr>
<tr><td>10链路/无活动</td><td>低电平</td><td>低电平</td><td>点亮</td><td>点亮</td></tr>
<tr><td>10链路/活动
（RX和TX）</td><td>翻转</td><td>翻转</td><td>闪烁</td><td>闪烁</td></tr>
<tr><td colspan="4">对于三色双LED模式，LED2与LED1（引脚19）一起工作，以指示10 Mbps链路和活动。</td></tr>
<tr><td>18</td><td>DVDDH</td><td>P</td><td>3.3V、2.5V或1.8V数字V_{DD_IO}</td></tr>
</table>

表2-1： 信号——KSZ9031MNX（续）

<table>
<tr><th>引脚编号</th><th>引脚名称</th><th>类型
注2-1</th><th>说明</th></tr>
<tr><td rowspan="20">19</td><td rowspan="20">LED1/
PHYAD0/
PME_N1</td><td rowspan="20">I/O</td><td>LED1输出：可编程LED1输出
配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定PHYAD[0]的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
PME_N输出：可编程PME_N输出（引脚选项1）。为使该引脚正常工作，需要通过一个1.0 kΩ至4.7 kΩ范围内的外部电阻将其上拉至DVDDH（数字$V_{DD_I/O}$）。该引脚置为低电平时，表示发生了WOL事件。
该引脚并非在所有工作模式下都是漏极开路引脚。
LED1引脚由LED_MODE配置脚选项（引脚55）编程，定义如下：</td></tr>
<tr><td>单LED模式</td></tr>
<tr><td><table>
<tr><th>活动</th><th>引脚状态</th><th>LED定义</th></tr>
<tr><td>无活动</td><td>高电平</td><td>熄灭</td></tr>
<tr><td>活动（RX和TX）</td><td>翻转</td><td>闪烁</td></tr>
</table></td></tr>
<tr><td>三色双LED模式</td></tr>
<tr><td><table>
<tr><th rowspan="2">链路/活动</th><th colspan="2">引脚状态</th><th colspan="2">LED定义</th></tr>
<tr><th>LED2</th><th>LED1</th><th>LED2</th><th>LED1</th></tr>
<tr><td>链路关闭</td><td>高电平</td><td>高电平</td><td>熄灭</td><td>熄灭</td></tr>
<tr><td>1000链路/无活动</td><td>低电平</td><td>高电平</td><td>点亮</td><td>熄灭</td></tr>
<tr><td>1000链路/活动
（RX和TX）</td><td>翻转</td><td>高电平</td><td>闪烁</td><td>熄灭</td></tr>
<tr><td>100链路/无活动</td><td>高电平</td><td>低电平</td><td>熄灭</td><td>点亮</td></tr>
<tr><td>100链路/活动
（RX和TX）</td><td>高电平</td><td>翻转</td><td>熄灭</td><td>闪烁</td></tr>
<tr><td>10链路/无活动</td><td>低电平</td><td>低电平</td><td>点亮</td><td>点亮</td></tr>
<tr><td>10链路/活动
（RX和TX）</td><td>翻转</td><td>翻转</td><td>闪烁</td><td>闪烁</td></tr>
</table></td></tr>
<tr><td>对于三色双LED模式，LED1与LED2（引脚17）一起工作，以指示10 Mbps链路和活动。</td></tr>
<tr><td>20</td><td>DVDDL</td><td>P</td><td>1.2V数字V_{DD}</td></tr>
<tr><td>21</td><td>TXD0</td><td>I</td><td>GMII模式：GMII TXD0（发送数据0）输入
MII模式：MII TXD0（发送数据0）输入</td></tr>
<tr><td>22</td><td>TXD1</td><td>I</td><td>GMII模式：GMII TXD1（发送数据1）输入
MII模式：MII TXD1（发送数据1）输入</td></tr>
<tr><td>23</td><td>TXD2</td><td>I</td><td>GMII模式：GMII TXD2（发送数据2）输入
MII模式：MII TXD2（发送数据2）输入</td></tr>
</table>

© 2017 Microchip Technology Inc.

表2-1： 信号——KSZ9031MNX（续）

引脚编号	引脚名称	类型 注2-1	说明
24	TXD3	I	GMII模式：GMII TXD3（发送数据3）输入 MII模式：MII TXD3（发送数据3）输入
25	DVDDL	P	1.2V数字V_{DD}
26	TXD4	I	GMII模式：GMII TXD4（发送数据4）输入 MII模式：该引脚不使用，可驱动为高电平或低电平。
27	TXD5	I	GMII模式：GMII TXD5（发送数据5）输入 MII模式：该引脚不使用，可驱动为高电平或低电平。
28	TXD6	I	GMII模式：GMII TXD6（发送数据6）输入 MII模式：该引脚不使用，可驱动为高电平或低电平。
29	TXD7	I	GMII模式：GMII TXD7（发送数据7）输入 MII模式：该引脚不使用，可驱动为高电平或低电平。
30	DVDDH	P	3.3V、2.5V或1.8V数字V_{DD_IO}
31	TX_ER	I	GMII模式：GMII TX_ER（发送错误）输入 MII模式：MII TX_ER（发送错误）输入 如果GMII/MII MAC不提供TX_ER输出信号，则该引脚应连接到低电平。
32	GTX_CLK	I	GMII模式：GMII GTX_CLK（发送参考时钟）输入
33	TX_EN	I	GMII模式：GMII TX_EN（发送使能）输入 MII模式：MII TX_EN（发送使能）输入
34	RXD7	O	GMII模式：GMII RXD7（接收数据7）输出 MII模式：该引脚不使用，驱动低电平。
35	RXD6	O	GMII模式：GMII RXD6（接收数据6）输出 MII模式：该引脚不使用，驱动低电平。
36	DVDDL	P	1.2V数字V_{DD}
37	RXD5	O	GMII模式：GMII RXD5（接收数据5）输出 MII模式：该引脚不使用，驱动低电平。
38	RXD4	O	GMII模式：GMII RXD4（接收数据4）输出 MII模式：该引脚不使用，驱动低电平。
39	RXD3/ MODE3	I/O	GMII模式：GMII RXD3（接收数据3）输出 MII模式：MII RXD3（接收数据3）输出 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定MODE3的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
40	DVDDH	P	3.3V、2.5V或1.8V数字V_{DD_IO}
41	RXD2/ MODE2	I/O	GMII模式：GMII RXD2（接收数据2）输出 MII模式：MII RXD2（接收数据2）输出 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定MODE2的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
42	DVDDL	P	1.2V数字V_{DD}

表2-1： 信号——KSZ9031MNX（续）

引脚编号	引脚名称	类型 注2-1	说明
43	RXD1/ MODE1	I/O	GMII模式：GMII RXD1（接收数据1）输出 MII模式：MII RXD1（接收数据1）输出 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定MODE1的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
44	RXD0/ MODE0	I/O	GMII模式：GMII RXD0（接收数据0）输出 MII模式：MII RXD0（接收数据0）输出 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定MODE0的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
45	RX_DV/ CLK125_EN	I/O	GMII模式：GMII RX_DV（接收数据有效）输出 MII模式：MII RX_DV（接收数据有效）输出 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定CLK125_EN的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
46	DVDDH	P	3.3V、2.5V或1.8V数字V_{DD_IO}
47	RX_ER	O	GMII模式：GMII RX_ER（接收错误）输出 MII模式：MII RX_ER（接收错误）输出
48	RX_CLK/ PHYAD2	I/O	GMII模式：GMII RX_CLK（接收参考时钟）输出 MII模式：MII RX_CLK（接收参考时钟）输出 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样和锁存以确定PHYAD[2]的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
49	CRS	O	GMII模式：GMII CRS（载波监听）输出 MII模式：MII CRS（载波监听）输出
50	MDC	Ipu	管理数据时钟输入 该引脚是MDIO（引脚51）的输入参考时钟。
51	MDIO	Ipu/O	管理数据输入/输出 该引脚与MDC（引脚50）同步，需要通过一个1.0 kΩ至4.7 kΩ范围内的外部电阻上拉至DVDDH（数字V_{DD_IO}）。
52	COL	O	GMII模式：GMII COL（检测到冲突）输出 MII模式：MII COL（检测到冲突）输出
53	INT_N/ PME_N2	O	中断输出：可编程中断输出，使用寄存器1Bh作为中断控制/状态寄存器时，可用于编程中断条件和读取中断状态。寄存器1Fh Bit [14]将中断输出设置为低电平有效（默认）或高电平有效。 PME_N输出：可编程PME_N输出（引脚选项2）。该引脚置为低电平时，表示发生了WOL事件。 为实现中断（低电平有效时）和PME功能，需要通过一个1.0 kΩ至4.7 kΩ范围内的外部电阻将该引脚上拉至DVDDH（数字$V_{DD_I/O}$）。 该引脚并非在所有工作模式下都是漏极开路引脚。
54	DVDDL	P	1.2V数字V_{DD}

© 2017 Microchip Technology Inc.

表2-1： 信号——KSZ9031MNX（续）

引脚编号	引脚名称	类型 注2-1	说明
55	CLK125_NDO/ LED_MODE	I/O	125 MHz时钟输出 该引脚提供125 MHz参考时钟输出选项供MAC使用。 配置模式：在上电/复位过程中，将对该引脚上的电压进行采样以确定LED_MODE的值。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
56	RESET_N	Ipu	芯片复位（低电平有效） 在RESET_N置为无效（上升沿）时，通过配置脚输入（采样和锁存）实现硬件引脚配置。有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
57	TX_CLK	O	MII模式：MII TX_CLK（发送参考时钟）输出
58	LDO_O	O	片上1.2V LDO控制器输出 该引脚驱动P沟道MOSFET的输入栅极，为芯片内核生成1.2V电压。如果系统提供1.2V电压并且该引脚未使用，则可将其悬空。
59	AVDDL_PLL	P	用于PLL的1.2V模拟V_{DD}
60	XO	O	25 MHz晶振反馈 该引脚连接至外部25 MHz晶振的一端。 如果使用振荡器或其他外部（非晶振）时钟源，则该引脚无连接。
61	XI	I	晶振/振荡器/外部时钟输入 该引脚连接至外部25 MHz晶振的一端或者振荡器或其他外部（非晶振）时钟源的输出。 25 MHz ± 50 ppm容差
62	NC	—	无连接 此引脚未连接，可连接到AVDDH电源，以实现与KSZ9021GN千兆位PHY的引脚布局兼容。
63	ISET	I/O	设置发送输出电平。 在该引脚上连接一个接地的12.1 kΩ 1%电阻。
64	AGNDH	GND	模拟地。
焊盘	P_GND	GND	外露焊盘（芯片底部）。 将P_GND接地。

注 2-1 P = 电源
GND = 地
I = 输入
O = 输出
I/O = 双向
Ipu = 使用内部上拉的输入（具体值请参见电气特性）。
Ipu/O = 上电/复位阶段为使用内部上拉的输入（具体值请参见电气特性）；其他阶段为输出引脚。

引脚配置脚输入在上电或复位期间锁存。在某些系统中，MAC接收输入引脚可能在上电或复位期间被驱动，进而导致GMII/MII信号上的PHY配置脚输入引脚被锁存到不正确的配置。在这种情况下，应在PHY配置脚输入引脚上添加外部上拉或下拉电阻，以确保将PHY配置为正确的引脚配置脚模式。

表2-2： 配置脚选项——KSZ9031MNX

引脚编号	引脚名称	类型 注2-1	说明	
48 17 19	PHYAD2 PHYAD1 PHYAD0	I/O I/O I/O	PHY地址PHYAD[2:0]在上电/复位时被采样和锁存，并可配置为0至7之间的任何值。每个PHY地址位的配置如下： 上拉 = 1 下拉 = 0 PHY地址位[4:3]始终设置为00。	
39 41 43 44	MODE3 MODE2 MODE1 MODE0	I/O I/O I/O I/O	MODE[3:0]配置脚输入引脚在上电/复位时被采样和锁存，定义如下：	
			MODE[3:0]	**模式**
			0000	保留——未使用
			0001	GMII/MII模式
			0010	保留——未使用
			0011	保留——未使用
			0100	NAND树模式
			0101	保留——未使用
			0110	保留——未使用
			0111	芯片掉电模式
			1000	保留——未使用
			1001	保留——未使用
			1010	保留——未使用
			1011	保留——未使用
			1100	保留——未使用
			1101	保留——未使用
			1110	保留——未使用
			1111	保留——未使用
45	CLK125_EN	I/O	CLK125_EN在上电/复位时被采样和锁存，定义如下： 上拉（1）= 使能125 MHz时钟输出 下拉（0）= 禁止125 MHz时钟输出 引脚55（CLK125_NDO）提供125 MHz参考时钟输出选项供MAC使用。	
55	LED_MODE	I/O	LED_MODE在上电/复位时被采样和锁存，定义如下： 上拉（1）= 单LED模式 下拉（0）= 三色双LED模式	

注 2-1 I/O = 双向。

© 2017 Microchip Technology Inc.

3.0 功能说明

KSZ9031MNX是一种全集成三速（10BASE-T/100BASE-TX/1000BASE-T）以太网物理层收发器解决方案，用于通过标准CAT-5非屏蔽双绞线（UTP）电缆发送和接收数据。

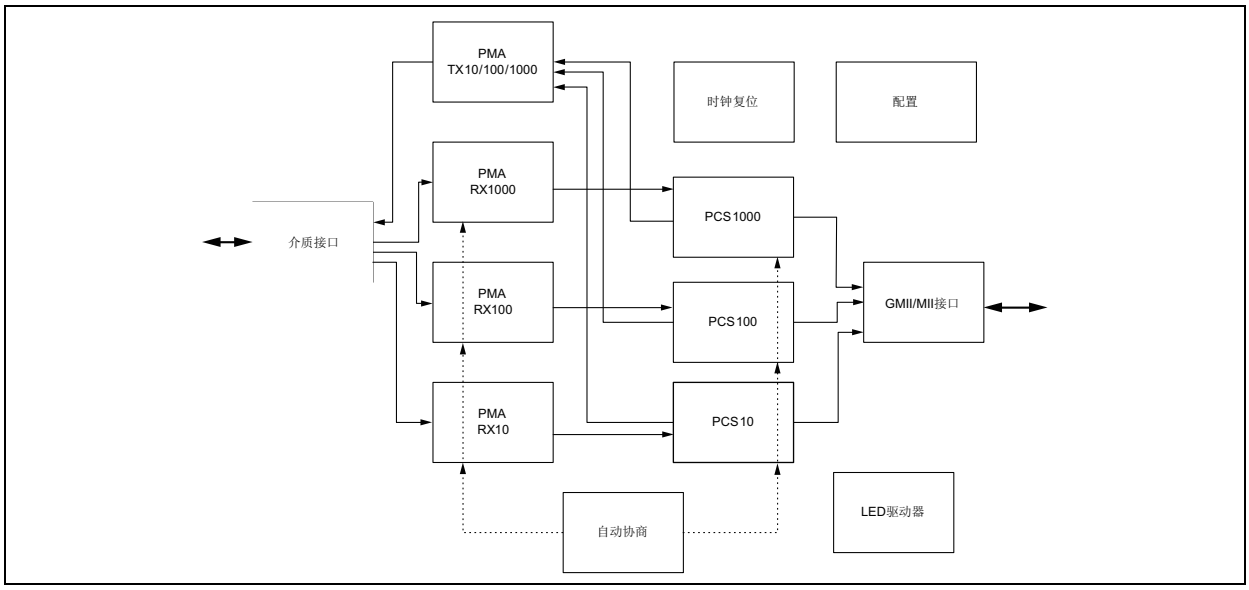
KSZ9031MNX为四个差分对使用了片上端接电阻，并通过集成LDO控制器来驱动低成本MOSFET为1.2V内核供电，从而降低了电路板成本并简化了电路板布线。

KSZ9031MNX可在铜介质接口上自动检测和校正差分对错位和反极性问题，同时校正四个差分对之间的传播延时和重新同步时序，符合IEEE 802.3标准中对于1000BASE-T操作的规定。

KSZ9031MNX提供了GMII/MII接口，可连接到千兆位以太网处理器和交换机中的GMAC，实现10/100/1000 Mbps的数据传输。

图3-1给出了KSZ9031MNX的高级框图。

图3-1： KSZ9031MNX框图



3.1 10BASE-T/100BASE-TX收发器

3.1.1 100BASE-TX发送

100BASE-TX发送功能可执行并串转换、4B/5B编码、加扰、NRZ至NRZI转换以及MLT-3编码和发送。

电路从可将来自MAC的MII数据转换为125 MHz的串行比特流的并串转换开始。该数据和控制比特流随后转换为4B/5B编码，后面紧跟加扰器。经过序列化的数据进一步从NRZ转换为NRZI格式，然后在MLT-3电流输出中发送。输出电流通过一个精度为1%的12.1 kΩ外部电阻设置，以实现1:1的变压比。

输出信号的上升/下降时间典型值为4 ns，符合ANSI TP-PMD关于幅值平衡和过冲的标准。10BASE-T的波形输出也会整合到100BASE-TX发送器中。

3.1.2 100BASE-TX接收

100BASE-TX接收功能执行自适应均衡、直流恢复、MLT-3到NRZI转换、数据和时钟恢复、NRZI到NRZ转换、解扰、4B/5B解码以及串并转换。

接收电路从用于补偿双绞线上的码间干扰（Inter-Symbol Interference，ISI）的均衡滤波器开始。由于幅值损失和相位失真受电缆长度影响，均衡器必须调整其特性以优化性能。在本设计中，可变均衡器会将传入信号强度与某些已知电缆特性进行比较，并据此做出初始估计，然后调节自己的特性以实现优化。这是一个持续的过程，能够自动适应环境的变化（例如，温度变化）。

经过均衡的信号随后通过直流恢复和数据转换模块。直流恢复电路用于补偿基线漂移的影响并提高动态范围。差分数据转换电路把MLT-3格式转回到NRZI格式。限幅阈值也是自适应的。

时钟恢复电路从NRZI信号的边沿提取125 MHz时钟。随后，使用恢复后的时钟信号将NRZI信号转换为NRZ格式。信号依次通过解扰器和4B/5B解码器。最后，NRZ串行数据转换为GMII/MII格式信号，并作为输入数据提供给MAC。

3.1.3 加扰器/解扰器（仅限100BASE-TX）

加扰器的作用是扩展信号的功率频谱，以减小电磁干扰（Electromagnetic Interference，EMI）和基线漂移。通过使用一个11位宽的线性反馈移位寄存器（Linear Feedback Shift Register，LFSR）对发送的数据进行加扰。加扰器会产生一个2047位非重复序列，然后接收器使用与发送器相同的序列对传入数据流进行解扰。

3.1.4 10BASE-T发送

10BASE-T输出驱动器已整合到100BASE-TX驱动器中以使用相同的磁件进行发送。驱动器会执行内部波形整形和预加重，并在标准10BASE-T模式下输出典型峰值幅值为2.5V的信号，在节能10BASE-Te模式下输出典型峰值幅值为1.75V的信号。由一个全1的曼彻斯特编码信号驱动时，10BASE-T/10BASE-Te信号的谐波成分比基频至少低31 dB。

3.1.5 10BASE-T接收

在接收侧，采用输入缓冲区和电平检测静噪电路。差分输入接收器电路和锁相环（Phase-Locked Loop，PLL）执行解码功能。曼彻斯特编码数据流分为时钟信号和NRZ数据。静噪电路抑制电平低于300 mV或脉冲宽度较短的信号，以避免接收输入端的噪声误触发解码器。当输入超过静噪限制时，PLL会锁定传入信号，KSZ9031MNX会解码数据帧。在两次数据帧接收之间的空闲周期内，接收器时钟保持有效。

KSZ9031MNX会删除所有7个字节的前导码，然后将从SFD（帧起始分隔符）开始的接收帧部分传送给MAC。

该器件为接收差分对提供了自动极性校正功能，用以自动交换和修正电缆布线中错误的+/–极性接线。

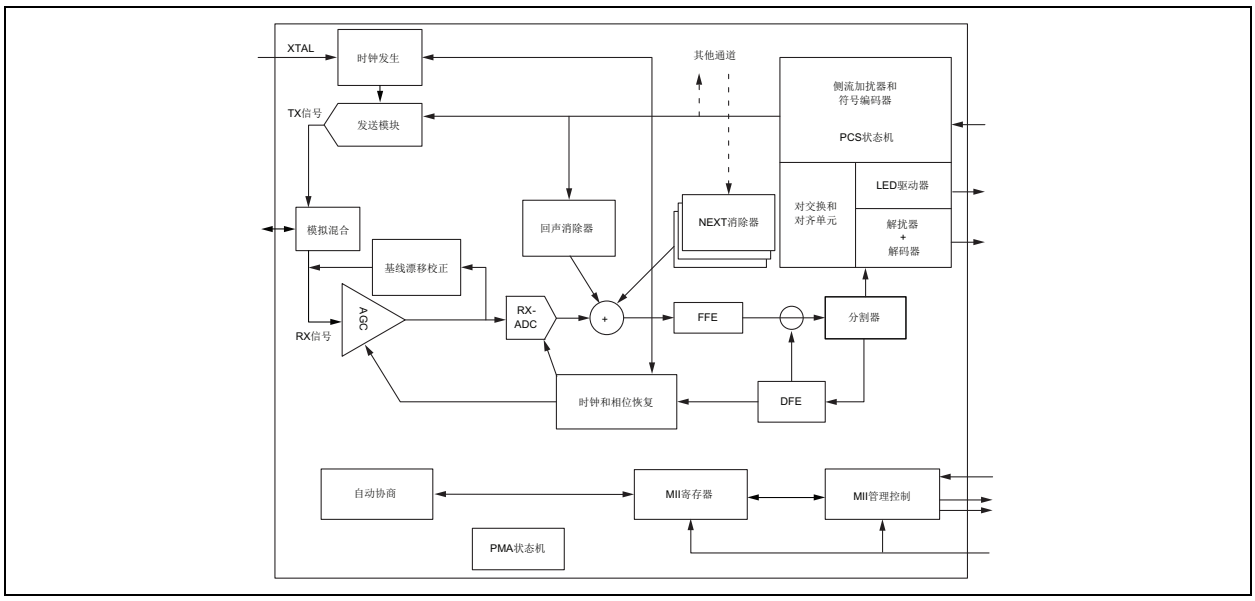
3.2 1000BASE-T收发器

1000BASE-T收发器基于混合信号/数字信号处理（Digital-Signal Processing，DSP）架构，包括模拟前端、数字通道均衡器、网格编码器/解码器，回声消除器，串扰消除器，精密时钟恢复方案和节能线路驱动器。

图3-2给出了用于四个差分对之一的1000BASE-T收发器的单通道高级框图。

© 2017 Microchip Technology Inc.

图3-2： KSZ9031MNX 1000BASE-T框图——单通道



3.2.1 模拟回声消除电路

在1000BASE-T模式下，模拟回声消除电路有助于减少近端回声。该模拟混合电路减轻了ADC和自适应均衡器的负担。

该电路在10BASE-T/100BASE-TX模式下处于禁止状态。

3.2.2 自动增益控制（AGC）

在1000BASE-T模式下，自动增益控制（Automatic Gain Control，AGC）电路提供初始增益调整，以提升信号电平。该预调理电路用于改善接收信号的信噪比。

3.2.3 模数转换器（ADC）

在1000BASE-T模式下，模数转换器（Analog-to-Digital Converter，ADC）对传入信号进行数字化。ADC性能对收发器的整体性能至关重要。

该电路在10BASE-T/100BASE-TX模式下处于禁止状态。

3.2.4 时序恢复电路

在1000BASE-T模式下，混合信号时钟恢复电路与数字锁相环一起用于从接收数据恢复和跟踪传入时序信息。数字锁相环具有极低的长期抖动，可最大程度提高接收信号的信噪比。

1000BASE-T从PHY必须将从接收到的数据恢复的确切接收时钟频率发送回1000BASE-T主PHY。否则，经过长时间传输后，主PHY和从PHY会不同步。这也有助于消除回声和NEXT（近端串扰）。

3.2.5 自适应均衡器

在1000BASE-T模式下，自适应均衡器提供以下功能：

- 检测部分响应信号
- 消除NEXT和ECHO噪声
- 通道均衡

由于存在阻抗不匹配问题，模拟混合电路无法完全消除回声，而残余的回声将导致信号质量下降。KSZ9031MNX使用的数字回声消除器能够进一步减少接收信号中的回声分量。

在1000BASE-T模式下，所有四对电线（四个通道）上同时进行数据发送和接收。这将导致相邻电线之间产生高频串扰。KSZ9031MNX在每个接收通道上使用三个NEXT消除器，以最大程度减少由其他三个通道引起的串扰。

在10BASE-T/100BASE-TX模式下，自适应均衡器只需消除码间串扰并恢复传入数据的通道损耗。

3.2.6 网格编码器和解码器

在1000BASE-T模式下，发送的8位数据经过加扰变为9位码，然后进一步编码为4D-PAM5码。当在同一个电路板上使用多个KSZ9031MNX时，通过特定PHY地址确定初始加扰器种子以减少EMI。在接收侧，首先检查空闲流。加扰器种子、对偏移、对顺序和极性必须通过逻辑来解决。传入的4D-PAM5数据随后转换为9位码并解扰为8位数据。

3.3 自动MDI/MDI-X

通过使用自动MDI/MDI-X功能，无需确定在KSZ9031MNX与其链路伙伴之间使用直电缆还是交叉电缆。该自动检测功能可检测来自链路伙伴的MDI/MDI-X对映射，并相应地分配KSZ9031MNX的MDI/MDI-X对映射。

表3-1给出了MDI/MDI-X引脚映射的KSZ9031MNX 10/100/1000引脚配置分配。

表3-1： MDI/MDI-X引脚映射

引脚（RJ-45对）	MDI			MDI-X		
	1000BASE-T	100BASE-T	10BASE-T	1000BASE-T	100BASE-T	10BASE-T
TXRXP/M_A（1和2）	A+/–	TX+/–	TX+/–	B+/–	RX+/–	RX+/–
TXRXP/M_B（3和6）	B+/–	RX+/–	RX+/–	A+/–	TX+/–	TX+/–
TXRXP/M_C（4和5）	C+/–	未使用	未使用	D+/–	未使用	未使用
TXRXP/M_D（7和8）	D+/–	未使用	未使用	C+/–	未使用	未使用

自动MDI/MDI-X默认使能。可通过向寄存器1Ch Bit [6]写入1来禁止。如果自动MDI/MDI-X被禁止，则可通过寄存器1Ch Bit [7]来设置MDI和MDI-X模式。

推荐使用具有对称发送和接收数据路径的隔离变压器来支持自动MDI/MDI-X。

3.4 对交换、对齐和极性检查

在1000BASE-T模式下，KSZ9031MNX

- 检测错误的通道顺序并自动恢复A、B、C和D对（四个通道）的对顺序。
- 根据IEEE 802.3标准，支持50 ns ± 10 ns的通道对间传播延时差，并自动校正数据偏移，以使校正的四对数据码同步。

则将针对所有速度对不正确的差分信号对极性进行自动校正。

3.5 波形整形，压摆率控制和部分响应

在通信系统中，使用信号传输编码方法来提供噪声整形功能及最大程度减少传输通道中的失真和错误。

- 对于1000BASE-T，使用特殊的部分响应信令方法来为传输路径提供频带限制功能。
- 对于100BASE-TX，使用简单的压摆率控制方法来最大程度减小EMI。
- 对于10BASE-T，使用预加重改善通过电缆的信号质量。

3.6 PLL时钟合成器

KSZ9031MNX可为系统时序生成125 MHz、25 MHz和10 MHz的时钟信号。内部时钟由外部25 MHz晶振或参考时钟生成。

© 2017 Microchip Technology Inc.

3.7 自动协商

KSZ9031MNX符合IEEE 802.3规范第28条中定义的自动协商协议。

自动协商允许UTP（非屏蔽双绞线）链路伙伴选择共用程度最高的工作模式。

在自动协商期间，链路伙伴通过UTP链路相互告知各自的能力，并将自己的能力与从链路伙伴接收的能力进行比较。将选择两个链路伙伴共用的最高速度和双工方式作为工作模式。

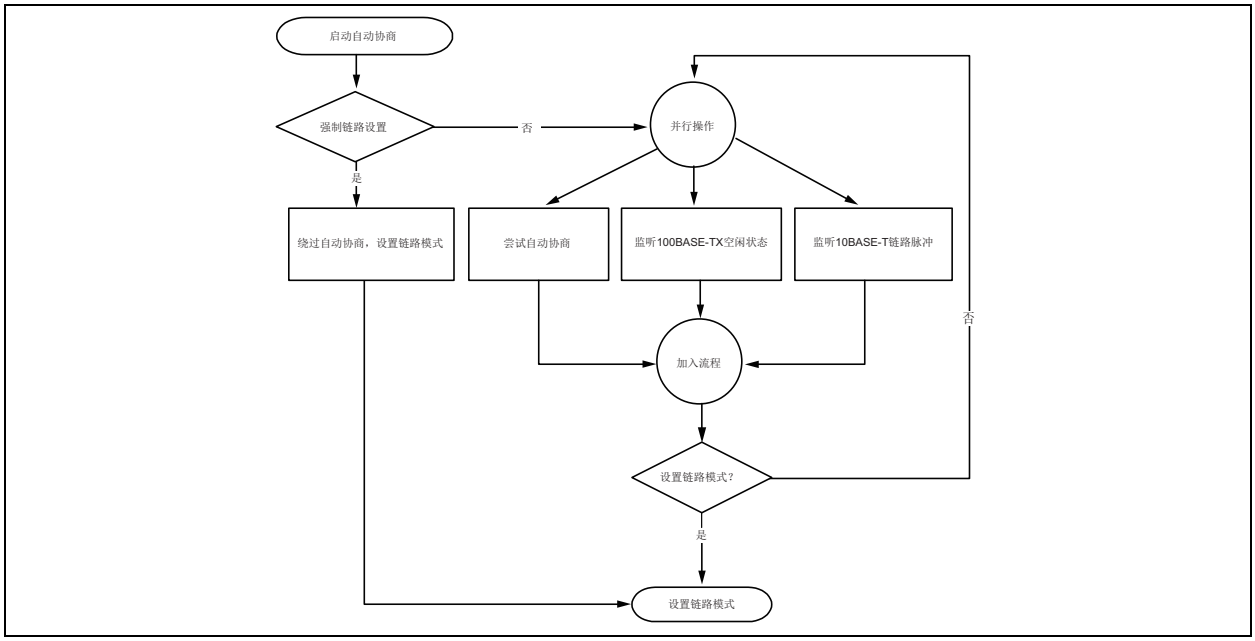
以下列表给出了不同的速度和双工工作模式（最高到最低）：

- 优先级1：1000BASE-T，全双工
- 优先级2：1000BASE-T，半双工
- 优先级3：100BASE-TX，全双工
- 优先级4：100BASE-TX，半双工
- 优先级5：10BASE-T，全双工
- 优先级6：10BASE-T，半双工

如果不支持自动协商或KSZ9031MNX链路伙伴被强制为绕开自动协商（对于10BASE-T和100BASE-TX模式），则KSZ9031MNX将通过观察其接收器的输入信号来设置其工作模式。这称为并行检测，允许KSZ9031MNX在不存在自动协商通告协议时通过侦听固定信号协议来建立链路。

自动协商链接过程如图3-3所示。

图3-3： 自动协商流程图



对于1000BASE-T模式，需要自动协商并始终使用自动协商来建立链路。在1000BASE-T自动协商期间，首先会解析链路伙伴之间的主从配置。然后在链路伙伴之间建立共用能力最高的链路。

上电或硬件复位后默认使能自动协商。之后，可通过寄存器0h Bit [12]使能或禁止自动协商。如果禁止自动协商，则可通过寄存器0h Bits [6, 13]设置速度，通过寄存器0h Bit [8]设置双工模式。

如果速度实时发生变化，则断开链路并开始自动协商或并行检测，直到为链路重新建立了KSZ9031MNX与其链路伙伴之间的共同速度。

如果链路已建立且速度未实时发生变化，则除非通过寄存器0h Bit [9]重新启动自动协商，或发生链路断开到链路接通的转换（即，断开并重新连接电缆），否则更改（例如，双工和暂停能力）不会生效。

自动协商完成后，链路状态在寄存器1h Bit [2]中更新，链路伙伴能力在寄存器5h、6h和Ah中更新。

自动协商有限状态机使用间隔定时器来管理自动协商过程。表3-2汇总了这些定时器在正常工作条件下的持续时间。

表3-2： 自动协商定时器

自动协商间隔定时器	持续时间
发送突发间隔	16 ms
发送脉冲间隔	68 µs
FLP检测最小时间	17.2 µs
FLP检测最大时间	185 µs
接收最小突发间隔	6.8 ms
接收最大突发间隔	112 ms
数据检测最小间隔	35.4 µs
数据检测最大间隔	95 µs
NLP测试最小间隔	4.5 ms
NLP测试最大间隔	30 ms
链路丢失时间	52 ms
链路断开时间	1480 ms
并行检测等待时间	830 ms
链路使能等待时间	1000 ms

3.8 仅限10/100 Mbps速度

某些应用要求链路接通速度仅限于10/100 Mbps。

上电/复位后，可通过编程以下寄存器设置将KSZ9031MNX限制为自动协商和仅限10/100 Mbps链路接通速度：

1. 将寄存器0h Bit [6]设置为0以删除1000 Mbps速度。
2. 将寄存器9h Bits [9:8]设置为00以删除1000 Mbps全双工/半双工的自动协商通告。
3. 向寄存器0h Bit [9]（自清零位）写入1，强制重新启动自动协商。

自动协商和10BASE-T/100BASE-TX速度仅使用差分对A（引脚2和3）和B（引脚7和8）。差分对C（引脚10和11）和D（引脚14和15）可保留为无连接状态。

3.9 GMII接口

千兆位介质无关接口（Gigabit Media Independent Interface，GMII）符合IEEE 802.3规范。它在GMII PHY和MAC之间提供通用接口，并具有以下主要特性：

- 引脚数为24（11个引脚用于数据发送，11个引脚用于数据接收，2个引脚用于载波和冲突指示）。
- 半双工和全双工都支持1000 Mbps。
- 数据发送和接收相互独立，隶属不同的信号组。
- 发送数据和接收数据均为8位宽，即1个字节。

在GMII模式下，GMII引脚的功能如下：

- MAC提供发送参考时钟GTX_CLK：1000 Mbps时为125 MHz。
- PHY恢复并提供接收参考时钟RX_CLK：1000 Mbps时为125 MHz。
- TX_EN、TXD[7:0]和TX_ER由KSZ9031MNX在GTX_CLK的上升沿进行采样。
- RX_DV、RXD[7:0]和RX_ER由MAC在RX_CLK的上升沿进行采样。
- CRS和COL由KSZ9031MNX驱动，并且不必相对于GTX_CLK或RX_CLK同步转换。

© 2017 Microchip Technology Inc.

KSZ9031MNX将GMII模式与MII模式组合在一起形成GMII/MII模式，以支持10/100/1000 Mbps的数据传输。上电或复位后，如果MODE[3:0]配置脚输入引脚设置为0001，KSZ9031MNX将配置为GMII/MII模式。请参见配置脚选项——KSZ9031MNX部分。

KSZ9031MNX可以选择在CLK125_NDO（引脚55）上输出125 MHz参考时钟。该时钟为需要125 MHz晶振或振荡器的GMII/MII MAC提供了一个成本更低的参考时钟替代方案。如果CLK125_EN配置脚输入引脚被拉为高电平，则在上电或复位后，125 MHz时钟输出将使能。

KSZ9031MNX为GMII模式提供了一个专用的发送时钟输入引脚（GTX_CLK，引脚32），该引脚由MAC针对1000 Mbps速度提供信号。

3.9.1 GMII信号定义

表3-3介绍了GMII信号。有关更多详细信息，请参见IEEE 802.3规范第35条。

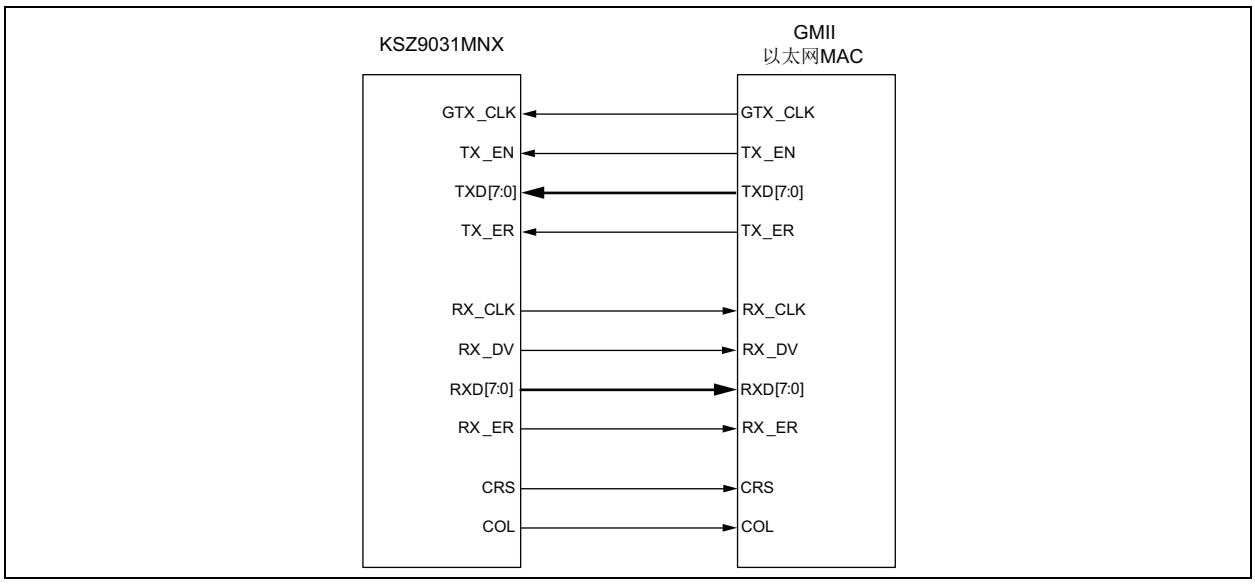
表3-3： GMII信号定义

GMII信号名称（按照规范）	GMII信号名称（按照KSZ9031MNX）	引脚类型（相对于PHY）	引脚类型（相对于MAC）	说明
GTX_CLK	GTX_CLK	输入	输出	发送参考时钟（1000 Mbps时为125 MHz）
TX_EN	TX_EN	输入	输出	发送使能
TXD[7:0]	TXD[7:0]	输入	输出	发送数据[7:0]
TX_ER	TX_ER	输入	输出	发送错误
RX_CLK	RX_CLK	输出	输入	接收参考时钟（1000 Mbps时为125 MHz）
RX_DV	RX_DV	输出	输入	接收数据有效
RXD[7:0]	RXD[7:0]	输出	输入	接收数据[7:0]
RX_ER	RX_ER	输出	输入	接收错误
CRS	CRS	输出	输入	载波监听
COL	COL	输出	输入	检测到冲突

3.9.2 GMII信号图

图3-4给出了KSZ9031MNX与MAC的GMII引脚连接。

图3-4： KSZ9031MNX GMII接口



3.10 MII接口

介质无关接口（MII）符合IEEE 802.3规范。它在MII PHY和MAC之间提供通用接口，并具有以下主要特性：

- 引脚数为16（7个引脚用于数据发送，7个引脚用于数据接收，2个引脚用于载波和冲突指示）。
- 半双工和全双工都支持10 Mbps和100 Mbps。
- 数据发送和接收相互独立，隶属不同的信号组。
- 发送数据和接收数据均为4位宽，即半个字节。

在MII模式下，MII引脚的功能如下：

- PHY提供发送参考时钟TX_CLK：100 Mbps时为25 MHz，10 Mbps时为2.5 MHz。
- PHY恢复并提供接收参考时钟RX_CLK，100 Mbps时为25 MHz，10 Mbps时为2.5 MHz。
- TX_EN、TXD[3:0]和TX_ER由MAC驱动，并相对于TX_CLK同步转换。
- RX_DV、RXD[3:0]和RX_ER由KSZ9031MNX驱动，并相对于RX_CLK同步转换。
- CRS和COL由KSZ9031MNX驱动，并且不必相对于TX_CLK或RX_CLK同步转换。

KSZ9031MNX将GMII模式与MII模式组合在一起形成GMII/MII模式，以支持10/100/1000 Mbps的数据传输。上电或复位后，如果MODE[3:0]配置脚输入引脚设置为0001，KSZ9031MNX将配置为GMII/MII模式。请参见配置脚选项——KSZ9031MNX部分。

KSZ9031MNX可以选择在CLK125_NDO（引脚55）上输出125 MHz参考时钟。该时钟为需要125 MHz晶振或振荡器的GMII/MII MAC提供了一个成本更低的参考时钟替代方案。如果CLK125_EN配置脚输入引脚被拉为高电平，则在上电或复位后，125 MHz时钟输出将使能。

KSZ9031MNX为MII模式提供了一个专用的发送时钟输出引脚（TX_CLK，引脚57），该引脚由KSZ9031MNX针对10/100 Mbps速度提供信号。

3.10.1 MII信号定义

表3-4介绍了MII信号。有关详细信息，请参见IEEE 802.3规范第22条。

表3-4： MII信号定义

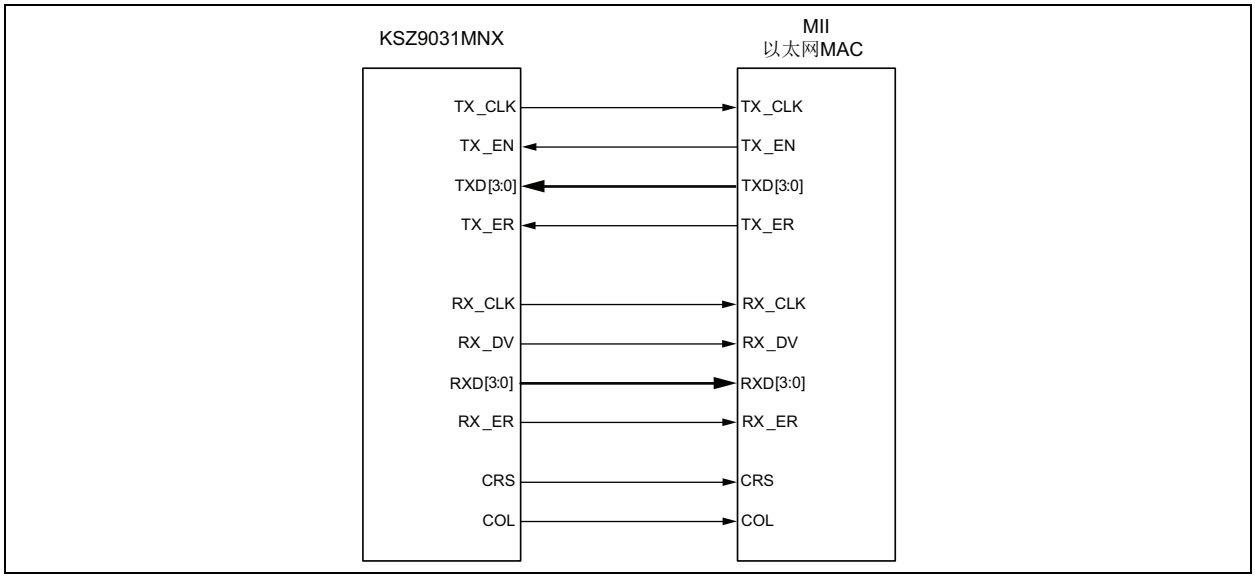
MII信号名称（按照规范）	MII信号名称（按照KSZ9031MNX）	引脚类型（相对于PHY）	引脚类型（相对于MAC）	说明
TX_CLK	TX_CLK	输出	输入	发送参考时钟（100 Mbps时为25 MHz，10 Mbps时为2.5 MHz）
TX_EN	TX_EN	输入	输出	发送使能
TXD[3:0]	TXD[3:0]	输入	输出	发送数据[3:0]
TX_ER	TX_ER	输入	输出	发送错误
RX_CLK	RX_CLK	输出	输入	接收参考时钟（100 Mbps时为25 MHz，10 Mbps时为2.5 MHz）
RX_DV	RX_DV	输出	输入	接收数据有效
RXD[3:0]	RXD[3:0]	输出	输入	接收数据[3:0]
RX_ER	RX_ER	输出	输入	接收错误
CRS	CRS	输出	输入	载波监听
COL	COL	输出	输入	冲突检测

© 2017 Microchip Technology Inc.

3.10.2 MII信号图

图3-5给出了KSZ9031MNX与MAC的MII引脚连接。

图3-5： KSZ9031MNX MII接口



3.11 MII管理（MIIM）接口

KSZ9031MNX支持IEEE 802.3 MII管理接口，MII管理接口也称为管理数据输入/输出（Management Data Input/Output，MDIO）接口。该接口允许上层器件监视和控制KSZ9031MNX的状态。具有MIIM功能的外部器件用于读取PHY状态和/或配置PHY设置。有关MIIM接口的更多详细信息，请参见IEEE 802.3规范第22.2.4条。

MIIM接口的组成部分如下：

- 一个兼具时钟线（MDC）和数据线（MDIO）的物理连接。
- 一个在上述物理连接上工作，允许外部控制器与一个或多个KSZ9031MNX器件通信的特定协议。每个KSZ9031MNX器件通过PHYAD[2:0]配置脚引脚分配一个介于0h和7h之间的惟一PHY地址。
- 32位寄存器地址空间，用于直接访问IEEE定义的寄存器和供应商特定的寄存器，以及用于间接访问MMD地址和寄存器。请参见寄存器映射部分。

仅支持PHY地址0h作为惟一PHY地址；不支持PHY地址0h作为广播PHY地址，后者允许通过单个写入命令同时为两个或更多的PHY器件的相同PHY寄存器进行编程（例如，使用PHY地址0h将寄存器0h设置为值0x1940可将Bit [11]设置为值1，以使软件掉电）。但可以使用单独的写入命令对每个PHY器件进行编程。

表3-5给出了KSZ9031MNX的MII管理帧格式。

表3-5： KSZ9031MNX的MII管理帧格式

	前导码	帧起始	读/写操作码	PHY地址 Bit[4:0]	REG地址 Bit[4:0]	TA	数据 Bit[15:0]	空闲
读	32个1	01	10	00AAA	RRRRR	Z0	DDDDDDDD_DDDDDDDD	Z
写	32个1	01	01	00AAA	RRRRR	10	DDDDDDDD_DDDDDDDD	Z

3.12 中断（INT_N）

INT_N引脚是一个可选中断信号，用于通知外部控制器KSZ9031MNX PHY寄存器中存在状态更新。寄存器1Bh Bit[15:8]是中断控制位，用于使能和禁止将INT_N信号置为有效的条件。寄存器1Bh Bit[7:0]是中断状态位，用于指示哪些中断条件已发生。中断状态位在寄存器1Bh被读取后清零。

寄存器1Fh Bit [14]将中断电平设置为高电平有效或低电平有效。默认值为低电平有效。

MII管理总线选项使MAC处理器能够完全访问KSZ9031MNX控制和状态寄存器。此外，中断引脚无需处理器查询PHY是否存在状态变化。

3.13 LED模式

KSZ9031MNX提供了两个可编程LED输出引脚LED2和LED1，它们可配置为支持两种LED模式。LED模式由LED_MODE配置脚输入（引脚55）配置，在上电/复位时被锁存，定义如下：

- 上拉：单LED模式
- 下拉：三色双LED模式

每个LED输出引脚可以直接驱动带串联电阻（通常为220Ω至470Ω）的LED。

3.13.1 单LED模式

在单LED模式下，LED2引脚指示链路状态，LED1引脚指示活动状态，如表3-6所示。

表3-6： 单LED模式——引脚定义

LED引脚	引脚状态	LED定义	链路/活动
LED2	高电平	熄灭	链路关闭
	低电平	点亮	链路开启（任何速度）
LED1	高电平	熄灭	无活动
	翻转	闪烁	活动（RX和TX）

3.13.2 三色双LED模式

在三色双LED模式下，对于1000BASE-T，链路和活动状态由LED2引脚指示；对于100BASE-TX，链路和活动状态由LED1引脚指示；对于10BASE-T，链路和活动状态由LED2和LED1引脚共同指示。表3-7对此进行了总结。

表3-7： 三色双LED模式——引脚定义

LED引脚（状态）		LED引脚（定义）		链路/活动
LED2	LED1	LED2	LED1	
高电平	高电平	熄灭	熄灭	链路关闭
低电平	高电平	点亮	熄灭	1000链路/无活动
翻转	高电平	闪烁	熄灭	1000链路/活动（RX和TX）
高电平	低电平	熄灭	点亮	100链路/无活动
高电平	翻转	熄灭	闪烁	100链路/活动（RX和TX）
低电平	低电平	点亮	点亮	10链路/无活动
翻转	翻转	闪烁	闪烁	10链路/活动（RX和TX）

© 2017 Microchip Technology Inc.

3.14 环回模式

KSZ9031MNX支持以下环回操作，以验证模拟和/或数字数据路径。

- 本地（数字）环回
- 远程（模拟）环回

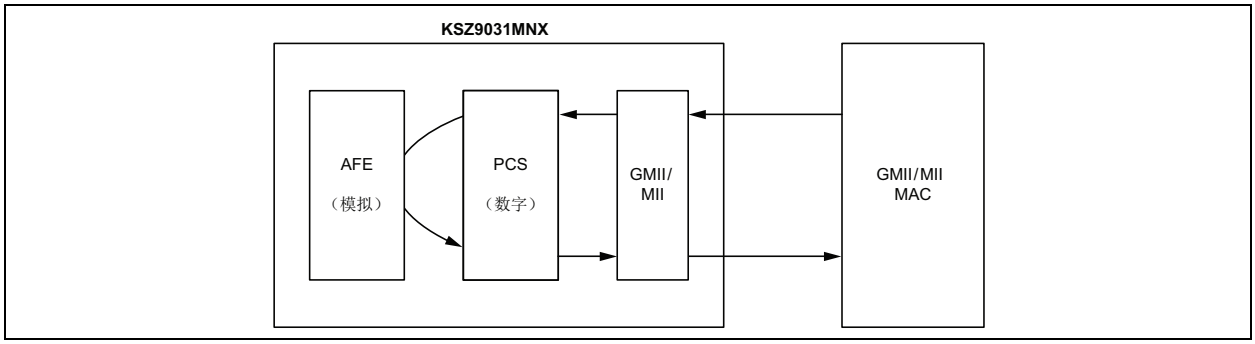
3.14.1 本地（数字）环回

该环回模式检查KSZ9031MNX与外部MAC之间的GMII/MII发送和接收数据路径，并在全双工时支持所有三种速度（10/100/1000 Mbps）。

环回数据路径如图3-6所示。

1. GMII/MII MAC将帧发送到KSZ9031MNX。
2. 帧在KSZ9031MNX内部回绕。
3. KSZ9031MNX将帧发送回GMII/MII MAC。

图3-6： 本地（数字）环回



以下编程步骤和寄存器设置用于本地环回模式。

对于1000 Mbps环回，

1. 设置寄存器0h，
   - Bit [14] = 1 // 使能本地环回模式
   - Bit [6, 13] = 10 // 选择1000 Mbps速度
   - Bit [12] = 0 // 禁止自动协商
   - Bit [8] = 1 // 选择全双工模式
2. 设置寄存器9h，
   - Bit [12] = 1 // 使能主/从手动配置
   - Bit [11] = 0 // 选择从配置（环回模式需要）

对于10/100 Mbps环回，

1. 设置寄存器0h，
   - Bit [14] = 1 // 使能本地环回模式
   - Bit [6, 13] = 00 / 01 // 选择10 Mbps/100 Mbps速度
   - Bit [12] = 0 // 禁止自动协商
   - Bit [8] = 1 // 选择全双工模式

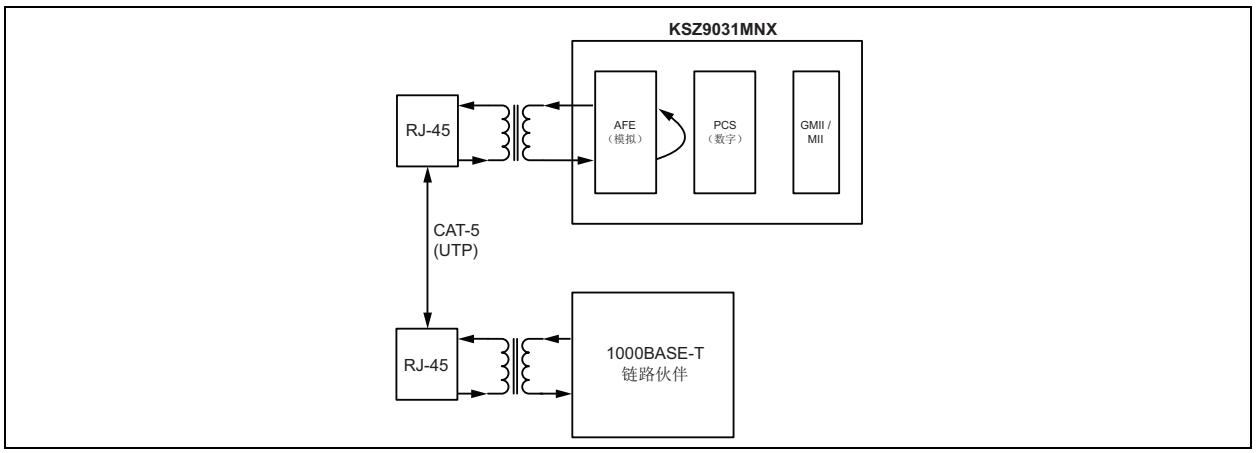
3.14.2 远程（模拟）环回

该环回模式检查KSZ9031MNX与其链路伙伴之间的线路（差分对、变压器、RJ-45连接器和以太网电缆）发送和接收数据路径，并且只支持1000BASE-T全双工模式。

环回数据路径如图3-7所示。

1. 千兆位PHY链路伙伴将帧发送到KSZ9031MNX。
2. 帧在KSZ9031MNX内部回绕。
3. KSZ9031MNX将帧发送回千兆位PHY链路伙伴。

图3-7： 远程（模拟）环回



以下编程步骤和寄存器设置用于远程环回模式。

1. 设置寄存器0h，
   - Bit [6, 13] = 10 // 选择1000 Mbps速度
   - Bit [12] = 0 // 禁止自动协商
   - Bit [8] = 1 // 选择全双工模式

   或只自动协商并以1000BASE-T全双工模式与链路伙伴接通链路。
2. 设置寄存器11h，
   - Bit [8] = 1 // 使能远程环回模式

3.15 LinkMD® 电缆诊断

LinkMD功能使用时域反射测量法（Time Domain Reflectometry，TDR）分析电缆设备的常见电缆问题，例如开路、短路和阻抗不匹配。

LinkMD的工作原理是沿着所选差分对发送已知幅值和持续时间的脉冲，然后分析反射信号的极性和形状，以此确定故障类型：正/同相幅值反射表示开路，负/反相幅值反射表示短路。反射信号返回的持续时间提供了到布线故障的近似距离。LinkMD功能将处理此TDR信息，并将其表示为可转换为电缆距离的数值。

可通过访问寄存器12h（LinkMD - 电缆诊断寄存器）和寄存器1Ch（自动MDI/MDI-X寄存器）来启动LinkMD。在运行LinkMD测试之前，需要使用后一个寄存器来禁止自动MDI/MDI-X功能。此外，应在运行LinkMD测试前后执行软件复位（寄存器0h Bit [15] = 1）。复位有助于确保KSZ9031MNX在测试前后处于正常工作状态。

3.16 NAND树支持

KSZ9031MNX提供参数化NAND树支持，用于芯片I/O与电路板之间的故障检测。当MODE[3:0]配置脚输入引脚设置为0100时，将在上电/复位时使能NAND树模式。表3-8列出了NAND树引脚顺序。

表3-8： KSZ9031MNX的NAND树测试引脚顺序

引脚	说明
LED2	输入
LED1/PME_N1	输入
TXD0	输入
TXD1	输入
TXD2	输入
TXD3	输入

© 2017 Microchip Technology Inc.

表3-8： KSZ9031MNX的NAND树测试引脚顺序（续）

引脚	说明
TX_ER	输入
GTX_CLK	输入
TX_EN	输入
RX_DV	输入
RX_ER	输入
RX_CLK	输入
CRS	输入
COL	输入
INT_/PME_N2	输入
MDC	输入
MDIO	输入
CLK125_NDO	输出

3.17 电源管理

KSZ9031MNX集成了多种电源管理模式和功能，从而提供了多种节能方法。以下几节将讨论这些内容。

3.17.1 电能检测掉电模式

电能检测掉电（Energy-Detect Power-Down，EDPD）模式用于在电缆拔出时进一步降低收发器的功耗。可通过向MMD地址1Ch寄存器23h Bit [0]写入1来使能该模式，其在自动协商模式使能且电缆断开（无链路）时有效。

在EDPD模式下，KSZ9031MNX会关闭除发送器和电能检测电路以外的所有收发器模块。在发送链路脉冲检查是否存在链路伙伴时，可通过延长两次发送操作之间的时间间隔来进一步降低功耗。需要定期发送链路脉冲，以确保KSZ9031MNX及其链路伙伴在以相同的低功耗状态运行且禁止自动MDI/MDI-X的情况下，能够在二者之间连接电缆时唤醒。默认情况下，EDPD模式在上电后禁止。

3.17.2 软件掉电模式

该模式用于在上电后不使用KSZ9031MNX器件时使其掉电。可通过向寄存器0h Bit [11]写入1来使能软件掉电（Software Power-Down，SPD）模式。在SPD状态下，KSZ9031MNX会禁止除MII管理接口以外的所有内部功能。在向寄存器0h Bit [11]写入0之后，KSZ9031MNX将退出SPD状态。

3.17.3 芯片掉电模式

当KSZ9031MNX器件安装在电路板上但未使用时，此模式可为其提供最低功耗状态。当MODE[3:0]配置脚输入引脚设置为0111时，将在上电/复位后使能芯片掉电（Chip Power-Down，CPD）模式。在将MODE[3:0]配置脚输入引脚设置为除CPD以外的工作模式时，为RESET_N引脚（引脚56）应用硬件复位后，KSZ9031MNX将退出CPD模式。

3.18 LAN唤醒

LAN唤醒（WOL）通常是基于MAC的功能，用于唤醒处于待机功率模式的主机系统（例如，PC等以太网终端设备）。通过接收和检测由远程链路伙伴发送的特殊数据包（通常称为“魔术包”）来触发唤醒。如果将KSZ9031MNX的相关MAC器件的MAC地址输入到KSZ9031MNX PHY寄存器中进行魔术包检测，则KSZ9031MNX可以执行相同的WOL功能。当KSZ9031MNX检测到魔术包时，会通过将其电源管理事件（Power Management Event，PME）输出引脚驱动为低电平来唤醒主机。

默认情况下，WOL功能被禁止。通过将使能位置1和针对所选PME唤醒检测方法配置相关寄存器可使能该功能。

KSZ9031MNX提供三种方法来触发PME唤醒：

- 魔术包检测

- 自定义数据包检测
- 链路状态变化检测

3.18.1 魔术包检测

魔术包的帧格式以6字节的0xFFh开始，后面是其相关MAC器件（本地MAC器件）的MAC地址（重复16次）。

当从其链路伙伴检测到魔术包时，KSZ9031MNX将其PME输出引脚置为低电平。

以下MMD地址2h寄存器用于魔术包检测：

- 通过向MMD地址2h寄存器10h Bit [6]写入1来使能魔术包检测
- 将本地MAC器件的MAC地址写入并存储在MMD地址2h寄存器11h-13h中

KSZ9031MNX不生成魔术包。魔术包必须由外部系统提供。

3.18.2 自定义数据包检测

自定义数据包具有相关联的寄存器/位掩码，用于选择在CRC计算中使用数据包前64个字节中的哪个或哪些字节。KSZ9031MNX从其链路伙伴接收到数据包之后，将使用所接收数据包的所选字节来计算CRC。计算得出的CRC会与预先写入并存储在KSZ9031MNX PHY寄存器中的预期CRC值进行比较。如果匹配，KSZ9031MNX会将其PME输出引脚置为低电平。

该器件提供四种自定义数据包以支持四种类型的唤醒情形，并使用专用的寄存器组来配置和使能各个自定义数据包。

该器件提供以下MMD寄存器来进行自定义数据包检测：

- 四种自定义数据包均通过MMD地址2h寄存器10h使能，
  - Bit [2] //用于自定义数据包，类型0
  - Bit [3] //用于自定义数据包，类型1
  - Bit [4] //用于自定义数据包，类型2
  - Bit [5] //用于自定义数据包，类型3
- 32位预期CRC将写入并存储在以下位置：
  - MMD地址2h寄存器14h-15h //用于自定义数据包，类型0
  - MMD地址2h寄存器16h-17h //用于自定义数据包，类型1
  - MMD地址2h寄存器18h-19h //用于自定义数据包，类型2
  - MMD地址2h寄存器1Ah–1Bh //用于自定义数据包，类型3
- 用于指示CRC计算中使用前64个字节中的哪一个的掩码在以下位置设置：
  - MMD地址2h寄存器1Ch–1Fh //用于自定义数据包，类型0
  - MMD地址2h寄存器20h–23h //用于自定义数据包，类型1
  - MMD地址2h寄存器24h–27h //用于自定义数据包，类型2
  - MMD地址2h寄存器28h–2Bh //用于自定义数据包，类型3

3.18.3 链路状态变化检测

如果使能链路状态变化检测，则只要链路状态发生变化（使用以下MMD地址2h寄存器位及其使能（1）或禁止（0）设置），KSZ9031MNX即会将其PME输出引脚置为低电平：

- MMD地址2h寄存器10h Bit [0] //用于链路接通检测
- MMD地址2h寄存器10h Bit [1] //用于链路断开检测

PME输出信号在LED1/PME_N1（引脚19）或INT_N/PME_N2（引脚53）上可用，分别使用MMD地址2h寄存器2h的Bit [8]和[10]选择和使能。此外，MMD地址2h寄存器10h Bit [15:14]用于定义引脚19和53的输出功能。

PME输出为低电平有效，需要通过一个1 kΩ电阻上拉至VDDIO电源。置为有效时，通过禁止使能PME触发源（魔术包，自定义数据包和链路状态变化）的寄存器位可清零PME输出。

© 2017 Microchip Technology Inc.

3.19 典型电流消耗/功耗

表3-9、表3-10、表3-11和表3-12给出了各种标称工作电压组合下内核（DVDDL、AVDDL和AVDDL_PLL）、收发器（AVDDH）和数字I/O（DVDDH）电源引脚的典型电流消耗，以及整个KSZ9031MNX器件的典型总功耗。

表3-9： 典型电流消耗/功耗收发器（3.3V）和数字I/O（3.3V）

条件	1.2V内核（DVDDL、AVDDL和AVDDL_PLL）	3.3V收发器（AVDDH）	3.3V数字I/O（DVDDH）	芯片总功耗
1000BASE-T链路接通（无流量）	211 mA	66.6 mA	26.0 mA	560 mW
1000BASE-T全双工（100%利用率）	221 mA	65.6 mA	53.8 mA	660 mW
100BASE-TX链路接通（无流量）	60.6 mA	28.7 mA	13.3 mA	211 mW
100BASE-TX全双工（100%利用率）	61.2 mA	28.7 mA	18.0 mA	228 mW
10BASE-T链路接通（无流量）	7.0 mA	17.0 mA	5.7 mA	83 mW
10BASE-T全双工（100%利用率）	7.7 mA	29.3 mA	11.1 mA	143 mW
软件掉电模式（寄存器0h.11 = 1）	0.9 mA	4.1 mA	7.1 mA	38 mW

表3-10： 典型电流消耗/功耗收发器（3.3V）和数字I/O（1.8V）

条件	1.2V内核（DVDDL、AVDDL和AVDDL_PLL）	3.3V收发器（AVDDH）	1.8V数字I/O（DVDDH）	芯片总功耗
1000BASE-T链路接通（无流量）	211 mA	66.6 mA	14.2 mA	498 mW
1000BASE-T全双工（100%利用率）	221 mA	65.6 mA	29.3 mA	534 mW
100BASE-TX链路接通（无流量）	60.6 mA	28.7 mA	7.3 mA	181 mW
100BASE-TX全双工（100%利用率）	61.2 mA	28.7 mA	10.0 mA	186 mW
10BASE-T链路接通（无流量）	7.0 mA	17.0 mA	3.1 mA	70 mW
10BASE-T全双工（100%利用率）	7.7 mA	29.3 mA	6.0 mA	117 mW
软件掉电模式（寄存器0h.11 = 1）	0.9 mA	4.1 mA	3.7 mA	21 mW

表3-11： 典型电流消耗/功耗收发器（2.5V；注1）和数字I/O（2.5V）

条件	1.2V内核（DVDDL、AVDDL和AVDDL_PLL）	2.5V收发器（AVDDH）	2.5V数字I/O（DVDDH）	芯片总功耗
1000BASE-T链路接通（无流量）	211 mA	58.6 mA	19.3 mA	448 mW
1000BASE-T全双工（100%利用率）	221 mA	57.6 mA	40.5 mA	510 mW
100BASE-TX链路接通（无流量）	60.6 mA	24.8 mA	10.0 mA	160 mW
100BASE-TX全双工（100%利用率）	61.2 mA	24.8 mA	13.7 mA	170 mW
10BASE-T链路接通（无流量）	7.0 mA	12.5 mA	4.3 mA	50 mW
10BASE-T全双工（100%利用率）	7.7 mA	25.8 mA	8.3 mA	94 mW
软件掉电模式（寄存器0h.11 = 1）	0.9 mA	3.0 mA	5.3 mA	22 mW

注 1： 建议仅将2.5V AVDDH用于商业级温度范围（0°C至+70°C）下的操作。

表3-12： 典型电流消耗/功耗收发器（2.5V；注1）和数字I/O（1.8V）

条件	1.2V内核（DVDDL、AVDDL和AVDDL_PLL）	2.5V收发器（AVDDH）	1.8V数字I/O（DVDDH）	芯片总功耗
1000BASE-T链路接通（无流量）	211 mA	58.6 mA	14.2 mA	425 mW
1000BASE-T全双工（100%利用率）	221 mA	57.6 mA	29.3 mA	462 mW
100BASE-TX链路接通（无流量）	60.6 mA	24.8 mA	7.3 mA	148 mW
100BASE-TX全双工（100%利用率）	61.2 mA	24.8 mA	10.0 mA	153 mW
10BASE-T链路接通（无流量）	7.0 mA	12.5 mA	3.1 mA	45 mW
10BASE-T全双工（100%利用率）	7.7 mA	25.8 mA	6.0 mA	85 mW
软件掉电模式（寄存器0h.11 = 1）	0.9 mA	3.0 mA	3.7 mA	15 mW

注 1： 建议仅将2.5V AVDDH用于商业级温度范围（0°C至+70°C）下的操作。

© 2017 Microchip Technology Inc.

4.0 寄存器说明

本章介绍各种控制和状态寄存器（CSR）。

4.1 寄存器映射

KSZ9031MNX内的寄存器空间由两个不同的区域组成。

- 标准寄存器 //直接寄存器访问
- MDIO可管理器件（MDIO Manageable Device，MMD）寄存器 //间接寄存器访问

KSZ9031MNX支持以下标准寄存器。

表4-1： KSZ9031MNX支持的标准寄存器

寄存器编号（十六进制）	说明
IEEE定义的寄存器	
0h	基本控制
1h	基本状态
2h	PHY标识符1
3h	PHY标识符2
4h	自动协商通告
5h	自动协商链路伙伴功能
6h	自动协商扩展
7h	自动协商下一页
8h	自动协商链路伙伴下一页功能
9h	1000BASE-T控制
Ah	1000BASE-T状态
Bh-Ch	保留
Dh	MMD访问——控制
Eh	MMD访问——寄存器/数据
Fh	扩展状态
供应商特定寄存器	
10h	保留
11h	远程环回
12h	LinkMD电缆诊断
13h	数字PMA/PCS状态
14h	保留
15h	RXER计数器
16h-1Ah	保留
1Bh	中断控制/状态
1Ch	自动MDI/MDI-X
1Dh-1Eh	保留
1Fh	PHY控制

KSZ9031MNX支持以下MMD器件地址及其相关的寄存器地址，二者共同组成间接MMD寄存器。表4-2列出了这些地址。

表4-2： KSZ9031MNX支持的MMD寄存器

器件地址（十六进制）	寄存器地址（十六进制）	说明
0h	3h	AN FLP突发发送——LO
	4h	AN FLP突发发送——HI
1h	5Ah	1000BASE-T链路接通时间控制
2h	0h	通用控制
	1h	配置脚状态
	2h	工作模式配置脚改写
	3h	工作模式配置脚状态
	4h	GMII控制信号焊盘偏移
	8h	GMII时钟焊盘偏移
	10h	LAN唤醒——控制
	11h	LAN唤醒——魔术包，MAC-DA-0
	12h	LAN唤醒——魔术包，MAC-DA-1
	13h	LAN唤醒——魔术包，MAC-DA-2
	14h	LAN唤醒——自定义数据包，类型0，预期CRC 0
	15h	LAN唤醒——自定义数据包，类型0，预期CRC 1
	16h	LAN唤醒——自定义数据包，类型1，预期CRC 0
	17h	LAN唤醒——自定义数据包，类型1，预期CRC 1
	18h	LAN唤醒——自定义数据包，类型2，预期CRC 0
	19h	LAN唤醒——自定义数据包，类型2，预期CRC 1
	1Ah	LAN唤醒——自定义数据包，类型3，预期CRC 0
	1Bh	LAN唤醒——自定义数据包，类型3，预期CRC 1
	1Ch	LAN唤醒——自定义数据包，类型0，掩码0
	1Dh	LAN唤醒——自定义数据包，类型0，掩码1
	1Eh	LAN唤醒——自定义数据包，类型0，掩码2
	1Fh	LAN唤醒——自定义数据包，类型0，掩码3
	20h	LAN唤醒——自定义数据包，类型1，掩码0
	21h	LAN唤醒——自定义数据包，类型1，掩码1
	22h	LAN唤醒——自定义数据包，类型1，掩码2
	23h	LAN唤醒——自定义数据包，类型1，掩码3

© 2017 Microchip Technology Inc.

表4-2： KSZ9031MNX支持的MMD寄存器（续）

器件地址（十六进制）	寄存器地址（十六进制）	说明
2h	24h	LAN唤醒——自定义数据包，类型2，掩码0
	25h	LAN唤醒——自定义数据包，类型2，掩码1
	26h	LAN唤醒——自定义数据包，类型2，掩码2
	27h	LAN唤醒——自定义数据包，类型2，掩码3
	28h	LAN唤醒——自定义数据包，类型3，掩码0
	29h	LAN唤醒——自定义数据包，类型3，掩码1
	2Ah	LAN唤醒——自定义数据包，类型3，掩码2
	2Bh	LAN唤醒——自定义数据包，类型3，掩码3
1Ch	4h	模拟控制4
	23h	EDPD控制

4.2 标准寄存器

根据IEEE 802.3规范第22条的定义，标准寄存器提供对32个寄存器地址空间的直接读/写访问。在该地址空间内，前16个寄存器（寄存器0h至Fh）根据IEEE规范定义，而其余16个寄存器（寄存器10h至1Fh）由PHY供应商定义。

表4-3： IEEE定义的寄存器说明

地址	名称	说明	模式（注 4-1）	默认值
寄存器0h——基本控制				
0.15	复位	1 = 软件PHY复位 0 = 正常工作 该位会在写入1后自清零。	RW/SC	0
0.14	环回	1 = 环回模式 0 = 正常工作	RW	0
0.13	速度选择（LSB）	[0.6和0.13] [1,1] = 保留 [1,0] = 1000 Mbps [0,1] = 100 Mbps [0,0] = 10 Mbps 如果使能自动协商（寄存器0.12 = 1），则忽略该位。	RW	0
0.12	自动协商使能	1 = 使能自动协商过程 0 = 禁止自动协商过程 使能时，自动协商结果将改写寄存器0.13、0.8和0.6中的设置。 禁止时，自动MDI-X也会自动禁止。使用寄存器1Ch设置MDI/MDI-X。	RW	1

表4-3： IEEE定义的寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
0.11	掉电	1 = 掉电模式 0 = 正常工作 该位置1时，链路断开状态可能不会在PHY寄存器中更新。软件应注意链路处于断开状态，不应该依赖于PHY寄存器链路状态。 该位从1更改为0后，将自动产生内部全局复位。在对PHY寄存器进行读/写访问之前，至少需等待1 ms。	RW	0
0.10	隔离	1 = PHY与GMII/MII电气隔离 0 = 正常工作	RW	0
0.9	重新启动自动协商	1 = 重新启动自动协商过程 0 = 正常工作 该位会在写入1后自清零。	RW/SC	0
0.8	双工模式	1 = 全双工 0 = 半双工	RW	1
0.7	冲突测试	1 = 使能COL测试 0 = 禁止COL测试	RW	0
0.6	速度选择（MSB）	[0.6和0.13] [1,1] = 保留 [1,0] = 1000 Mbps [0,1] = 100 Mbps [0,0] = 10 Mbps 如果使能自动协商（寄存器0.12 = 1），则忽略该位。	RW	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
0.5:0	保留	保留	RO	00_0000
寄存器1h——基本状态				
1.15	100BASE-T4	1 = 支持T4 0 = 不支持T4	RO	0
1.14	100BASE-TX全双工	1 = 支持100 Mbps全双工 0 = 不支持100 Mbps全双工	RO	1
1.13	100BASE-TX半双工	1 = 支持100 Mbps半双工 0 = 不支持100 Mbps半双工	RO	1
1.12	10BASE-T全双工	1 = 支持10 Mbps全双工 0 = 不支持10 Mbps全双工	RO	1
1.11	10BASE-T半双工	1 = 支持10 Mbps半双工 0 = 不支持10 Mbps半双工	RO	1
1.10:9	保留	保留	RO	00
1.8	扩展状态	1 = 寄存器15h中有扩展状态信息。 0 = 寄存器15h中没有扩展状态信息。	RO	1
1.7	保留	保留	RO	0
1.6	无前导码	1 = 前导码抑制 0 = 正常前导码	RO	1
1.5	自动协商完成	1 = 自动协商过程已完成 0 = 自动协商过程未完成	RO	0
1.4	远程故障	1 = 检测到远程故障 0 = 未检测到远程故障	RO/LH	0

© 2017 Microchip Technology Inc.

表4-3： IEEE定义的寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
1.3	自动协商功能	1 = 可执行自动协商 0 = 无法执行自动协商	RO	1
1.2	链路状态	1 = 链路接通 0 = 链路断开	RO/LL	0
1.1	Jabber检测	1 = 检测到Jabber 0 = 未检测到Jabber（默认为低电平）	RO/LH	0
1.0	扩展功能	1 = 支持扩展功能寄存器	RO	1
寄存器2h——PHY标识符1				
2.15:0	PHY ID编号	分配到组织惟一标识符（Organizationally Unique Identifier，OUI）的第3至18位。KENDIN通信的OUI为0010A1h。	RO	0022h
寄存器3h——PHY标识符2				
3.15:10	PHY ID编号	分配到组织惟一标识符（OUI）的第19至24位。KENDIN通信的OUI为0010A1h。	RO	0001_01
3.9:4	型号	制造商的六位型号	RO	10_0010
3.3:0	版本号	制造商的四位版本号	RO	表示芯片版本
寄存器4h——自动协商通告				
4.15	下一页	1 = 支持下一页 0 = 不支持下一页	RW	0
4.14	保留	保留	RO	0
4.13	远程故障	1 = 检测到远程故障 0 = 未检测到远程故障	RW	0
4.12	保留	保留	RO	0
4.11:10	暂停	[4.11和4.10] [0,0] = 无暂停 [1,0] = 不对称暂停（链路伙伴） [0,1] = 对称暂停 [1,1] = 对称和不对称暂停（本地设备）	RW	00
4.9	100BASE-T4	1 = 支持T4 0 = 不支持T4	RO	0
4.8	100BASE-TX全双工	1 = 支持100 Mbps全双工 0 = 不支持100 Mbps全双工	RW	1
4.7	100BASE-TX半双工	1 = 支持100 Mbps半双工 0 = 不支持100 Mbps半双工	RW	1
4.6	10BASE-T全双工	1 = 支持10 Mbps全双工 0 = 不支持10 Mbps全双工	RW	1
4.5	10BASE-T半双工	1 = 支持10 Mbps半双工 0 = 不支持10 Mbps半双工	RW	1
4.4:0	选择器字段	[00001] = IEEE 802.3	RW	0_0001
寄存器5h——自动协商链路伙伴功能				
5.15	下一页	1 = 支持下一页 0 = 不支持下一页	RO	0

表4-3： IEEE定义的寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
5.14	应答	1 = 已从伙伴接收到链路代码字 0 = 尚未接收到链路代码字	RO	0
5.13	远程故障	1 = 检测到远程故障 0 = 未检测到远程故障	RO	0
5.12	保留	保留	RO	0
5.11:10	暂停	[5.11和5.10] [0,0] = 无暂停 [1,0] = 不对称暂停（链路伙伴） [0,1] = 对称暂停 [1,1] = 对称和不对称暂停（本地设备）	RW	00
5.9	100BASE-T4	1 = 支持T4 0 = 不支持T4	RO	0
5.8	100BASE-TX 全双工	1 = 支持100 Mbps全双工 0 = 不支持100 Mbps全双工	RO	0
5.7	100BASE-TX 半双工	1 = 支持100 Mbps半双工 0 = 不支持100 Mbps半双工	RO	0
5.6	10BASE-T 全双工	1 = 支持10 Mbps全双工 0 = 不支持10 Mbps全双工	RO	0
5.5	10BASE-T 半双工	1 = 支持10 Mbps半双工 0 = 不支持10 Mbps半双工	RO	0
5.4:0	选择器字段	[00001] = IEEE 802.3	RO	0_0000
寄存器6h——自动协商扩展				
6.15:5	保留	保留	RO	0000_0000_000
6.4	并行检测故障	1 = 通过并行检测功能检测到故障 0 = 未通过并行检测功能检测到故障	RO/LH	0
6.3	链路伙伴下一页功能	1 = 链路伙伴支持下一页功能 0 = 链路伙伴不支持下一页功能	RO	0
6.2	下一页功能	1 = 本地设备支持下一页功能 0 = 本地设备不支持下一页功能	RO	1
6.1	页接收	1 = 已接收到新页 0 = 未接收到新页	RO/LH	0
6.0	链路伙伴自动协商功能	1 = 链路伙伴支持自动协商功能 0 = 链路伙伴不支持自动协商功能	RO	0
寄存器7h——自动协商下一页				
7.15	下一页	1 = 后续还有要发送的下一页 0 = 最后一页	RW	0
7.14	保留	保留	RO	0
7.13	消息页	1 = 消息页 0 = 无格式页	RW	1
7.12	应答2	1 = 将对报文做出应答 0 = 不能对报文做出应答	RW	0

© 2017 Microchip Technology Inc.

表4-3： IEEE定义的寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
7.11	翻转	1 = 已发送链路代码字的前一个值等于逻辑1 0 = 已发送链路代码字的前一个值等于逻辑0	RO	0
7.10:0	消息字段	用于编码2048条消息的11位宽字段	RW	000_0000_0001
寄存器8h——链路伙伴下一页功能				
8.15	下一页	1 = 后续还有要发送的下一页 0 = 最后一页	RO	0
8.14	应答	1 = 成功接收链路字 0 = 未成功接收链路字	RO	0
8.13	消息页	1 = 消息页 0 = 无格式页	RO	0
8.12	应答2	1 = 能够对信息做出应答 0 = 无法对信息做出应答	RO	0
8.11	翻转	1 = 已发送链路代码字的前一个值等于逻辑0 0 = 已发送链路代码字的前一个值等于逻辑1	RO	0
8.10:0	消息字段	—	RO	000_0000_0000
寄存器9h——1000BASE-T控制				
9.15:13	测试模式位	发送器测试模式操作 [9.15:13]模式 [000]正常工作 [001]测试模式1——发送波形测试 [010]测试模式2——主模式下发送抖动测试 [011]测试模式3——从模式下发送抖动测试 [100]测试模式4——发送器失真测试 [101]保留，未识别操作 [110]保留，未识别操作 [111]保留，未识别操作 要使能1000BASE-T测试模式，需执行以下步骤： 1) 设置寄存器0h = 0x0140以禁止自动协商并选择1000 Mbps速度。 2) 设置寄存器9h Bit[15:13] = 001、010、011或100以选择1000BASE-T测试模式之一。 完成上述设置后，所选测试模式的测试波形将发送到全部4个差分对上。不需要链路伙伴。	RW	000
9.12	主/从手动配置使能	1 = 使能主/从手动配置值 0 = 禁止主/从手动配置值	RW	0
9.11	主/从手动配置值	1 = 在主/从协商期间将PHY配置为主模式 0 = 在主/从协商期间将PHY配置为从模式 如果禁止主/从手动配置（寄存器9.12 = 0），则将忽略该位。	RW	0

表4-3： IEEE定义的寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
9.10	端口类型	1 = 指示作为多端口器件（主模式）工作的首选项 0 = 指示作为单端口器件（从模式）工作的首选项 只有禁止主/从手动配置（寄存器9.12 = 0）时，该位才有效。	RW	0
9.9	1000BASE-T全双工	1 = 通告PHY支持1000BASE-T全双工 0 = 通告PHY不支持1000BASE-T全双工	RW	1
9.8	1000BASE-T半双工	1 = 通告PHY支持1000BASE-T半双工 0 = 通告PHY不支持1000BASE-T半双工	RW	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
9.7:0	保留	写为0，读取时忽略	RO	
寄存器Ah——1000BASE-T状态				
A.15	主/从配置故障	1 = 已检测到主/从配置故障 0 = 未检测到主/从配置故障	RO/LH/SC	0
A.14	主/从配置解析	1 = 本地PHY配置解析为主模式 0 = 本地PHY配置解析为从模式	RO	0
A.13	本地接收器状态	1 = 本地接收器正常（loc_rcvr_status = 1） 0 = 本地接收器不正常（loc_rcvr_status = 0）	RO	0
A.12	远程接收器状态	1 = 远程接收器正常（rem_rcvr_status = 1） 0 = 远程接收器不正常（rem_rcvr_status = 0）	RO	0
A.11	链路伙伴1000BASE-T全双工支持	1 = 链路伙伴支持1000BASE-T全双工 0 = 链路伙伴不支持1000BASE-T全双工	RO	0
A.10	链路伙伴1000BASE-T半双工支持	1 = 链路伙伴支持1000BASE-T半双工 0 = 链路伙伴不支持1000BASE-T半双工	RO	0
A.9:8	保留	保留	RO	00
A.7:0	空闲错误计数	当接收器正在接收空闲信号且PMA_TXMODE.indicate = SEND_N时检测到的错误的累积计数。 计数器在rxerror_status = ERROR时的每个符号周期递增。	RO/SC	0000_0000

© 2017 Microchip Technology Inc.

表4-3： IEEE定义的寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
寄存器Dh——MMD访问——控制				
D.15:14	MMD——工作模式	对于所选的MMD器件地址（该寄存器的Bit [4:0]），这两位用于选择以下寄存器或数据操作之一，以及MMD访问——寄存器/数据（寄存器Eh）的用法。 00 = 寄存器 01 = 数据，不后递增 10 = 数据，读写操作后递增 11 = 数据，仅写操作后递增	RW	00
D.13:5	保留	保留	RW	00_0000_000
D.4:0	MMD——器件地址	这5位用于设置MMD器件地址。	RW	0_0000
寄存器Eh——MMD访问——寄存器/数据				
E.15:0	MMD——寄存器/数据	对于所选的MMD器件地址（寄存器Dh Bit [4:0]）， 当寄存器Dh Bit [15:14] = 00时，该寄存器包含MMD器件地址的读/写寄存器地址。 否则，该寄存器包含MMD器件地址及其所选寄存器地址的读/写数据值。 有关该寄存器的读写后递增数据操作的说明，另请参见寄存器Dh Bit [15:14]。	RW	0000_0000_0000_0000
寄存器Fh——扩展状态				
F.15	1000BASE-X全双工	1 = PHY能执行1000BASE-X全双工 0 = PHY不能执行1000BASE-X全双工	RO	0
F.14	1000BASE-X半双工	1 = PHY能执行1000BASE-X半双工 0 = PHY不能执行1000BASE-X半双工	RO	0
F.13	1000BASE-T全双工	1 = PHY能执行1000BASE-T全双工 0 = PHY不能执行1000BASE-T全双工	RO	1
F.12	1000BASE-T半双工	1 = PHY能执行1000BASE-T半双工 0 = PHY不能执行1000BASE-T半双工	RO	1
F.11:0	保留	读取时忽略	RO	—

注 4-1 RW = 读/写；RO = 只读；SC = 自清零；LH = 锁存高电平；LL = 锁存低电平。

表4-4： 供应商特定寄存器说明

地址	名称	说明	模式（注4-1）	默认值
寄存器11h——远程环回				
11.15:9	保留	保留	RW	0000_000
11.8	远程环回	1 = 使能远程环回 0 = 禁止远程环回	RW	0
11.7:1	保留	保留	RW	1111_010
11.0	保留	保留	RO	0

表4-4： 供应商特定寄存器说明（续）

地址	名称	说明	模式（注4-1）	默认值
寄存器12h——LinkMD——电缆诊断				
12.15	电缆诊断测试使能	写入值： 1 = 使能电缆诊断测试。完成测试后，该位会自清零。 0 = 禁止电缆诊断测试。 读取值： 1 = 正在进行电缆诊断测试。 0 = 表示电缆诊断测试（如使能）已完成，可读取状态信息。	RW/SC	0
12.14	保留	该位应始终设置为0。	RW	0
12.13:12	电缆诊断测试对	这两位用于选择测试差分对： 00 = 差分对A（引脚2和3） 01 = 差分对B（引脚7和8） 10 = 差分对C（引脚10和11） 11 = 差分对D（引脚14和15）	RW	00
12.11:10	保留	这两位应始终设置为00。	RW	00
12.9:8	电缆诊断状态	这两位表示该寄存器Bit[13:12]中所选差分对的测试结果。 00 = 电缆状况正常（未检测到故障） 01 = 检测到电缆开路故障 10 = 检测到电缆短路故障 11 = 保留	RO	00
12.7:0	电缆诊断故障数据	对于在该寄存器Bit[9:8]中检测到的电缆开路或短路故障，该8位值表示到电缆故障的距离。	RO	0000_0000
寄存器13h——数字PMA/PCS状态				
13.15:3	保留	保留	RO/LH	0000_0000_0000_0
13.2	1000BASE-T链路状态	1000BASE-T链路状态 1 = 链路状态正常 0 = 链路状态不正常	RO	0
13.1	100BASE-TX链路状态	100BASE-TX链路状态 1 = 链路状态正常 0 = 链路状态不正常	RO	0
13.0	保留	保留	RO	0
寄存器15h——RXER计数器				
15.15:0	RXER计数器	符号错误帧的接收错误计数器	RO/RC	0000_0000_0000_0000
寄存器1Bh——中断控制/状态				
1B.15	Jabber中断允许	1 = 允许Jabber中断 0 = 禁止Jabber中断	RW	0
1B.14	接收错误中断允许	1 = 允许接收错误中断 0 = 禁止接收错误中断	RW	0
1B.13	收到页中断允许	1 = 允许收到页中断 0 = 禁止收到页中断	RW	0

© 2017 Microchip Technology Inc.

表4-4： 供应商特定寄存器说明（续）

地址	名称	说明	模式（注4-1）	默认值
1B.12	并行检测故障中断允许	1 = 允许并行检测故障中断 0 = 禁止并行检测故障中断	RW	0
1B.11	链路伙伴应答中断允许	1 = 允许链路伙伴应答中断 0 = 禁止链路伙伴应答中断	RW	0
1B.10	链路断开中断允许	1 = 允许链路断开中断 0 = 禁止链路断开中断	RW	0
1B.9	远程故障中断允许	1 = 允许远程故障中断 0 = 禁止远程故障中断	RW	0
1B.8	链路接通中断允许	1 = 允许链路接通中断 0 = 禁止链路接通中断	RW	0
1B.7	Jabber中断	1 = 发生Jabber 0 = 未发生Jabber	RO/RC	0
1B.6	接收错误中断	1 = 发生接收错误 0 = 未发生接收错误	RO/RC	0
1B.5	页接收中断	1 = 发生页接收 0 = 未发生页接收	RO/RC	0
1B.4	并行检测故障中断	1 = 发生并行检测故障 0 = 未发生并行检测故障	RO/RC	0
1B.3	链路伙伴应答中断	1 = 发生链路伙伴应答 0 = 未发生链路伙伴应答	RO/RC	0
1B.2	链路断开中断	1 = 发生链路断开 0 = 未发生链路断开	RO/RC	0
1B.1	远程故障中断	1 = 发生远程故障 0 = 未发生远程故障	RO/RC	0
1B.0	链路接通中断	1 = 发生链路接通 0 = 未发生链路接通	RO/RC	0
寄存器1Ch——自动MDI/MDI-X				
1C.15:8	保留	保留	RW	0000_0000
1C.7	MDI设置	当交换关闭（该寄存器的Bit [6]）置为有效（1）时， 1 = PHY被设置为以MDI模式工作 0 = PHY被设置为以MDI-X模式工作 当交换关闭置为无效（0）时，该位不起作用。	RW	0
1C.6	交换关闭	1 = 禁止自动MDI/MDI-X功能 0 = 使能自动MDI/MDI-X功能	RW	0
1C.5:0	保留	保留	RW	00_0000

表4-4： 供应商特定寄存器说明（续）

地址	名称	说明	模式（注4-1）	默认值
寄存器1Fh——PHY控制				
1F.15	保留	保留	RW	0
1F.14	中断电平	1 = 中断引脚高电平有效 0 = 中断引脚低电平有效	RW	0
1F.13:12	保留	保留	RW	00
1F.11:10	保留	保留	RO/LH/RC	00
1F.9	使能Jabber	1 = 使能Jabber计数器 0 = 禁止Jabber计数器	RW	1
1F.8:7	保留	保留	RW	00
1F.6	速度状态 1000BASE-T	1 = 指示芯片最终速度状态为1000BASE-T	RO	0
1F.5	速度状态 100BASE-TX	1 = 指示芯片最终速度状态为100BASE-TX	RO	0
1F.4	速度状态 10BASE-T	1 = 指示芯片最终速度状态为10BASE-T	RO	0
1F.3	双工状态	指示芯片双工状态 1 = 全双工 0 = 半双工	RO	0
1F.2	1000BASE-T 主/从状态	指示芯片主/从状态 1 = 1000BASE-T主模式 0 = 1000BASE-T从模式	RO	0
1F.1	保留	保留	RW	0
1F.0	链路状态检查 失败	1 = 失败 0 = 未失败	RO	0

注 4-1 RW = 读/写；RO = 只读；SC = 自清零；LH = 锁存高电平；LL = 锁存低电平。

© 2017 Microchip Technology Inc.

4.3 MMD寄存器

根据IEEE 802.3规范第22条的定义，MMD寄存器提供对最多32个MMD器件地址的间接读/写访问，每个器件支持最多65,536个16位寄存器。但是，KSZ9031MNX仅使用这些可用寄存器的一小部分。有关支持的MMD器件地址及其相关寄存器地址的列表，请参见寄存器映射部分。

以下两个标准寄存器用作访问间接MMD寄存器的入口寄存器。

- 标准寄存器Dh——MMD访问——控制
- 标准寄存器Eh——MMD访问——寄存器/数据

表4-5： MMD PORTAL寄存器

地址	名称	说明	模式（注 4-1）	默认值
寄存器Dh——MMD访问——控制				
D.15:14	MMD——工作模式	对于所选的MMD器件地址（该寄存器的Bit [4:0]），这两位用于选择以下寄存器或数据操作之一，以及MMD访问——寄存器/数据（寄存器Eh）的用法。 00 = 寄存器 01 = 数据，不后递增 10 = 数据，读写操作后递增 11 = 数据，仅写操作后递增	RW	00
D.13:5	保留	保留	RW	00_0000_000
D.4:0	MMD——器件地址	这5位用于设置MMD器件地址	RW	0_0000
寄存器Eh——MMD访问——寄存器/数据				
E.15:0	MMD——寄存器/数据	对于所选的MMD器件地址（寄存器Dh Bit [4:0]），当寄存器Dh Bit [15:14] = 00时，该寄存器包含MMD器件地址的读/写寄存器地址。 否则，该寄存器包含MMD器件地址及其所选寄存器地址的读/写数据值。 有关对该寄存器的读写后递增数据操作的说明，另请参见寄存器Dh Bit [15:14]。	RW	0000_0000_0000_0000

注 4-1 RW = 读/写

示例：MMD寄存器写操作

写入MMD——器件地址2h寄存器10h = 0001h，使能链路接通检测以触发WOL的PME。

1. 向寄存器Dh写入0002h // 设置MMD——器件地址2h的寄存器地址。
2. 向寄存器Eh写入0010h // 选择MMD——器件地址2h的寄存器10h。
3. 向寄存器Dh写入4002h // 选择MMD——器件地址2h寄存器10h的寄存器数据。
4. 向寄存器Eh写入0001h // 向MMD——器件地址2h寄存器10h写入值0001h。

示例：MMD寄存器读操作

读取MMD——器件地址2h寄存器11h-13h，以获取魔术包的MAC地址。

1. 向寄存器Dh写入0002h // 设置MMD——器件地址2h的寄存器地址。
2. 向寄存器Eh写入0011h // 选择MMD——器件地址2h的寄存器11h。
3. 向寄存器Dh写入8002h // 选择MMD——器件地址2h寄存器11h的寄存器数据。
4. 读取寄存器Eh // 读取MMD——器件地址2h寄存器11h中的数据。
5. 读取寄存器Eh // 读取MMD——器件地址2h寄存器12h中的数据。
6. 读取寄存器Eh // 读取MMD——器件地址2h寄存器13h中的数据。

© 2017 Microchip Technology Inc.

表4-6： MMD寄存器说明

地址	名称	说明	模式（注 4-1）	默认值
MMD地址0h寄存器3h——AN FLP突发发送——LO				
0.3.15:0	AN FLP突发发送——LO	该寄存器和后一个寄存器共同设置自动协商FLP突发发送时序。必须为两个寄存器设置相同的时序。 0x4000 = 选择8 ms间隔时序（默认） 0x1A80 = 选择16 ms间隔时序 所有其他值均保留。	RW	0x4000
MMD地址0h寄存器4h——AN FLP突发发送——HI				
0.4.15:0	AN FLP突发发送——HI	该寄存器和前一个寄存器共同设置自动协商FLP突发发送时序。必须为两个寄存器设置相同的时序。 0x0003 = 选择8 ms间隔时序（默认） 0x0006 = 选择16 ms间隔时序 所有其他值均保留。	RW	0x0003
MMD地址1h寄存器5Ah——1000BASE-T链路接通时间控制				
1.5A.15:9	保留	保留	RO	0000_000
1.5A.8:4	保留	保留	RW	1_0000
1.5A.3:1	1000BASE-T链路接通时间	当链路伙伴是另一个KSZ9031器件时，1000BASE-T链路接通时间可较长。这三个位提供用于缩短1000BASE-T链路接通时间的可选设置。 100 = 默认上电设置 011 = 可选设置，用于在链路伙伴为KSZ9031器件时缩短链路接通时间。 所有其他设置均保留，不应使用。 可选设置可安全地用于任何链路伙伴。 **注：**仅在将寄存器0h设置为0x2100以禁止自动协商并强制使用100BASE-TX模式时，才能对该寄存器位进行读/写访问。	RW	100
1.5A.0	保留	保留	RW	0
MMD地址2h寄存器0h——通用控制				
2.0.15:5	保留	保留	RW	0000_0000_000
2.0.4	LED模式改写	改写LED_MODE的配置脚输入 1 = 单LED模式 0 = 三色双LED模式 该位是只写的，始终读回值0。更新的值反映在该寄存器的Bit [3]中。	WO	0
2.0.3	LED模式	LED_MODE状态 1 = 单LED模式 0 = 三色双LED模式	RO	通过LED_MODE配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。 复位后可由该寄存器的Bit [4]更新。
2.0.2	保留	保留	RW	0

© 2017 Microchip Technology Inc.

表4-6： MMD寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
2.0.1	CLK125_EN 状态	改写CLK125_EN的配置脚输入 1 = 使能CLK125_EN配置脚输入 0 = 禁止CLK125_EN配置脚输入	RW	通过CLK125_EN配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.0.0	保留	保留	RW	0
MMD地址2h寄存器1h——配置脚状态				
2.1.15:8	保留	保留	RO	0000_0000
2.1.7	LED_MODE 配置脚输入状态	配置为 1 = 单LED模式 0 = 三色双LED模式	RO	通过LED_MODE配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.1.6	保留	保留	RO	0
2.1.5	CLK125_EN 配置脚输入状态	配置为 1 = 使能CLK125_EN配置脚输入 0 = 禁止CLK125_EN配置脚输入	RO	通过CLK125_EN配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.1.4:3	保留	保留	RO	00
2.1.2:0	PHYAD[2:0] 配置脚输入值	PHY地址的配置脚输入值 PHY地址的Bit [4:3]始终设置为00。	RO	通过PHYAD[2:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
MMD地址2h寄存器2h——工作模式配置脚改写				
2.2.15:11	保留	保留	RW	0000_0
2.2.10	PME_N2 输出使能	对于INT_N/PME_N2（引脚53）， 1 = 使能PME输出 0 = 禁止PME输出 该位与MMD地址2h寄存器10h Bit [15:14]共同定义引脚53的输出。	RW	0
2.2.9	保留	保留	RW	0
2.2.8	PME_N1 输出使能	对于LED1/PME_N1（引脚19）， 1 = 使能PME输出 0 = 禁止PME输出 该位与MMD地址2h寄存器10h Bit [15:14]共同定义引脚19的输出。	RW	0
2.2.7	芯片掉电改写	1 = 改写芯片掉电模式的配置脚输入	RW	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.2.6:5	保留	保留	RW	00

表4-6： MMD寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
2.2.4	NAND树改写	1 = 改写NAND树模式的配置脚输入	RW	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.2.3:2	保留	保留	RW	00
2.2.1	GMII/MII改写	1 = 改写GMII/MII模式的配置脚输入	RW	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.2.0	保留	保留	RW	0
MMD地址2h寄存器3h——工作模式配置脚状态				
2.3.15:8	保留	保留	RO	0000_0000
2.3.7	芯片掉电配置脚输入状态	1 = 配置为芯片掉电模式	RO	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.3.6:5	保留	保留	RO	00
2.3.4	NAND树配置脚输入状态	1 = 配置为NAND树模式	RO	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.3.3:2	保留	保留	RO	00
2.3.1	GMII/MII配置脚输入状态	1 = 配置为GMII/MII模式	RO	通过MODE[3:0]配置脚引脚设置。 有关详细信息，请参见配置脚选项——KSZ9031MNX部分。
2.3.0	保留	保留	RO	0
MMD地址2h寄存器4h——GMII控制信号焊盘偏移				
2.4.15:8	保留	保留	RW	0000_0000
2.4.7:4	RX_DV焊盘偏移	GMII RX_DV输出焊盘偏移控制（0.06 ns/步）	RW	0111
2.4.3:0	TX_EN焊盘偏移	GMII TX_EN输入焊盘偏移控制（0.06 ns/步）	RW	0111
MMD地址2h寄存器8h——GMII时钟焊盘偏移				
2.8.15:10	保留	保留	RW	0000_00
2.8.9:5	GTX_CLK焊盘偏移	GMII GTX_CLK输入焊盘偏移控制（0.06 ns/步）	RW	01_111
2.8.4:0	RX_CLK焊盘偏移	GMII RX_CLK输出焊盘偏移控制（0.06 ns/步）	RW	0_1111

© 2017 Microchip Technology Inc.

表4-6： MMD寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
MMD地址2h寄存器10h——LAN唤醒——控制				
2.10.15:14	PME输出选择	这两位与MMD地址2h寄存器2h Bit [8]和Bit [10]共同用于PME_N1和PME_N2使能，以分别定义引脚19和53的输出。 LED1/PME_N1（引脚19） 00 = 仅PME_N1输出 01 = 仅LED1输出 10 = LED1和PME_N1输出 11 = 保留 INT_N/PME_N2（引脚53） 00 = 仅PME_N2输出 01 = 仅INT_N输出 10 = INT_N和PME_N2输出 11 = 保留	RW	00
2.10.13:7	保留	保留	RW	00_0000_0
2.10.6	魔术包检测使能	1 = 使能魔术包检测 0 = 禁止魔术包检测	RW	0
2.10.5	自定义数据包类型3检测使能	1 = 使能自定义数据包类型3检测 0 = 禁止自定义数据包类型3检测	RW	0
2.10.4	自定义数据包类型2检测使能	1 = 使能自定义数据包类型2检测 0 = 禁止自定义数据包类型2检测	RW	0
2.10.3	自定义数据包类型1检测使能	1 = 使能自定义数据包类型1检测 0 = 禁止自定义数据包类型1检测	RW	0
2.10.2	自定义数据包类型0检测使能	1 = 使能自定义数据包类型0检测 0 = 禁止自定义数据包类型0检测	RW	0
2.10.1	链路断开检测使能	1 = 使能链路断开检测 0 = 禁止链路断开检测	RW	0
2.10.0	链路接通检测使能	1 = 使能链路接通检测 0 = 禁止链路接通检测	RW	0
MMD地址2h寄存器11h——LAN唤醒——魔术包，MAC-DA-0				
2.11.15:0	魔术包MAC-DA-0	该寄存器存储魔术包的目标MAC地址的低两个字节。 Bit [15:8] = 字节2（MAC地址[15:8]） Bit [7:0] = 字节1（MAC地址[7:0]） 目标MAC地址的高四个字节存储在后两个寄存器中。	RW	0000_0000_0000_0000

表4-6： MMD寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
MMD地址2h寄存器12h——LAN唤醒——魔术包，MAC-DA-1				
2.12.15:0	魔术包 MAC-DA-1	该寄存器存储魔术包的目标MAC地址的中间两个字节。 Bit [15:8] = 字节4（MAC地址[31:24]） Bit [7:0] = 字节3（MAC地址[23:16]） 目标MAC地址的低两个字节和高两个字节分别存储在前一个和后一个寄存器中。	RW	0000_0000_0000_0000
MMD地址2h寄存器13h——LAN唤醒——魔术包，MAC-DA-2				
2.13.15:0	魔术包 MAC-DA-2	该寄存器存储魔术包的目标MAC地址的高两个字节。 Bit [15:8] = 字节6（MAC地址[47:40]） Bit [7:0] = 字节5（MAC地址[39:32]） 目标MAC地址的低四个字节存储在前两个寄存器中。	RW	0000_0000_0000_0000
MMD地址2h寄存器14h——LAN唤醒——自定义数据包，类型0，预期CRC 0 **MMD地址2h寄存器16h——LAN唤醒——自定义数据包，类型1，预期CRC 0** **MMD地址2h寄存器18h——LAN唤醒——自定义数据包，类型2，预期CRC 0** **MMD地址2h寄存器1Ah——LAN唤醒——自定义数据包，类型3，预期CRC 0**				
2.14.15:0 2.16.15:0 2.18.15:0 2.1A.15:0	自定义数据包类型X CRC 0	该寄存器存储预期CRC的高两个字节。 Bit [15:8] = 字节2（CRC [15:8]） Bit [7:0] = 字节1（CRC [7:0]） 预期CRC的低两个字节存储在后一个寄存器中。	RW	0000_0000_0000_0000
MMD地址2h寄存器15h——LAN唤醒——自定义数据包，类型0，预期CRC 1 **MMD地址2h寄存器17h——LAN唤醒——自定义数据包，类型1，预期CRC 1** **MMD地址2h寄存器19h——LAN唤醒——自定义数据包，类型2，预期CRC 1** **MMD地址2h寄存器1Bh——LAN唤醒——自定义数据包，类型3，预期CRC 1**				
2.15.15:0 2.17.15:0 2.19.15:0 2.1B.15:0	自定义数据包类型X CRC 1	该寄存器存储预期CRC的低两个字节。 Bit [15:8] = 字节4（CRC [31:24]） Bit [7:0] = 字节3（CRC [23:16]） 预期CRC的高两个字节存储在前一个寄存器中。	RW	0000_0000_0000_0000
MMD地址2h寄存器1Ch——LAN唤醒——自定义数据包，类型0，掩码0 **MMD地址2h寄存器20h——LAN唤醒——自定义数据包，类型1，掩码0** **MMD地址2h寄存器24h——LAN唤醒——自定义数据包，类型2，掩码0** **MMD地址2h寄存器28h——LAN唤醒——自定义数据包，类型3，掩码0**				
2.1C.15:0 2.20.15:0 2.24.15:0 2.28.15:0	自定义数据包类型X 掩码0	该寄存器用于在数据包前16个字节（字节1至16）中选择将用于CRC计算的字节。 对于该寄存器中的每个位， 1 = 已选择对应的字节用于CRC计算 0 = 未选择对应的字节用于CRC计算 寄存器位到数据包字节的映射如下： Bit [15]：字节16 …… Bit [2]：字节2 Bit [0]：字节1	RW	0000_0000_0000_0000

© 2017 Microchip Technology Inc.

表4-6： MMD寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
MMD地址2h寄存器1Dh——LAN唤醒——自定义数据包，类型0，掩码1 MMD地址2h寄存器21h——LAN唤醒——自定义数据包，类型1，掩码1 MMD地址2h寄存器25h——LAN唤醒——自定义数据包，类型2，掩码1 MMD地址2h寄存器29h——LAN唤醒——自定义数据包，类型3，掩码1				
2.1D.15:0 2.21.15:0 2.25.15:0 2.29.15:0	自定义数据包类型X掩码1	该寄存器用于在数据包第二组16个字节（字节17至32）中选择将用于CRC计算的字节。 对于该寄存器中的每个位， 1 = 已选择对应的字节用于CRC计算 0 = 未选择对应的字节用于CRC计算 寄存器位到数据包字节的映射如下： Bit [15]：字节32 …… Bit [2]：字节18 Bit [0]：字节17	RW	0000_0000_0000_0000
MMD地址2h寄存器1Eh——LAN唤醒——自定义数据包，类型0，掩码2 MMD地址2h寄存器22h——LAN唤醒——自定义数据包，类型1，掩码2 MMD地址2h寄存器26h——LAN唤醒——自定义数据包，类型2，掩码2 MMD地址2h寄存器2Ah——LAN唤醒——自定义数据包，类型3，掩码2				
2.1E.15:0 2.22.15:0 2.26.15:0 2.2A.15:0	自定义数据包类型X掩码2	该寄存器用于在数据包第三组16个字节（字节33至48）中选择将用于CRC计算的字节。 对于该寄存器中的每个位， 1 = 已选择对应的字节用于CRC计算 0 = 未选择对应的字节用于CRC计算 寄存器位到数据包字节的映射如下： Bit [15]：字节48 …… Bit [2]：字节34 Bit [0]：字节33	RW	0000_0000_0000_0000
MMD地址2h寄存器1Fh——LAN唤醒——自定义数据包，类型0，掩码3 MMD地址2h寄存器23h——LAN唤醒——自定义数据包，类型1，掩码3 MMD地址2h寄存器27h——LAN唤醒——自定义数据包，类型2，掩码3 MMD地址2h寄存器2Bh——LAN唤醒——自定义数据包，类型3，掩码3				
2.1F.15:0 2.23.15:0 2.27.15:0 2.2B.15:0	自定义数据包类型X掩码3	该寄存器用于在数据包第四组16个字节（字节49至64）中选择将用于CRC计算的字节。 对于该寄存器中的每个位， 1 = 已选择对应的字节用于CRC计算 0 = 未选择对应的字节用于CRC计算 寄存器位到数据包字节的映射如下： Bit [15]：字节64 …… Bit [2]：字节50 Bit [0]：字节49	RW	0000_0000_0000_0000
MMD地址1Ch寄存器4h——模拟控制4				
1C.4.15:11	保留	保留	RW	0000_0
1C.4.10	10BASE-Te模式	1 = 10BASE-Te（1.75V TX幅值） 0 = 标准10BASE-T（2.5V TX幅值）	RW	0
1C.4.9:0	保留	保留	RW	00_1111_1111

表4-6： MMD寄存器说明（续）

地址	名称	说明	模式（注 4-1）	默认值
MMD地址1Ch寄存器23h——EDPD控制				
1C.23.15:1	保留	保留	RW	0000_0000_0000_000
1C.23.0	EDPD模式使能	电能检测掉电模式 1 = 使能 0 = 禁止	RW	0

注 4-1 RW = 读/写；
RO = 只读；
WO = 只写；
LH = 锁存高电平。

© 2017 Microchip Technology Inc.

5.0 工作特性

5.1 绝对最大值*

电源电压（V_{IN}）

（DVDDL、AVDDL和AVDDL_PLL） ..... –0.5V至+1.8V

（AVDDH） ..... -0.5V至+5.0V

（DVDDH） ..... -0.5V至+5.0V

输入电压（所有输入） ..... –0.5V至+5.0V

输出电压（所有输出） ..... –0.5V至+5.0V

引脚温度（焊接，10s） ..... +260°C

储存温度（T_S） ..... -55°C至+150°C

*超出绝对最大值可能会损坏器件。如果器件的工作条件超过上述“绝对最大值”，可能对器件造成永久性损坏。我们建议不要使器件工作在最大值甚至超过最大值的条件下。器件长时间工作在最大值条件下，其可靠性可能受到影响。

5.2 工作额定值**

供电电压

（DVDDL、AVDDL和AVDDL_PLL） ..... +1.140V至+1.380V

（3.3V时的AVDDH） ..... +3.135V至+3.465V

（2.5V时的AVDDH；仅限商业级温度） ..... +2.375V至+2.625V

（3.3V时的DVDDH） ..... +3.135V至+3.465V

（2.5V时的DVDDH） ..... +2.375V至+2.625V

（1.8V时的DVDDH） ..... +1.710V至+1.890V

环境温度

（T_A商业级：KSZ9031MNXC） ..... 0°C至+70°C

（T_A工业级：KSZ9031MNXI） ..... –40°C至+85°C

最高结温（T_J max.） ..... +125°C

热阻（Θ_{JA}） ..... +32.27°C/W

热阻（Θ_{JC}） ..... +6.76°C/W

**器件无法保证在超出工作额定值范围的条件下正常工作。

注： 请勿在器件未上电的情况下驱动输入信号。

6.0 电气特性

T_A = 25°C。规范值仅针对已封装的产品。

表6-1： 电源电流——内核/数字I/O

参数	符号	最小值	典型值	最大值	单位	注
总计1.2V： DVDDL（数字内核）+ AVDDL（模拟内核）+ AVDDL_PLL（PLL）	I_{CORE}	—	211	—	mA	1000BASE-T链路接通（无流量）
		—	221	—		1000BASE-T全双工（100%利用率）
		—	60.6	—		100BASE-TX链路接通（无流量）
		—	61.2	—		100BASE-TX全双工（100%利用率）
		—	7.0	—		10BASE-T链路接通（无流量）
		—	7.7	—		10BASE-T全双工（100%利用率）
		—	0.9	—		软件掉电模式（寄存器0.11 = 1）
		—	0.8	—		芯片掉电模式 （配置脚输入引脚MODE[3:0] = 0111）
数字I/O为1.8V （GMII/MII在1.8V下工作）	$I_{DVDDH_1.8}$	—	14.2	—	mA	1000BASE-T链路接通（无流量）
		—	29.3	—		1000BASE-T全双工（100%利用率）
		—	7.3	—		100BASE-TX链路接通（无流量）
		—	10.0	—		100BASE-TX全双工（100%利用率）
		—	3.1	—		10BASE-T链路接通（无流量）
		—	6.0	—		10BASE-T全双工（100%利用率）
		—	3.7	—		软件掉电模式（寄存器0.11 = 1）
		—	0.2	—		芯片掉电模式 （配置脚输入引脚MODE[3:0] = 0111）
数字I/O为2.5V （GMII/MII在2.5V下工作）	$I_{DVDDH_2.5}$	—	19.3	—	mA	1000BASE-T链路接通（无流量）
		—	40.5	—		1000BASE-T全双工（100%利用率）
		—	10.0	—		100BASE-TX链路接通（无流量）
		—	13.7	—		100BASE-TX全双工（100%利用率）
		—	4.3	—		10BASE-T链路接通（无流量）
		—	8.3	—		10BASE-T全双工（100%利用率）
		—	5.3	—		软件掉电模式（寄存器0.11 = 1）
		—	0.9	—		芯片掉电模式 （配置脚输入引脚MODE[3:0] = 0111）

© 2017 Microchip Technology Inc.

表6-1： 电源电流——内核/数字I/O（续）

参数	符号	最小值	典型值	最大值	单位	注
数字I/O为3.3V（GMII/MII在3.3V下工作）	$I_{DVDDH_3.3}$	—	26.0	—	mA	1000BASE-T链路接通（无流量）
		—	53.8	—		1000BASE-T全双工（100%利用率）
		—	13.3	—		100BASE-TX链路接通（无流量）
		—	18.0	—		100BASE-TX全双工（100%利用率）
		—	5.7	—		10BASE-T链路接通（无流量）
		—	11.1	—		10BASE-T全双工（100%利用率）
		—	7.1	—		软件掉电模式（寄存器0.11 = 1）
		—	2.1	—		芯片掉电模式（配置脚输入引脚MODE[3:0] = 0111）

表6-2： 电源电流——收发器（注6-1）

参数	符号	最小值	典型值	最大值	单位	注
收发器为2.5V（建议仅用于商业级温度范围内的操作）	$I_{AVDDH_2.5}$	—	58.6	—	mA	1000BASE-T链路接通（无流量）
		—	57.6	—		1000BASE-T全双工（100%利用率）
		—	24.8	—		100BASE-TX链路接通（无流量）
		—	24.8	—		100BASE-TX全双工（100%利用率）
		—	12.5	—		10BASE-T链路接通（无流量）
		—	25.8	—		10BASE-T全双工（100%利用率）
		—	3.0	—		软件掉电模式（寄存器0.11 = 1）
		—	0.02	—		芯片掉电模式（配置脚输入引脚MODE[3:0] = 0111）
收发器为3.3V参数	$I_{AVDDH_3.3}$	—	66.6	—	mA	1000BASE-T链路接通（无流量）
		—	65.6	—		1000BASE-T全双工（100%利用率）
		—	28.7	—		100BASE-TX链路接通（无流量）
		—	28.7	—		100BASE-TX全双工（100%利用率）
		—	17.0	—		10BASE-T链路接通（无流量）
		—	29.3	—		10BASE-T全双工（100%利用率）
		—	4.1	—		软件掉电模式（寄存器0.11 = 1）
		—	0.02	—		芯片掉电模式（配置脚输入引脚MODE[3:0] = 0111）

注 6-1 对于具有电流模式发送驱动器的PHY收发器，等效于通过外部变压器中心抽头消耗的电流。

表6-3： CMOS输入

参数	符号	最小值	典型值	最大值	单位	注
输入高电压	V_{IH}	2.0	—	—	V	DVDDH（数字I/O）= 3.3V
		1.5	—	—		DVDDH（数字I/O）= 2.5V
		1.1	—	—		DVDDH（数字I/O）= 1.8V
输入低电压	V_{IL}	—	—	1.3	V	DVDDH（数字I/O）= 3.3V
		—	—	1.0		DVDDH（数字I/O）= 2.5V
		—	—	0.7		DVDDH（数字I/O）= 1.8V
输入高泄漏电流	I_{IHL}	-2.0	—	2.0	μA	DVDDH = 3.3V且V_{IH} = 3.3V 所有数字输入引脚
输入低泄漏电流	I_{ILL}	-2.0	—	2.0	μA	DVDDH = 3.3V且V_{IL} = 0.0V 除MDC、MDIO和RESET_N以外的 所有数字输入引脚。
		-120	—	-40		DVDDH = 3.3V且V_{IL} = 0.0V 带内部上拉的MDC、MDIO和 RESET_N引脚

表6-4： CMOS输出

参数	符号	最小值	典型值	最大值	单位	注
输出高电压	V_{OH}	2.7	—	—	V	DVDDH（数字I/O）= 3.3V， I_{OH}（最小值）= 10 mA 所有数字输出引脚
		2.0	—	—		DVDDH（数字I/O）= 2.5V， I_{OH}（最小值）= 10 mA 所有数字输出引脚
		1.5	—	—		DVDDH（数字I/O）= 1.8V， I_{OH}（最小值）= 13 mA 除LED1和LED2以外的 所有数字输出引脚
输出低电压	V_{OL}	—	—	0.3	V	DVDDH（数字I/O）= 3.3V， I_{OL}（最小值）= 10 mA 所有数字输出引脚
		—	—	0.3		DVDDH（数字I/O）= 2.5V， I_{OL}（最小值）= 10 mA 所有数字输出引脚
		—	—	0.3		DVDDH（数字I/O）= 1.8V， I_{OL}（最小值）= 13 mA 除LED1和LED2以外的 所有数字输出引脚
输出三态泄漏电流	$\|I_{oz}\|$	—	—	10	μA	—

表6-5： LED输出

参数	符号	最小值	典型值	最大值	单位	注
输出驱动电流	I_{LED}	10	—	—	mA	DVDDH（数字I/O）= 3.3V或2.5V， 且V_{OL}为0.3V 每个LED引脚（LED1和LED2）

© 2017 Microchip Technology Inc.

表6-6： 上拉引脚

参数	符号	最小值	典型值	最大值	单位	注
内部上拉电阻（MDC、MDIO和RESET_N引脚）	pu	13	22	31	kΩ	DVDDH（数字I/O）= 3.3V
		16	28	39		DVDDH（数字I/O）= 2.5V
		26	44	62		DVDDH（数字I/O）= 1.8V

表6-7： 100BASE-TX发送（注6-1）

参数	符号	最小值	典型值	最大值	单位	注
泄漏差分输出电压	V_O	0.95	—	1.05	V	差分输出上有100Ω端接电阻
输出电压不平衡	V_{IMB}	—	—	2	%	差分输出上有100Ω端接电阻
上升/下降时间	t_r和t_f	3	—	5	ns	—
上升/下降时间不平衡	—	0	—	0.5	ns	—
占空比失真	—	—	—	±0.25	ns	—
过冲	—	—	—	5	%	—
输出抖动	—	—	0.7	—	ns	峰-峰值

注 6-1 在1:1变压器后以差分方式测量。

表6-8： 10BASE-T发送（注6-1）

参数	符号	最小值	典型值	最大值	单位	注
泄漏差分输出电压	V_P	2.2	—	2.8	V	差分输出上有100Ω端接电阻
已添加抖动	—	—	—	3.5	ns	峰-峰值
谐波抑制	—	—	-31	—	dB	发送全1信号序列

注 6-1 在1:1变压器后以差分方式测量。

表6-9： 10BASE-T接收

参数	符号	最小值	典型值	最大值	单位	注
静噪阈值	V_{SQ}	300	400	—	mV	5 MHz方波

表6-10： 发送器——驱动设置

参数	符号	最小值	典型值	最大值	单位	注
I_{SET}的参考电压	V_{SET}	—	1.2	—	V	R(I_{SET}) = 12.1 kΩ

表6-11： LDO控制器——驱动范围

参数	符号	最小值	典型值	最大值	单位	注
LDO_O（引脚58）到P沟道MOSFET栅极输入的输出驱动范围	V_{LDO_O}	0.85	—	2.8	V	对于MOSFET源级电压，AVDDH = 3.3V
		0.85	—	2.0		对于MOSFET源级电压，AVDDH = 2.5V（建议仅用于商业级温度范围内的操作）

7.0 时序图

图7-1： GMII发送时序——PHY的数据输入

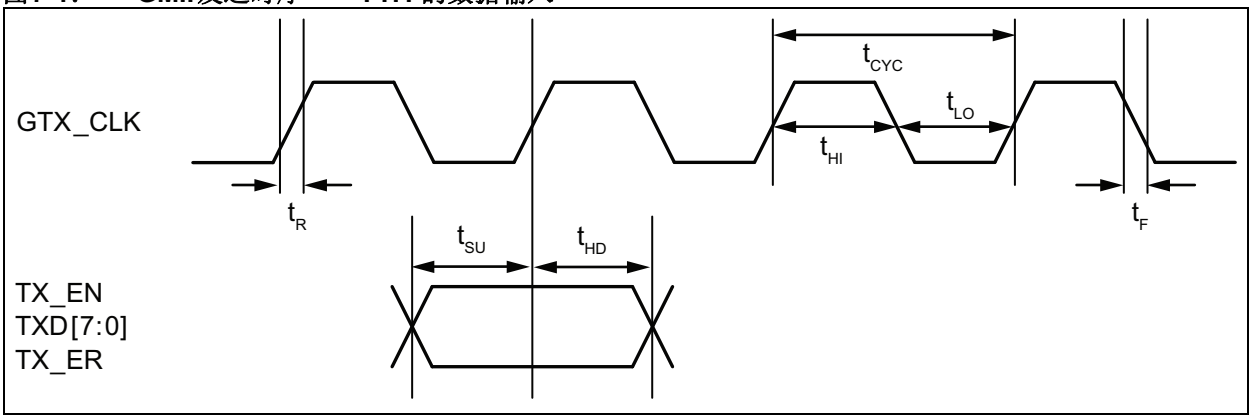


表7-1： GMII发送时序参数

时序参数	说明	最小值	典型值	最大值	单位
1000BASE-T					
t_{CYC}	GTX_CLK周期	7.5	8.0	8.5	ns
t_{SU}	从TX_EN、TXD[7:0]和TX_ER建立到GTX_CLK上升沿的时间	2.0	—	—	
t_{HD}	自GTX_CLK上升沿起的TX_EN、TXD[7:0]和TX_ER保持时间	0	—	—	
t_{HI}	GTX_CLK高电平脉冲宽度	2.5	—	—	
t_{LO}	GTX_CLK低电平脉冲宽度	2.5	—	—	
t_R	GTX_CLK上升时间	—	—	1.0	
t_F	GTX_CLK下降时间	—	—	1.0	

© 2017 Microchip Technology Inc.

图7-2： GMII接收时序——MAC的数据输入

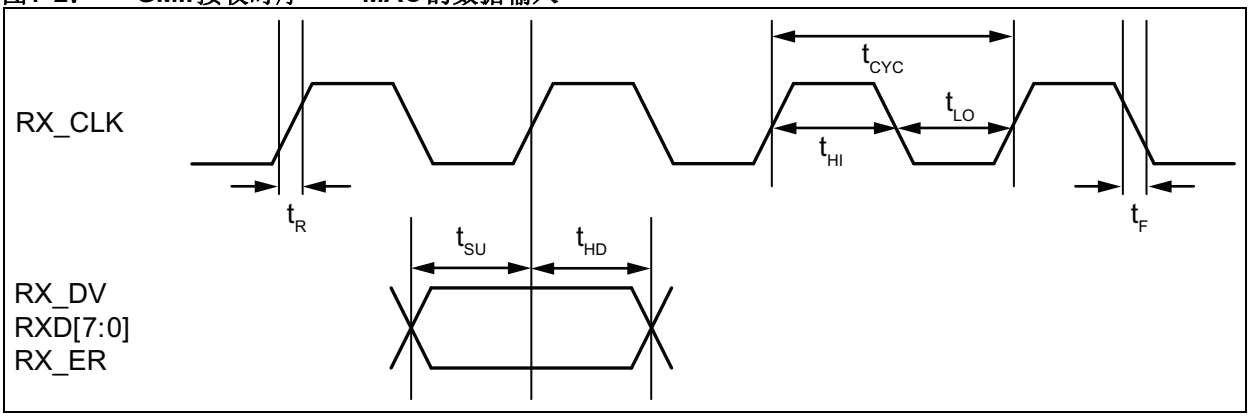


表7-2： GMII接收时序参数

时序参数	说明	最小值	典型值	最大值	单位
1000BASE-T					
t_{CYC}	RX_CLK周期	7.5	8.0	8.5	ns
t_{SU}	从RX_EN、RXD[7:0]和RX_ER建立到RX_CLK上升沿的时间	2.5	—	—	
t_{HD}	自RX_CLK上升沿起的RX_EN、RXD[7:0]和RX_ER保持时间	0.5	—	—	
t_{HI}	RX_CLK高电平脉冲宽度	2.5	—	—	
t_{LO}	RX_CLK低电平脉冲宽度	2.5	—	—	
t_R	RX_CLK上升时间	—	—	1.0	
t_F	RX_CLK下降时间	—	—	1.0	

图7-3： MII发送时序——PHY的数据输入

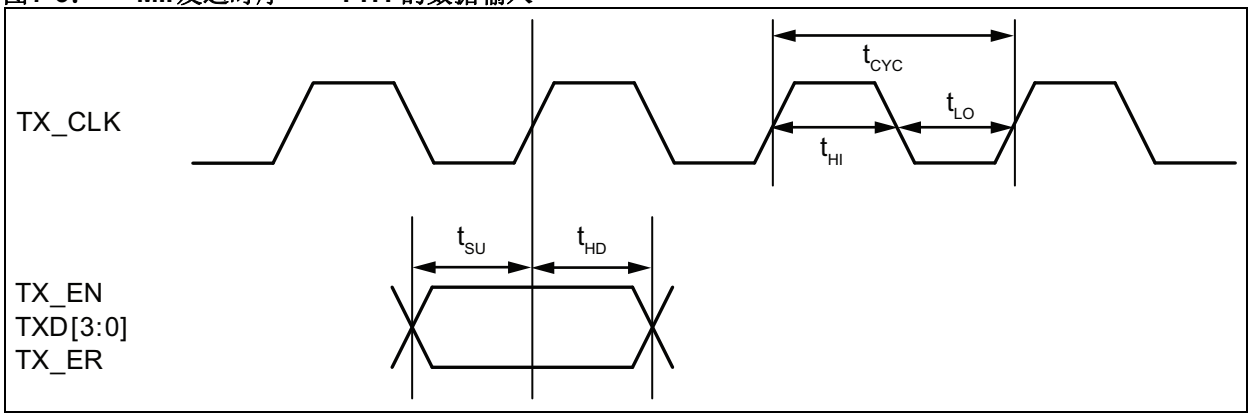


表7-3： MII发送时序参数

时序参数	说明	最小值	典型值	最大值	单位
10BASE-T					
t_{CYC}	TX_CLK周期	—	400	—	ns
t_{SU}	从TX_EN、TXD[3:0]和TX_ER建立到TX_CLK上升沿的时间	15	—	—	
t_{HD}	自TX_CLK上升沿起的TX_EN、TXD[3:0]和TX_ER保持时间	0	—	—	
t_{HI}	TX_CLK高电平脉冲宽度	140	—	260	
t_{LO}	TX_CLK低电平脉冲宽度	140	—	260	
100BASE-TX					
t_{CYC}	TX_CLK周期	—	40	—	ns
t_{SU}	从TX_EN、TXD[3:0]和TX_ER建立到TX_CLK上升沿的时间	15	—	—	
t_{HD}	自TX_CLK上升沿起的TX_EN、TXD[3:0]和TX_ER保持时间	0	—	—	
t_{HI}	TX_CLK高电平脉冲宽度	14	—	26	
t_{LO}	TX_CLK低电平脉冲宽度	14	—	26	

© 2017 Microchip Technology Inc.

图7-4： MII接收时序——MAC的数据输入

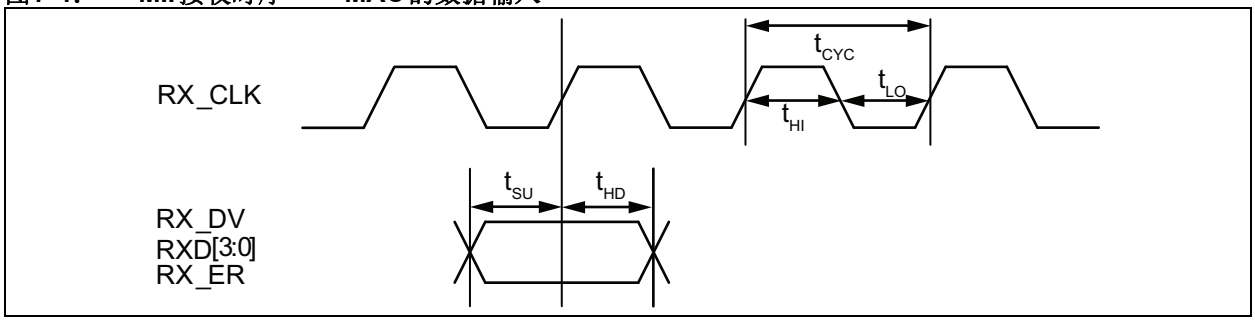


表7-4： MII接收时序参数

时序参数	说明	最小值	典型值	最大值	单位
10BASE-T					
t_{CYC}	RX_CLK周期	—	400	—	ns
t_{SU}	从RX_DV、RXD[3:0]和RX_ER建立到RX_CLK上升沿的时间	10	—	—	
t_{HD}	自RX_CLK上升沿起的RX_DV、RXD[3:0]和RX_ER保持时间	10	—	—	
t_{HI}	RX_CLK高电平脉冲宽度	140	—	260	
t_{LO}	RX_CLK低电平脉冲宽度	140	—	260	
100BASE-TX					
t_{CYC}	RX_CLK周期	—	40	—	ns
t_{SU}	从RX_DV、RXD[3:0]和RX_ER建立到RX_CLK上升沿的时间	10	—	—	
t_{HD}	自RX_CLK上升沿起的RX_DV、RXD[3:0]和RX_ER保持时间	10	—	—	
t_{HI}	RX_CLK高电平脉冲宽度	14	—	26	
t_{LO}	RX_CLK低电平脉冲宽度	14	—	26	

图7-5： 自动协商快速链路脉冲（FLP）时序

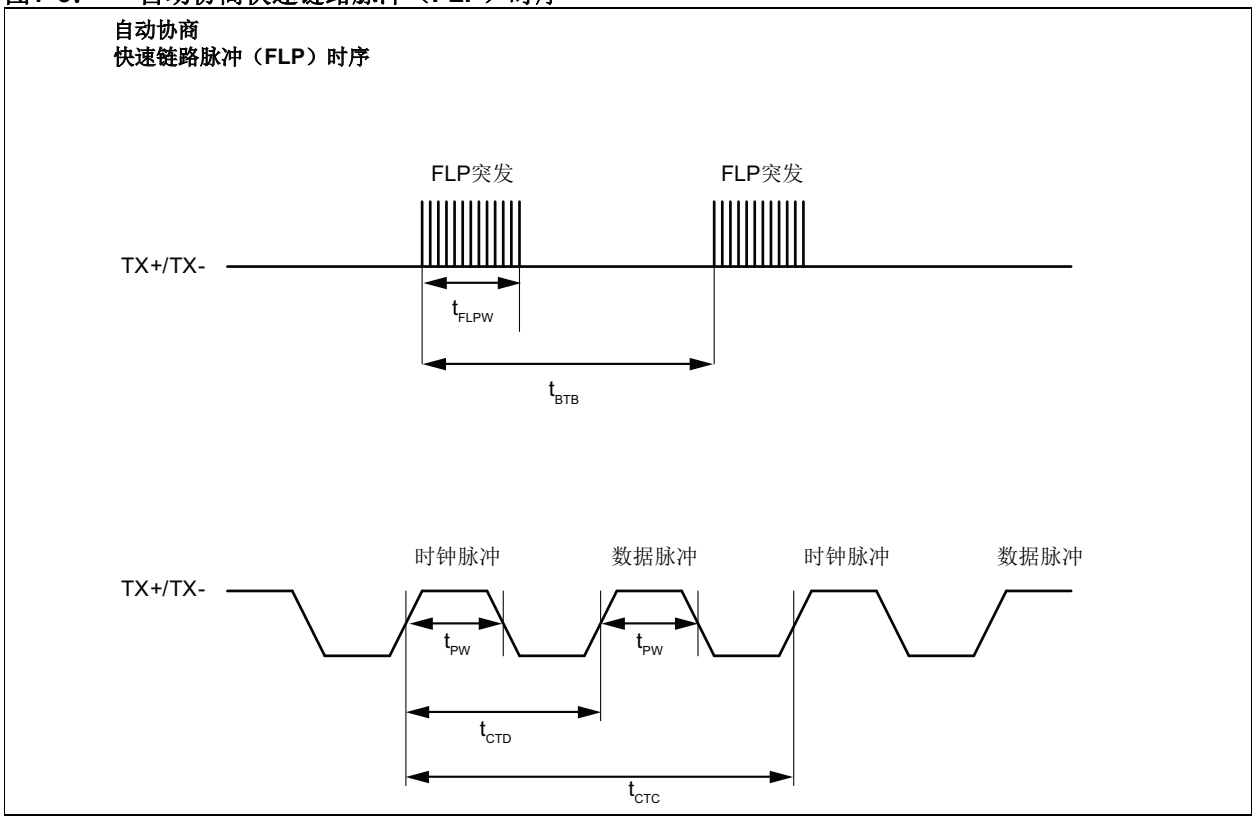


表7-5： 自动协商快速链路脉冲（FLP）时序参数

时序参数	说明	最小值	典型值	最大值	单位
t_{BTB}	FLP突发至FLP突发的时间	8	16	24	ms
t_{FLPW}	FLP突发宽度	—	2	—	
t_{PW}	时钟/数据脉冲宽度	—	100	—	ns
t_{CTD}	时钟脉冲到数据脉冲的时间	55.5	64	69.5	µs
t_{CTC}	时钟脉冲到时钟脉冲的时间	111	128	139	
—	每次FLP突发的时钟/数据脉冲数	17	—	33	—

用于自动协商的KSZ9031MNX快速链路脉冲（Fast Link Pulse，FLP）突发到突发发送时序默认为8 ms。IEEE 802.3标准规定该时序为16 ms ± 8 ms。某些PHY链路伙伴需要接收居中时序为16 ms的FLP；否则可能会导致间歇性链路故障和较长的链路接通时间。

KSZ9031MNX上电/复位后，编程以下寄存器序列以将FLP时序设置为16 ms：

1. 向寄存器Dh写入0x0000 // 设置MMD——器件地址0h的寄存器地址
2. 向寄存器Eh写入0x0004 // 选择MMD——器件地址0h的寄存器4h
3. 向寄存器Dh写入0x4000 // 选择MMD——器件地址0h寄存器4h的寄存器数据
4. 向寄存器Eh写入0x0006 // 向MMD——器件地址0h寄存器4h写入值0x0006
5. 向寄存器Dh写入0x0000 // 设置MMD——器件地址0h的寄存器地址
6. 向寄存器Eh写入0x0003 // 选择MMD——器件地址0h的寄存器3h
7. 向寄存器Dh写入0x4000 // 选择MMD——器件地址0h寄存器3h的寄存器数据
8. 向寄存器Eh写入0x1A80 // 向MMD——器件地址0h寄存器3h写入值0x1A80
9. 向寄存器0h Bit [9]写入1 // 重新启动自动协商

上述16 ms FLP发送时序设置与所有PHY链路伙伴兼容。

© 2017 Microchip Technology Inc.

图7-6： MDC/MDIO时序

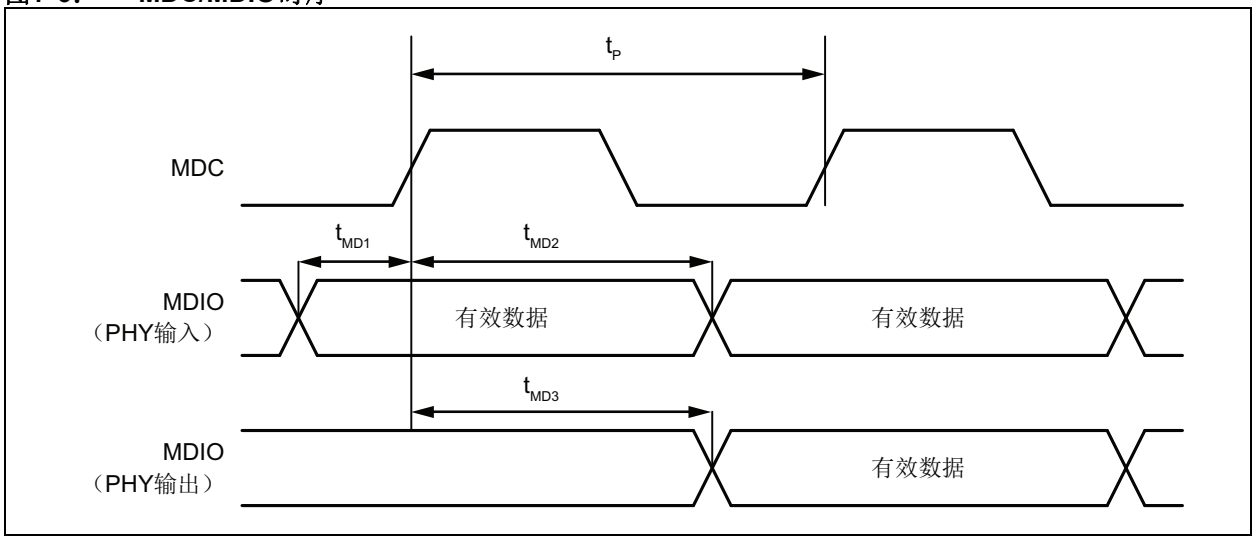


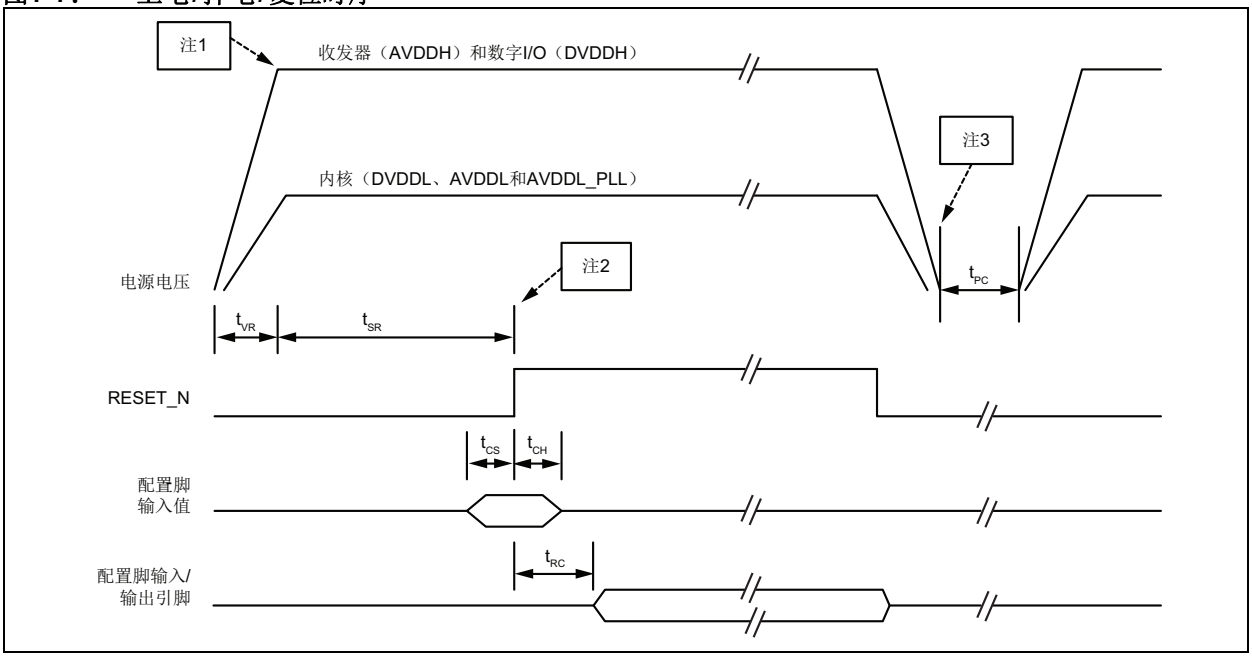
表7-6： MDC/MDIO时序参数

时序参数	说明	最小值	典型值	最大值	单位
t_P	MDC周期	120	400	—	ns
t_{MD1}	从MDIO（PHY输入）建立到MDC上升沿的时间	10	—	—	
t_{MD2}	自MDC上升沿起的MDIO（PHY输入）保持时间	10	—	—	
t_{MD3}	自MDC上升沿起的MDIO（PHY输出）延时	0	—	—	

典型MDC时钟频率为2.5 MHz（400 ns时钟周期）。

KSZ9031MNX可以使用GPIO引脚位拆裂产生的MDC时钟频率（几十/几百Hz）工作，经测试MDC时钟频率最高达8.33 MHz（120 ns时钟周期）。8.33 MHz的测试条件是MDIO线上有一个KSZ9031MNX PHY且DVDDH电源轨连接一个1.0 kΩ上拉电阻。

图7-7： 上电/掉电/复位时序



注1：建议的上电顺序是先为收发器（AVDDH）和数字I/O（DVDDH）上电，再提供1.2V内核（DVDDL、AVDDL和AVDDL_PLL）电压。如果1.2V内核必须先上电，则1.2V内核电压相对于收发器和数字I/O电压的最大提前时间应为200 µs。

收发器（AVDDH）和数字I/O（DVDDH）电源轨之间没有上电顺序要求。

对于KSZ9031MNX的所有电源电压，上电波形都应该是单调的。

注2：在复位置为无效后，需至少等待100 µs才能开始对MIIM（MDC/MDIO）接口编程。

注3：建议的掉电顺序是先使1.2V内核掉电，再使收发器和数字I/O掉电。

在下一个上电周期之前，KSZ9031MNX的所有电源电压都应该低于0.4V，并且从掉电到上电的最小等待时间应为150 ms。

表7-7： 上电/掉电/复位时序参数

时序参数	说明	最小值	典型值	最大值	单位
t_{VR}	电源电压上升时间（必须是单调的）	200	—	—	µs
t_{SR}	从电源电压稳定到复位置为无效的时间	10	—	—	ms
t_{CS}	配置脚输入引脚配置建立时间	5	—	—	ns
t_{CH}	配置脚输入引脚配置保持时间	5	—	—	
t_{RC}	从复位置为无效到配置脚输入引脚输出的时间	6	—	—	
t_{PC}	电源电压循环掉电/上电时间	150	—	—	ms

© 2017 Microchip Technology Inc.

8.0 复位电路

下面给出了一些复位电路的建议。

图8-1给出了通过电源触发复位时为KSZ9031MNX上电的复位电路。

图8-1： 通过电源触发时的复位电路

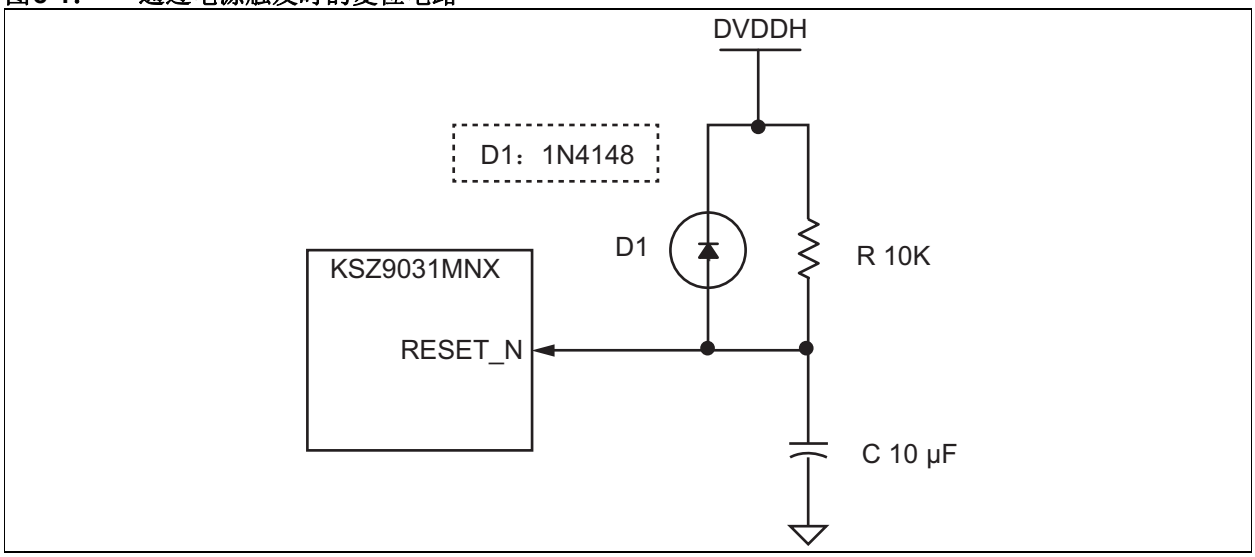


图8-2给出了通过其他器件（例如，CPU或FPGA）驱动复位的应用中的复位电路。在上电复位时，R、C和D1为复位KSZ9031MNX器件提供单调上升时间。来自CPU/FPGA的RST_OUT_N在上电后提供热复位。

KSZ9031MNX和CPU/FPGA参考相同的数字I/O电压（DVDDH）。

图8-2： 建议用于CPU/FPGA复位输出的复位电路

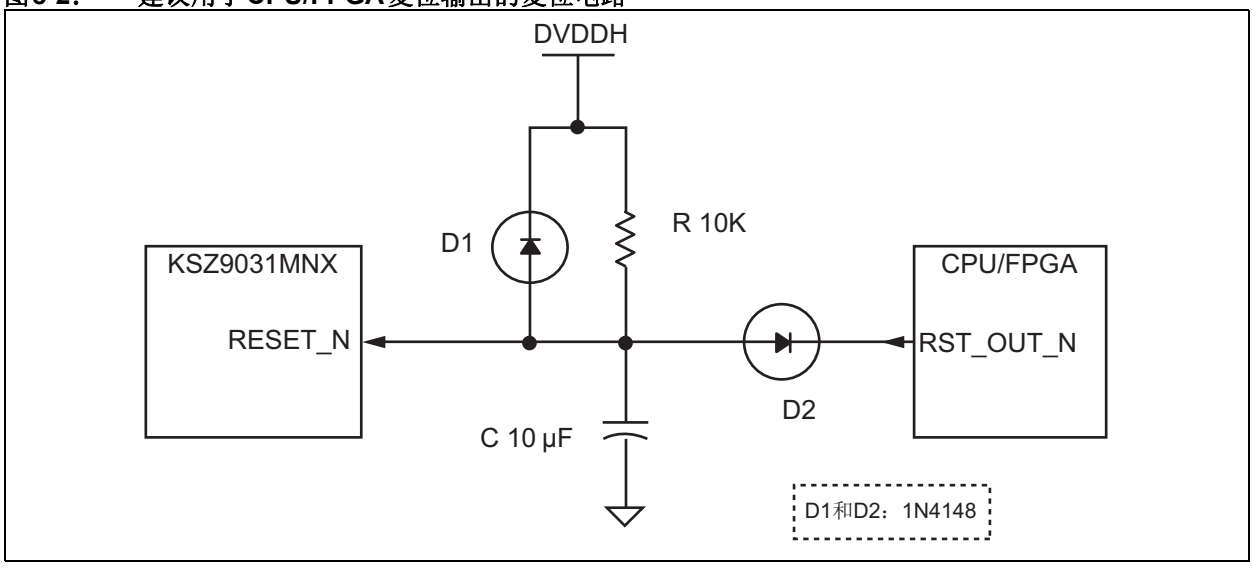
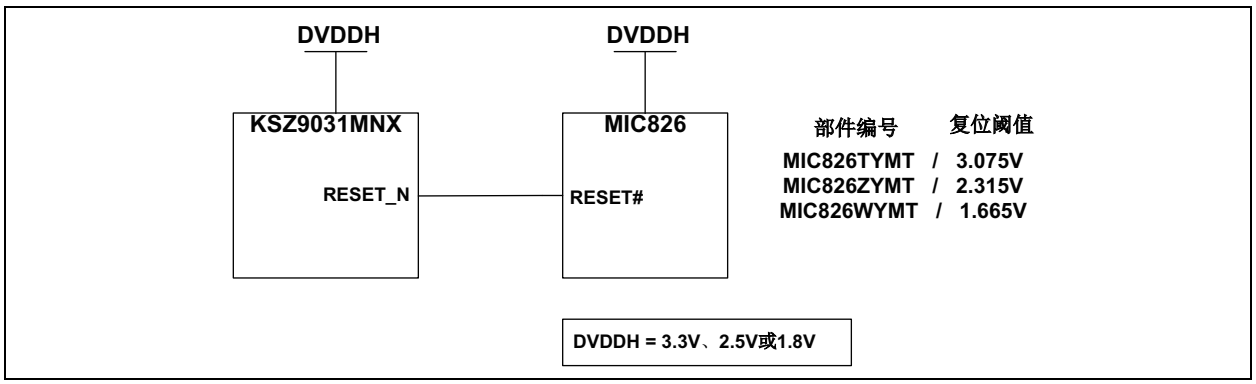


图8-3给出了使用MIC826电压监控器驱动KSZ9031MNX复位输入的复位电路。

图8-3： 使用MIC826电压监控器的复位电路

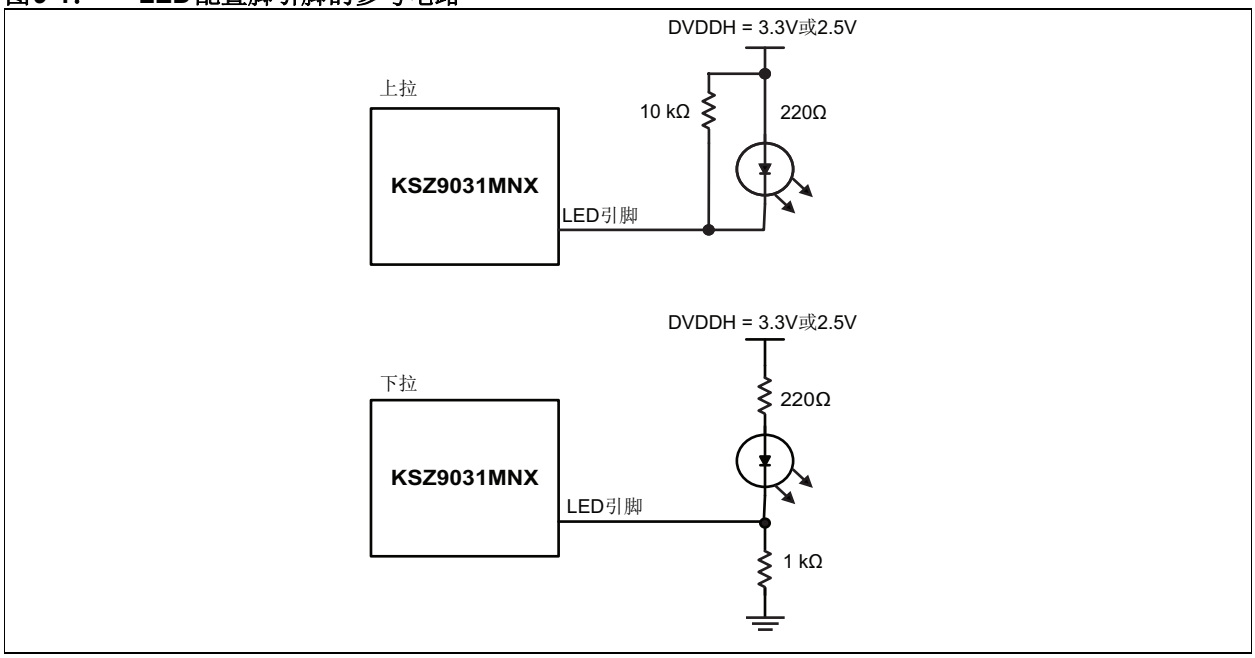


© 2017 Microchip Technology Inc.

9.0 参考电路——LED配置脚输入引脚

对于3.3V和2.5V DVDDH，LED2/PHYAD1和LED1/PHYAD0配置脚引脚的上拉和下拉参考电路如图9-1所示。

图9-1： LED配置脚引脚的参考电路



对于1.8V DVDDH，LED指示支持需要在LED[2:1]引脚和LED指示灯二极管之间使用电压电平转换电路，以确保复用的PHYAD[1:0]配置脚引脚正确地锁存为高/低电平。如果未实现LED指示灯二极管，则PHYAD[1:0]配置脚引脚只需要通过10 kΩ电阻上拉至1.8V DVDDH来提供值1，并通过1.0 kΩ电阻下拉至地来提供值0。

10.0 参考时钟——连接和选择

可使用晶振或外部时钟源（如振荡器）为KSZ9031MNX提供参考时钟。KSZ9031MNX所有工作模式的参考时钟均为25 MHz。

对于晶振/时钟引脚（XI和XO），KSZ9031MNX使用AVDDH电源，模拟3.3V（或仅适用于商业级温度的模拟2.5V选项）。如果25 MHz参考时钟由外部提供，则XI输入引脚应至少具有2.5V的时钟电压峰-峰（V_{PP}）摆幅（以地为参考）。如果V_{PP}小于2.5V，建议使用串联电容耦合。使用电容耦合时，V_{PP}摆幅可降至1.5V。最大V_{PP}摆幅为3.3V +5%。

图10-1和表10-1给出了与KSZ9031MNX的XI（引脚61）和XO（引脚60）的参考时钟连接以及参考时钟选择标准。

图10-1： 25 MHz晶振/振荡器参考时钟连接

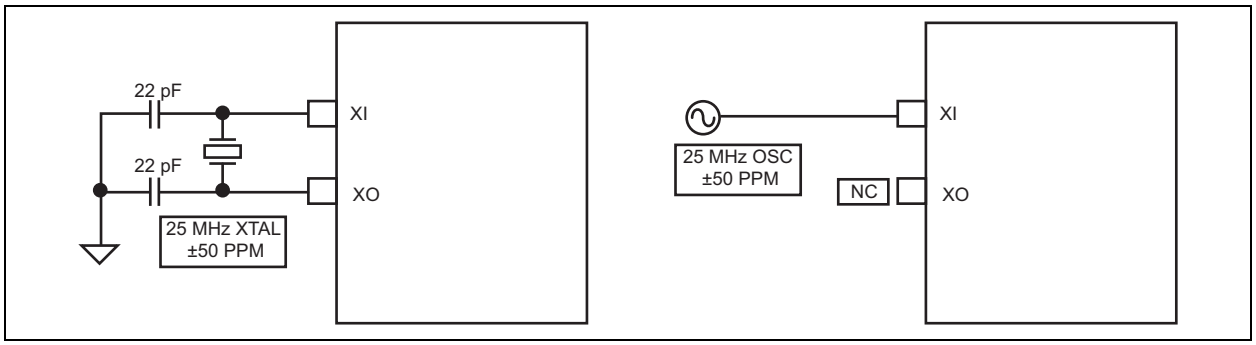


表10-1： 25 MHz晶振/参考时钟选择标准

特性	值
频率	25 MHz
频率容差（最大值）	±50 ppm
晶振串联电阻（典型值）	40Ω
总周期抖动（峰-峰值）	<100 ps

11.0 片上LDO控制器——MOSFET选择

如果使用可选LDO控制器为内核生成1.2V电压，则选择的MOSFET应超过以下最低要求：

- P沟道
- 500 mA（连续电流）
- 3.3V或2.5V（源极——输入电压）
- 1.2V（漏极——输出电压）
- V_{GS}范围：
  - 对于3.3V源极电压，500 mA时为（–1.2V至–1.5V）
  - 对于2.5V源极电压，500 mA时为（–1.0V至–1.1V）

MOSFET的V_{GS}需要在恒定电流饱和区工作，而不是趋于$V_{GS(th)}$（MOSFET截止区的阈值电压）工作。

关于针对MOSFET栅极输入的LDO控制器输出驱动范围的信息，请参见表6-11。

可以使用应用笔记“ANLAN206 – KSZ9031 Gigabit PHY Optimized Power Scheme for High Efficiency, Low-Power Consumption and Dissipation”作为设计参考。

© 2017 Microchip Technology Inc.

12.0 磁件——连接和选择

线路接口处需要使用1:1隔离变压器。对于超出FCC要求的设计，需使用集成共模扼流圈的变压器。扼流圈后面的可选自动变压器级会带来额外的共模噪声和信号衰减。

KSZ9031MNX设计集成了电压模式发送驱动器和片上端接电阻。

凭借电压模式实现，发送驱动器可向四个差分对提供共模电压。因此，KSZ9031MNX侧的四个变压器中心抽头引脚不应连接到电路板上的任何电源，而应彼此分离并通过单独的0.1 µF共模电容接地。之所以需要分离是因为四个差分对之间的共模电压可能不同，具体取决于连接的速度模式。

图12-1给出了KSZ9031MNX的典型千兆位磁性接口电路。

图12-1： 典型千兆位磁性接口电路

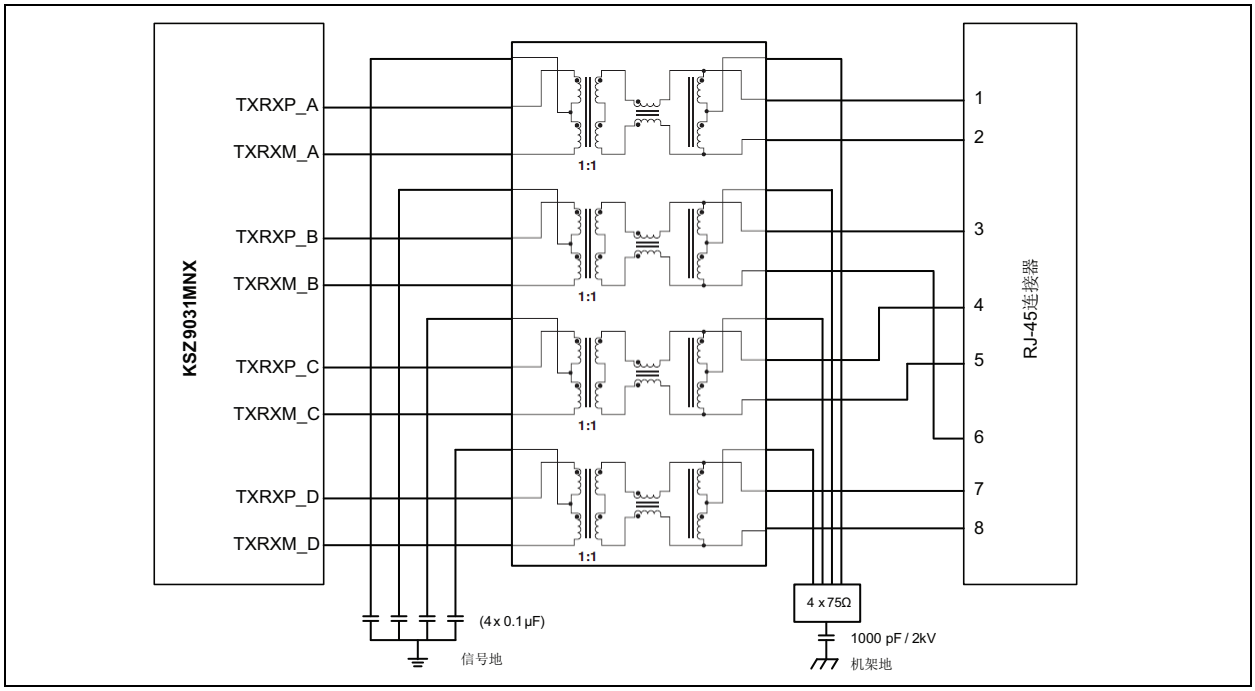


表12-1列出了建议的磁件特性。

表12-1： 磁件选择标准

参数	值	测试条件
匝数比	1 CT : 1 CT	—
开路电感（最小值）	350 µH	100 mV，100 kHz，8 mA
插入损耗（最大值）	1.0 dB	0 MHz至100 MHz
HIPOT（最小值）	1500 V_{RMS}	—

表12-2列出了可以与KSZ9031MNX兼容使用的单端口磁件（G-PHY芯片侧的变压器中心抽头引脚彼此分离）。

表12-2： 兼容的单端口10/100/1000磁件

制造商	部件编号	自动变压器	温度范围	磁件 + RJ-45
Bel Fuse	0826-1G1T-23-F	是	0°C至70°C	是
HALO	TG1G-E001NZRL	否	-40°C至85°C	否

表12-2： 兼容的单端口10/100/1000磁件（续）

制造商	部件编号	自动变压器	温度范围	磁件 + RJ-45
HALO	TG1G-S001NZRL	否	0°C至70°C	否
HALO	TG1G-S002NZRL	是	0°C至70°C	否
Pulse	H5007NL	是	0°C至70°C	否
Pulse	H5062NL	是	0°C至70°C	否
Pulse	HX5008NL	是	-40°C至85°C	否
Pulse	JK0654219NL	是	0°C至70°C	是
Pulse	JK0-0136NL	否	0°C至70°C	是
TDK	TLA-7T101LF	否	0°C至70°C	否
Wurth/Midcom	000-7093-37R-LF1	是	0°C至70°C	否

© 2017 Microchip Technology Inc.

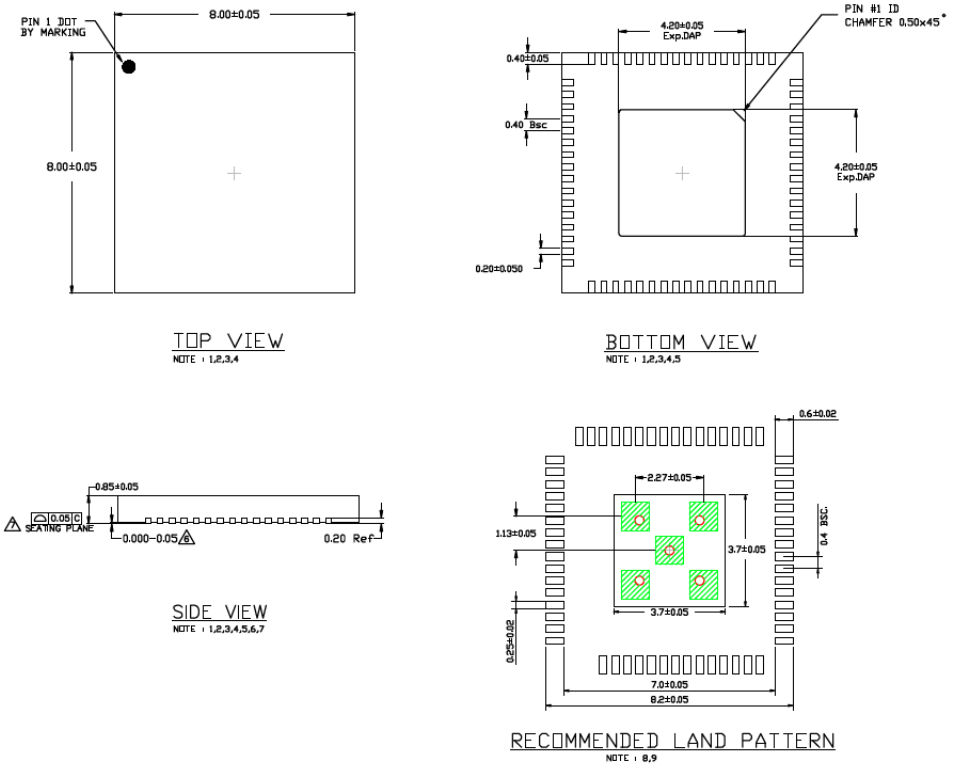
13.0 封装外形

注：	最新封装图请至 http://www.microchip.com/packaging 查看 Microchip 封装规范。

图 13-1： 带 4.2 MM X 4.2 MM 外露焊盘区域的 64 引脚 QFN 8 MM X 8 MM 封装

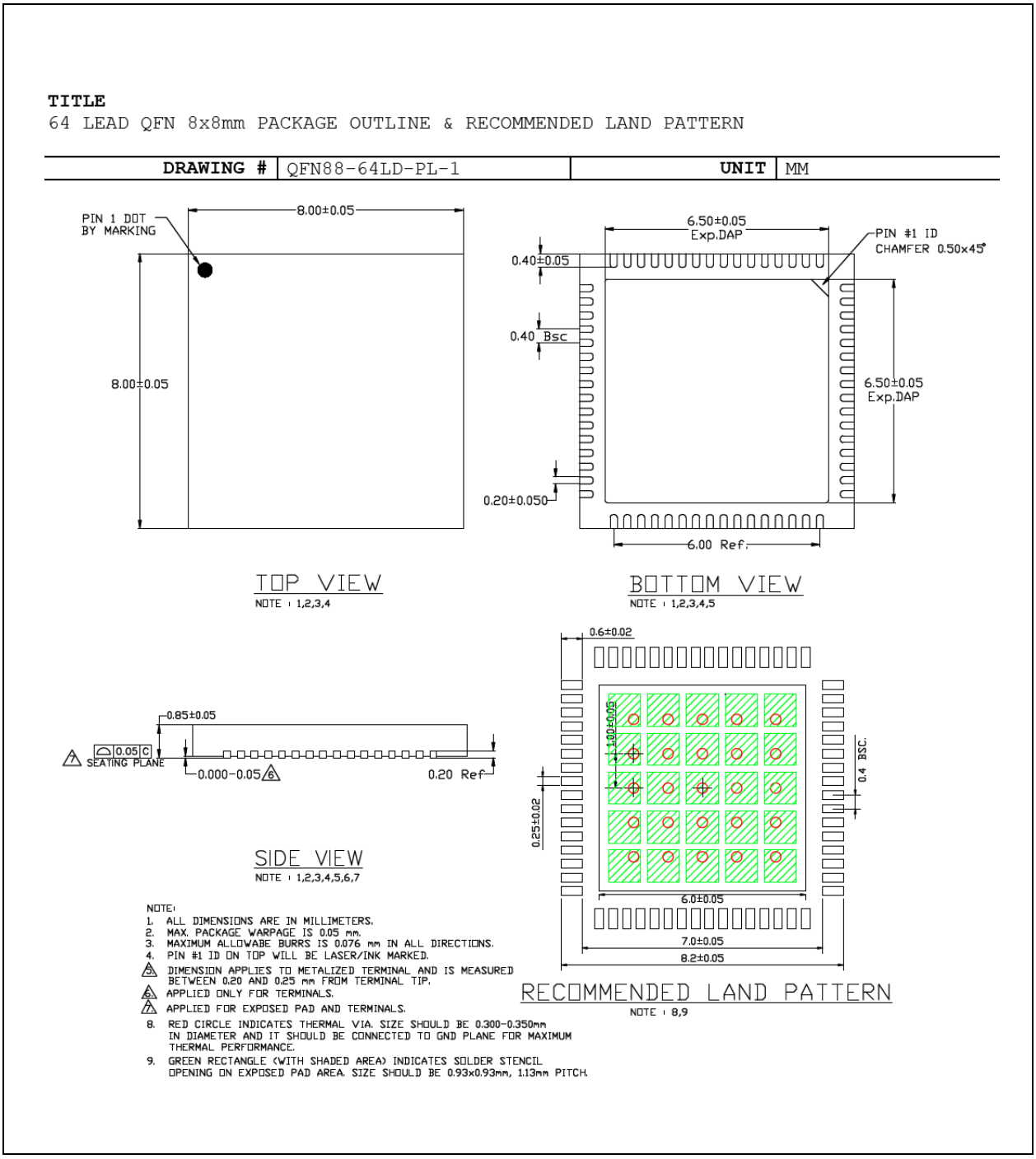
TITLE
64 LEAD QFN 8x8mm PACKAGE OUTLINE & RECOMMENDED LAND PATTERN

DRAWING #	QFN88-64LD-PL-2	UNIT	MM



1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. MAX. PACKAGE WARPAGE IS 0.05 mm.
3. MAXIMUM ALLOWABE BURRS IS 0.076 mm IN ALL DIRECTIONS.
4. PIN #1 ID ON TOP (PACKAGE) WILL BE LASER MARKED.
5. DIMENSION APPLIES TO METALIZED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25 mm FROM TERMINAL TIP.
6. APPLIED ONLY FOR TERMINALS.
7. APPLIED FOR EXPOSED PAD AND TERMINALS.
8. RED CIRCLE INDICATES THERMAL VIA. SIZE SHOULD BE 0.300-0.350mm IN DIAMETER AND IT SHOULD BE CONNECTED TO GND PLANE FOR MAXIMUM THERMAL PERFORMANCE.
9. GREEN RECTANGLE (WITH SHADED AREA) INDICATES SOLDER STENCIL OPENING ON EXPOSED PAD AREA. SIZE SHOULD BE 0.93x0.93mm.

图13-2： 带6.5 MM X 6.5 MM外露焊盘区域的64引脚QFN 8 MM X 8 MM封装



© 2017 Microchip Technology Inc.

附录A： 数据手册版本历史

表A-1： 版本历史

版本	节/图/条目	修正
DS00002096D（2017年1月5日）	全部	更新了销售列表和封面页。通篇进行了少量文字更改。
	第5.2节“工作额定值**”（第49页）	更新了（DVDDL、AVDDL 和 AVDDL_PLL）的最大工作电压。
DS00002096C（2016年7月26日）	全部	删除了节能以太网功能。
DS00002096B（2016年5月24日）	10.0 参考时钟——连接和选择	规定了25 MHz参考晶振/时钟的抖动。
DS00002096A（2016年2月19日）	—	将Micrel数据手册KSZ9031MNX转换为Microchip DS00002096A。通篇进行了少量文字更改。
	LAN唤醒——自定义数据包、预期CRC 1和CRC 2寄存器。	交换了上一版本中预期CRC的两个字节的“高”和“低”字样。
	产品标识	规定了各个封装的外露焊盘区域的大小。
	封装信息	将部件编号为KSZ9031MNXCC和KSZ9031MNXIC的铜线信息更正为带（6.5 mm x 6.5 mm）外露焊盘区域的64引脚（8 mm x 8 mm）QFN。铜线封装没有变化。

注：

© 2017 Microchip Technology Inc.

MICROCHIP 网站

Microchip 网站（www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问。网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、 Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com。在 “支持”（Support）下，点击 “变更通知客户 （Customer Change Notification）” 服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	X	XX	X	X
器件	接口	封装	温度	接合线

器件：	KSZ9031
接口：	M = MII和GMII
封装：	NX = 64引脚QFN
温度：	C = 0°C至+70°C（商业级） I = –40°C至+85°C（工业级）
接合线：	A = 金制 C = 铜制

示例：

a) KSZ9031MNXCA
MII和GMII接口
64引脚QFN（无铅，4.2 mm x 4.2 mm外露焊盘）
商业级温度
金线接合

b) KSZ9031MNXCC
MII和GMII接口
64引脚QFN（无铅，6.5 mm x 6.5 mm外露焊盘）
商业级温度
铜线接合

c) KSZ9031MNXIA
MII和GMII接口
64引脚QFN（无铅，4.2 mm x 4.2 mm外露焊盘）
工业级温度
金线接合

d) KSZ9031MNXIC
MII和GMII接口
64引脚QFN（无铅，6.5 mm x 6.5 mm外露焊盘）
工业级温度
铜线接合

© 2017 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。 Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
═ ISO/TS 16949 ═

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 AnyRate、 AVR、 AVR 徽标、 AVR Freaks、 BeaconThings、 BitCloud、 CryptoMemory、 CryptoRF、 dsPIC、 FlashFlex、 flexPWR、 Heldo、 JukeBlox、 KEELOQ、 KEELOQ 徽标、 Kleer、 LANCheck、 LINK MD、 maXStylus、 maXTouch、 MediaLB、 megaAVR、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、 picoPower、 PICSTART、 PIC32 徽标、 Prochip Designer、 QTouch、 RightTouch、 SAM-BA、 SpyNIC、 SST、 SST 徽标、 SuperFlash、 tinyAVR、 UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、 The Embedded Control Solutions Company、 EtherSynch、 Hyper Speed Control、 HyperLight Load、 IntelliMOS、 mTouch、 Precision Edge 和 Quiet-Wire 均为 Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、 AKS、 Analog-for-the-Digital Age、 Any Capacitor、 AnyIn、 AnyOut、 BodyCom、 chipKIT、 chipKIT 徽标、 CodeGuard、 CryptoAuthentication、 CryptoCompanion、 CryptoController、 dsPICDEM、 dsPICDEM.net、 Dynamic Average Matching、 DAM、 ECAN、 EtherGREEN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 JitterBlocker、 KleerNet、 KleerNet 徽标、 Mindi、 MiWi、 motorBench、 MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、 NetDetach、 Omniscient Code Generation、 PICDEM、 PICDEM.net、 PICkit、 PICtail、 PureSilicon、 QMatrix、 RightTouch 徽标、 REAL ICE、 Ripple Blocker、 SAM-ICE、 Serial Quad I/O、 SMART-I.S.、 SQI、 SuperSwitcher、 SuperSwitcher II、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、 WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2017, Microchip Technology Inc. 版权所有。

ISBN：978-1-5224-1622-7

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-3326-8000
Fax: 86-21-3326-8021

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

亚太地区

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

法国 France - Saint Cloud
Tel: 33-1-30-60-70-00

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-67-3636

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7289-7561

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2017 Microchip Technology Inc.