KSZ9031RNX

具有 RGMII 支持的千兆以太网收发器

特性

- 单芯片 10/100/1000 Mbps 以太网收发器，适用于 IEEE 802.3 应用
- RGMII 时序支持符合 RGMII 版本 2.0 规范的片上延时，具有外部延时编程选项，并可对 TX 和 RX 时序路径进行调整和修正
- 具有 3.3V/2.5V/1.8V 容差 I/O 的 RGMII
- 能够自动选择最高链路建立速率 （10/100/1000 Mbps）和双工 （半 / 全）的自动协商功能
- 用于差分对的片上端接电阻
- 可在单 3.3V 电源下工作的片上 LDO 控制器 — 只需要一个外部 FET 来为内核产生 1.2V 电压
- 支持高达 16 KB 的巨型帧
- 125 MHz 参考时钟输出
- 用于在电缆断开连接时降低功耗的能量检测掉电模式
- 支持局域网唤醒（WOL），并具备强大的自定义数据包检测功能
- 经 AEC-Q100 认定满足汽车应用要求（KSZ9031RNXUA， KSZ9031RNXVA）
- 适用于链路、活动和速率的可编程 LED 输出
- 基线漂移修正
- LinkMD 基于 TDR 的电缆诊断，可用于识别有故障的铜缆布线
- 支持参数化 NAND 树，可用于检测芯片 I/O 与电路板之间的故障
- 可用于诊断目的的环回模式
- 自动 MDI/MDI-X 交叉，可在任意工作速率下检测和修正对交换
- 自动检测和修正对交换、对偏斜和对极性
- 用于 PHY 寄存器配置的 MDC/MDIO 管理接口
- 中断引脚选项
- 掉电和省电模式
- 工作电压
  - 内核 （DVDDL、 AVDDL 和 AVDDL_PLL）：1.2V （外部 FET 或稳压器）
  - VDD I/O （DVDDH）：3.3V、 2.5V 或 1.8V
  - 收发器 （AVDDH）：3.3V 或 2.5V （商业级温度范围）
- 48 引脚 QFN （7 mm × 7 mm）封装

目标应用

- 激光 / 网络打印机
- 网络附加存储（Network Attached Storage，NAS）
- 网络服务器
- 板载千兆局域网 （Gigabit LAN on Motherboard，GLOM）
- 宽带网关
- 千兆 SOHO/SMB 路由器
- IPTV
- IP 机顶盒
- 游戏主机
- 三重播放 （数据、语音和视频）媒体中心
- 媒体转换器

© 2016 Microchip Technology Inc.

致 客 户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 http://www.microchip.com
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2016 Microchip Technology Inc.

目录

1.0 简介 4
2.0 引脚说明和配置 5
3.0 功能描述 13
4.0 寄存器说明 31
5.0 工作特性 52
6.0 电气特性 53
7.0 时序图 57
8.0 复位电路 63
9.0 参考电路 —LED 配置引脚 65
10.0 参考时钟 — 连接和选择 66
11.0 片上 LDO 控制器 —MOSFET 选择 66
12.0 磁性 — 连接和选择 67
13.0 封装外形 69
附录 A：数据手册版本历史 74
Microchip 网站 75
变更通知客户服务 75
客户支持 75
产品标识体系 76

1.0 简介

1.1 产品概览

KSZ9031RNX 是一种完全集成的三速 （10BASE-T/100BASE-TX/1000BASE-T）以太网物理层收发器，用于通过标准 CAT-5 非屏蔽双绞线 （unshielded twisted pair， UTP）电缆发送和接收数据。

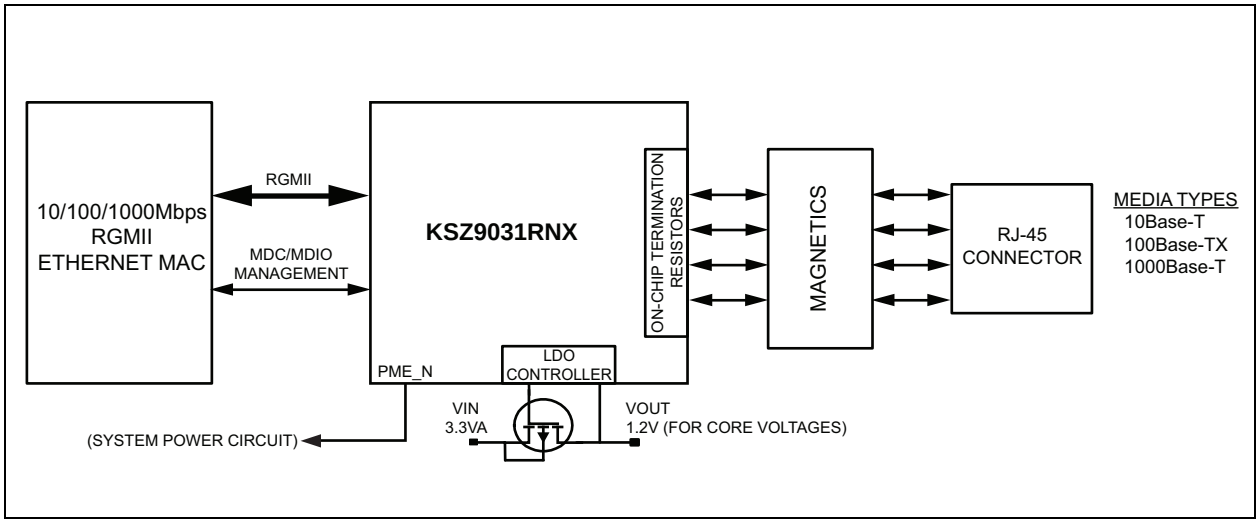
KSZ9031RNX 提供了简化的千兆位介质独立接口 （Reduced Gigabit Media Independent Interface， RGMII），可直接连接到千兆以太网处理器和交换机中的 RGMII MAC，实现 10/100/1000 Mbps 的数据传输。

KSZ9031RNX 为四个差分对使用了片上端接电阻，并通过集成 LDO 控制器来驱动低成本 MOSFET 提供 1.2V 内核电压，从而降低了电路板成本并简化了电路板布线。

KSZ9031RNX 提供了诊断功能，以便于在生产测试和产品部署期间启动和调试系统。本产品支持参数化 NAND 树，可方便地检测 KSZ9031 I/O 与电路板之间是否存在故障。 LinkMD® 基于 TDR 的电缆诊断功能可识别有故障的铜缆布线。远程和本地环回功能可验证模拟和数字数据路径。

标准的 KSZ9031RNX 采用 48 引脚无脚 QFN 封装；经 AEC-Q100 认定满足汽车应用要求的部件 KSZ9031RNXUA 和 KSZ9031RNXVA 采用 48 引脚无脚 WQFN 封装。

图 1-1： 系统框图



© 2016 Microchip Technology Inc.

2.0 引脚说明和配置

图 2-1： 48-QFN 引脚分配 （俯视图）

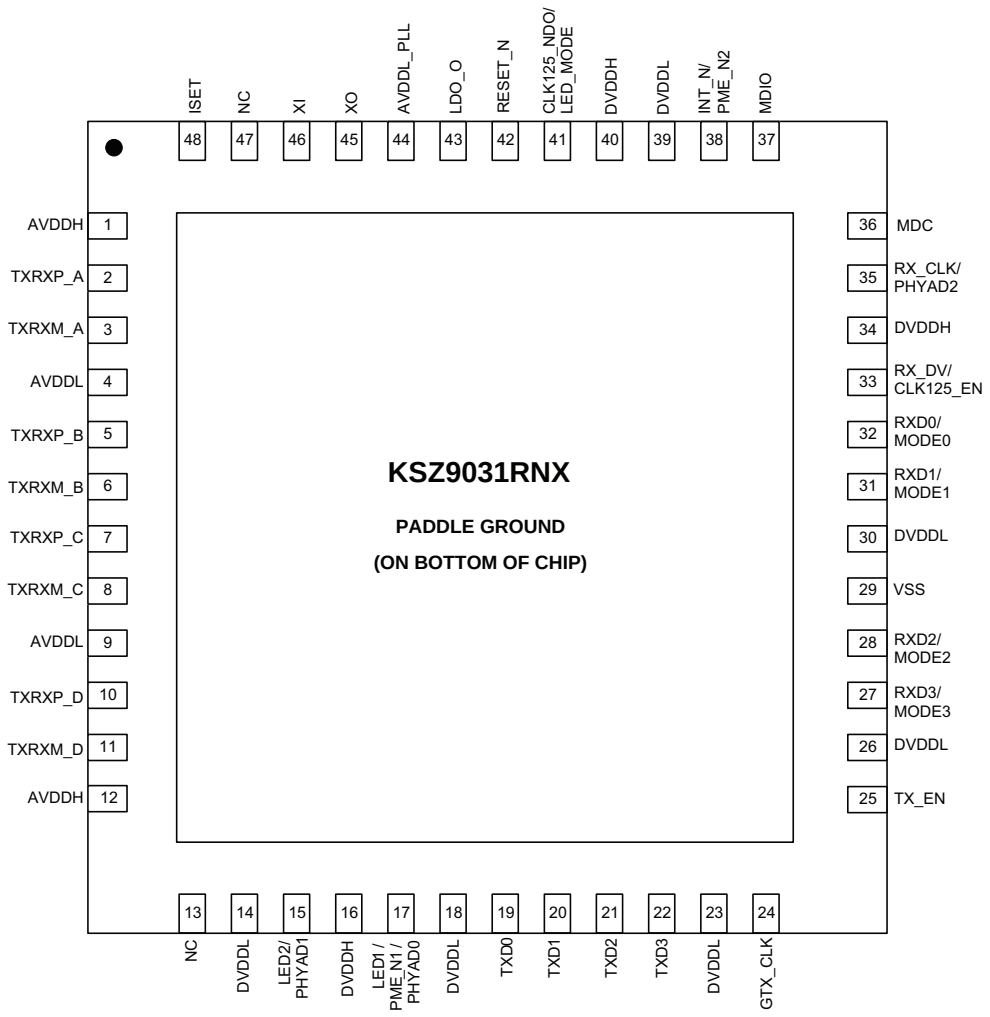


表 2-1： 信号 —KSZ9031RNX

引脚编号	引脚名称	类型 注 2-1	说明
1	AVDDH	P	3.3V/2.5V （只适用于商业级温度范围）模拟 V_{DD}
2	TXRXP_A	I/O	介质相关接口 [0]，差分对的正信号 1000BASE-T 模式： TXRXP_A 分别对应于 MDI 配置的 BI_DA+ 和 MDI-X 配置的 BI_DB+。 10BASE-T/100BASE-TX 模式： TXRXP_A 分别是 MDI 配置的正发送信号 （TX+）和 MDI-X 配置的正接收信号 （RX+）。
3	TXRXM_A	I/O	介质相关接口 [0]，差分对的负信号 1000BASE-T 模式： TXRXM_A 分别对应于 MDI 配置的 BI_DA– 和 MDI-X 配置的 BI_DB–。 10BASE-T/100BASE-TX 模式： TXRXM_A 分别是 MDI 配置的负发送信号（TX–）和 MDI-X 配置的负接收信号 （RX–）。
4	AVDDL	P	1.2V 模拟 V_{DD}
5	TXRXP_B	I/O	介质相关接口 [1]，差分对的正信号 1000BASE-T 模式： TXRXP_B 分别对应于 MDI 配置的 BI_DB+ 和 MDI-X 配置的 BI_DA+。 10BASE-T/100BASE-TX 模式： TXRXP_B 分别是 MDI 配置的正接收信号（RX+）和 MDI-X 配置的正发送信号 （TX+）。
6	TXRXM_B	I/O	介质相关接口 [1]，差分对的负信号 1000BASE-T 模式： TXRXM_B 分别对应于 MDI 配置的 BI_DB– 和 MDI-X 配置的 BI_DA–。 10BASE-T/100BASE-TX 模式： TXRXM_B 分别是 MDI 配置的负接收信号（RX–）和 MDI-X 配置的负发送信号 （TX–）。
7	TXRXP_C	I/O	介质相关接口 [2]，差分对的正信号 1000BASE-T 模式： TXRXP_C 分别对应于 MDI 配置的 BI_DC+ 和 MDI-X 配置的 BI_DD+。 10BASE-T/100BASE-TX 模式： TXRXP_C 未使用。
8	TXRXM_C	I/O	介质相关接口 [2]，差分对的负信号 1000BASE-T 模式： TXRXM_C 分别对应于 MDI 配置的 BI_DC– 和 MDI-X 配置的 BI_DD–。 10BASE-T/100BASE-TX 模式： TXRXM_C 未使用。
9	AVDDL	P	1.2V 模拟 V_{DD}

© 2016 Microchip Technology Inc.

表 2-1： 信号 —KSZ9031RNX （续）

引脚编号	引脚名称	类型 注 2-1	说明
10	TXRXP_D	I/O	介质相关接口 [3]，差分对的正信号 1000BASE-T 模式： TXRXP_D 分别对应于 MDI 配置的 BI_DD+ 和 MDI-X 配置的 BI_DC+。 10BASE-T/100BASE-TX 模式： TXRXP_D 未使用。
11	TXRXM_D	I/O	介质相关接口 [3]，差分对的负信号 1000BASE-T 模式： TXRXM_D 分别对应于 MDI 配置的 BI_DD– 和 MDI-X 配置的 BI_DC–。 10BASE-T/100BASE-TX 模式： TXRXM_D 未使用。
12	AVDDH	P	3.3V/2.5V （只适用于商业级温度范围）模拟 V_{DD}
13	NC	—	未连接。该引脚未连接，可连接到数字地，以实现与 KSZ9021RN 千兆 PHY 的占用空间兼容性。
14	DVDDL	P	1.2V 数字 V_{DD}

表 2-1： 信号 —KSZ9031RNX （续）

<table>
<tr><th>引脚编号</th><th>引脚名称</th><th>类型
注 2-1</th><th colspan="4">说明</th></tr>
<tr><td rowspan="15">15</td><td rowspan="15">LED2/
PHYAD1</td><td rowspan="15">I/O</td><td colspan="4">LED 输出：可编程 LED2 输出
配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 PHYAD[1]。详细信息，请参见配置选项 —KSZ9031RNX 部分。
LED2 引脚通过 LED_MODE 配置选项 （引脚 41）编程，定义如下：
单 LED 模式</td></tr>
<tr><td>链路</td><td colspan="2">引脚状态</td><td>LED 定义</td></tr>
<tr><td>链路关闭</td><td colspan="2">H</td><td>关闭</td></tr>
<tr><td>链路开启 （任意速率）</td><td colspan="2">L</td><td>开启</td></tr>
<tr><td colspan="4">**三色双 LED 模式**</td></tr>
<tr><td rowspan="2">链路 / 活动</td><td colspan="2">引脚状态</td><td colspan="2">LED 定义</td></tr>
<tr><td>LED2</td><td>LED1</td><td>LED2</td><td>LED1</td></tr>
<tr><td>链路关闭</td><td>H</td><td>H</td><td>关闭</td><td>关闭</td></tr>
<tr><td>1000 链路 / 无活动</td><td>L</td><td>H</td><td>开启</td><td>关闭</td></tr>
<tr><td>1000 链路 / 活动
（RX， TX）</td><td>切换</td><td>H</td><td>闪烁</td><td>关闭</td></tr>
<tr><td>100 链路 / 无活动</td><td>H</td><td>L</td><td>关闭</td><td>开启</td></tr>
<tr><td>100 链路 / 活动
（RX， TX）</td><td>H</td><td>切换</td><td>关闭</td><td>闪烁</td></tr>
<tr><td>10 链路 / 无活动</td><td>L</td><td>L</td><td>开启</td><td>开启</td></tr>
<tr><td>10 链路 / 活动
（RX， TX）</td><td>切换</td><td>切换</td><td>闪烁</td><td>闪烁</td></tr>
<tr><td colspan="4">对于三色双 LED 模式，LED2 与 LED1（引脚 17）一起指示 10 Mbps 链路和活动。</td></tr>
<tr><td>16</td><td>DVDDH</td><td>P</td><td colspan="4">3.3V、 2.5V 或 1.8V 数字 $V_{DD_I/O}$</td></tr>
</table>

© 2016 Microchip Technology Inc.

表 2-1： 信号 —KSZ9031RNX （续）

引脚编号	引脚名称	类型 注 2-1	说明
17	LED1/ PHYAD0/ PME_N1	I/O	LED1 输出：可编程 LED1 输出 配置模式：在上电 / 复位期间，该引脚上的电压被采样和锁存，以确定 PHYAD[0] 的值。详细信息，请参见配置选项 —KSZ9031RNX 部分。 PME_N 输出：可编程 PME_N 输出 （引脚选项 1）。为使该引脚正常工作，需要为 DVDDH（数字 $V_{DD_I/O}$）提供 1.0 kΩ 至 4.7 kΩ 范围的外部上拉电阻。当置为低电平时，该引脚发出发生 WOL 事件的信号。 该引脚并非所有工作模式的漏极开路。 LED1 引脚通过 LED_MODE 配置选项 （引脚 41）编程，定义如下：

单 LED 模式

活动	引脚状态	LED 定义
无活动	H	关闭
活动 （RX， TX）	切换	闪烁

三色双 LED 模式

链路 / 活动	引脚状态		LED 定义	
	LED2	**LED1**	**LED2**	**LED1**
链路关闭	H	H	关闭	关闭
1000 链路 / 无活动	L	H	开启	关闭
1000 链路 / 活动 （RX， TX）	切换	H	闪烁	关闭
100 链路 / 无活动	H	L	关闭	开启
100 链路 / 活动 （RX， TX）	H	切换	关闭	闪烁
10 链路 / 无活动	L	L	开启	开启
10 链路 / 活动 （RX， TX）	切换	切换	闪烁	闪烁

对于三色双 LED 模式，LED1 与 LED2（引脚 15）一起指示 10 Mbps 链路和活动。

18	DVDDL	P	1.2V 数字 V_{DD}
19	TXD0	I	RGMII 模式：RGMII TD0 （发送数据 0）输入
20	TXD1	I	RGMII 模式：RGMII TD1 （发送数据 1）输入
21	TXD2	I	RGMII 模式：RGMII TD2 （发送数据 2）输入
22	TXD3	I	RGMII 模式：RGMII TD3 （发送数据 3）输入
23	DVDDL	P	1.2V 数字 V_{DD}
24	GTX_CLK	I	RGMII 模式：RGMII TXC （发送参考时钟）输入

© 2016 Microchip Technology Inc.

表 2-1： 信号 —KSZ9031RNX （续）

引脚编号	引脚名称	类型 注 2-1	说明
25	TX_EN	I	RGMII 模式：RGMII TX_CTL （发送控制）输入
26	DVDDL	P	1.2V 数字 V_{DD}
27	RXD3/ MODE3	I/O	RGMII 模式：RGMII RD3 （接收数据 3）输出 配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 MODE3。详细信息，请参见配置选项 —KSZ9031RNX 部分。
28	RXD2/ MODE2	I/O	RGMII 模式：RGMII RD2 （接收数据 2）输出 配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 MODE2。详细信息，请参见配置选项 —KSZ9031RNX 部分。
29	VSS	GND	数字地
30	DVDDL	P	1.2V 数字 V_{DD}
31	RXD1/ MODE1	I/O	RGMII 模式：RGMII RD1 （接收数据 1）输出 配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 MODE1。详细信息，请参见配置选项 —KSZ9031RNX 部分。
32	RXD0/ MODE0	I/O	RGMII 模式：RGMII RD0 （接收数据 0）输出 配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 MODE0。详细信息，请参见配置选项 —KSZ9031RNX 部分。
33	RX_DV/ CLK125_EN	I/O	RGMII 模式：RGMII RX_CTL （接收控制）输出 配置模式：上电 / 复位期间锁存为 CLK125_NDO 输出使能。详细信息，请参见配置选项 —KSZ9031RNX 部分。
34	DVDDH	P	3.3V、 2.5V 或 1.8V 数字 $V_{DD_I/O}$
35	RX_CLK/ PHYAD2	I/O	RGMII 模式：RGMII RXC （接收参考时钟）输出 配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 PHYAD[2]。详细信息，请参见配置选项 —KSZ9031RNX 部分。
36	MDC	Ipu	管理数据时钟输入 该引脚是 MDIO （引脚 37）的输入参考时钟。
37	MDIO	Ipu/O	管理数据输入 / 输出 该引脚与 MDC（引脚 36）同步，需要为 DVDDH（数字 $V_{DD_I/O}$）提供 1.0 kΩ 至 4.7 kΩ 范围的外部上拉电阻。
38	INT_N/ PME_N2	O	中断输出：可编程中断输出，使用寄存器 1Bh 作为中断控制 / 状态寄存器时，可用于编程中断条件和读取中断状态。寄存器 1Fh Bit [14] 将中断输出设置为低电平有效 （默认）或高电平有效。 PME_N 输出：可编程 PME_N 输出 （引脚选项 2）。当置为低电平时，该引脚发出发生 WOL 事件的信号。 对于中断（低电平有效）和 PME 功能，该引脚需要为 DVDDH （数字 $V_{DD_I/O}$）提供 1.0 kΩ 至 4.7 kΩ 范围的外部上拉电阻。 该引脚并非所有工作模式的漏极开路。
39	DVDDL	P	1.2V 数字 V_{DD}
40	DVDDH	P	3.3V、 2.5V 或 1.8V 数字 $V_{DD_I/O}$

© 2016 Microchip Technology Inc.

表 2-1： 信号 —KSZ9031RNX （续）

引脚编号	引脚名称	类型 注 2-1	说明
41	CLK125_NDO/ LED_MODE	I/O	125 MHz 时钟输出 该引脚提供 125 MHz 参考时钟输出选项供 MAC 使用。 配置模式：在上电 / 复位期间，上拉 / 下拉值被锁存为 LED_MODE。详细信息，请参见配置选项 —KSZ9031RNX 部分。
42	RESET_N	Ipu	芯片复位 （低电平有效） 在 RESET_N 取消置位 （上升沿）时，配置硬件引脚配置。详细信息，请参见配置选项 —KSZ9031RNX 部分。
43	LDO_O	O	片上 1.2V LDO 控制器输出 该引脚驱动 P 沟道 MOSFET 输入栅极，为芯片生成 1.2V 的核心电压。如果系统提供 1.2V 电压且该引脚未使用，则可以悬空。
44	AVDDL_PLL	P	用于 PLL 的 1.2V 模拟 V_{DD}
45	XO	O	25 MHz 晶振反馈 如果使用振荡器或外部时钟源，则该引脚无连接。
46	XI	I	晶振 / 振荡器 / 外部时钟输入 25 MHz ±50 ppm 容差
47	NC	—	未连接 该引脚未连接，可连接到 AVDDH 电源，以实现与 KSZ9021RN 千兆 PHY 的占用空间兼容性。
48	ISET	I/O	设置发送输出电平 在该引脚上连接一个接地的 12.1 kΩ 1% 电阻。
焊盘	P_GND	GND	芯片底部的裸露焊盘 将 P_GND 连接到地。

注 2-1 P = 电源
GND = 地
I = 输入
O = 输出
I/O = 双向
Ipu = 带内部上拉的输入 （值见 6.0 节，“电气特性”）。
Ipu/O = 上电 / 复位期间带内部上拉 （值见 6.0 节，“电气特性”）的输入；否则为输出引脚。

引脚配置在上电或复位期间锁存。在某些系统中，MAC 接收输入引脚可能在上电或复位期间被驱动，并因此导致 RGMII 信号上的 PHY 配置引脚被锁存到不正确的配置。在这种情况下，应在 PHY 配置引脚上添加外部上拉或下拉电阻，以确保将 PHY 配置为正确的引脚配置模式。

表 2-2： 配置选项 —KSZ9031RNX

引脚编号	引脚名称	类型 注 2-2	说明
35 15 17	PHYAD2 PHYAD1 PHYAD0	I/O I/O I/O	PHY 地址 PHYAD[2:0] 在上电 / 复位时被采样和锁存，并可配置为 0 到 7 之间的任何值。每个 PHY 地址位的配置如下： 上拉 = 1 下拉 = 0 PHY 地址的 Bit [4:3] 始终设置为 “00”。
27 28 31 32	MODE3 MODE2 MODE1 MODE0	I/O I/O I/O I/O	MODE[3:0] 配置引脚在上电 / 复位时被采样和锁存，定义如下：

MODE[3:0]	**模式**
0000	保留 — 未使用
0001	保留 — 未使用
0010	保留 — 未使用
0011	保留 — 未使用
0100	NAND 树模式
0101	保留 — 未使用
0110	保留 — 未使用
0111	芯片掉电模式
1000	保留 — 未使用
1001	保留 — 未使用
1010	保留 — 未使用
1011	保留 — 未使用
1100	RGMII 模式 — 只通告 1000BASE-T 全双工
1101	RGMII 模式 — 只通告 1000BASE-T 全双工和半双工
1110	RGMII 模式 — 通告除 1000BASE-T 半双工以外的所有能力 （10/100/1000 速率半 / 全双工）
1111	RGMII 模式 — 通告所有能力 （10/100/1000 速率半 / 全双工）

33	CLK125_EN	I/O	CLK125_EN 在上电 / 复位时被采样和锁存，定义如下： 上拉 （1）= 使能 125 MHz 时钟输出 下拉 （0）= 禁止 125 MHz 时钟输出 引脚 41 （CLK125_NDO）提供 125 MHz 参考时钟输出选项供 MAC 使用。
41	LED_MODE	I/O	LED_MODE 在上电 / 复位时被采样和锁存，定义如下： 上拉 （1）= 单 LED 模式 下拉 （0）= 三色双 LED 模式

注 2-2 I/O = 双向。

© 2016 Microchip Technology Inc.

3.0 功能描述

KSZ9031RNX 是一种完全集成的三速 （10BASE-T/100BASE-TX/1000BASE-T）以太网物理层收发器解决方案，用于通过标准 CAT-5 非屏蔽双绞线 （UTP）电缆发送和接收数据。

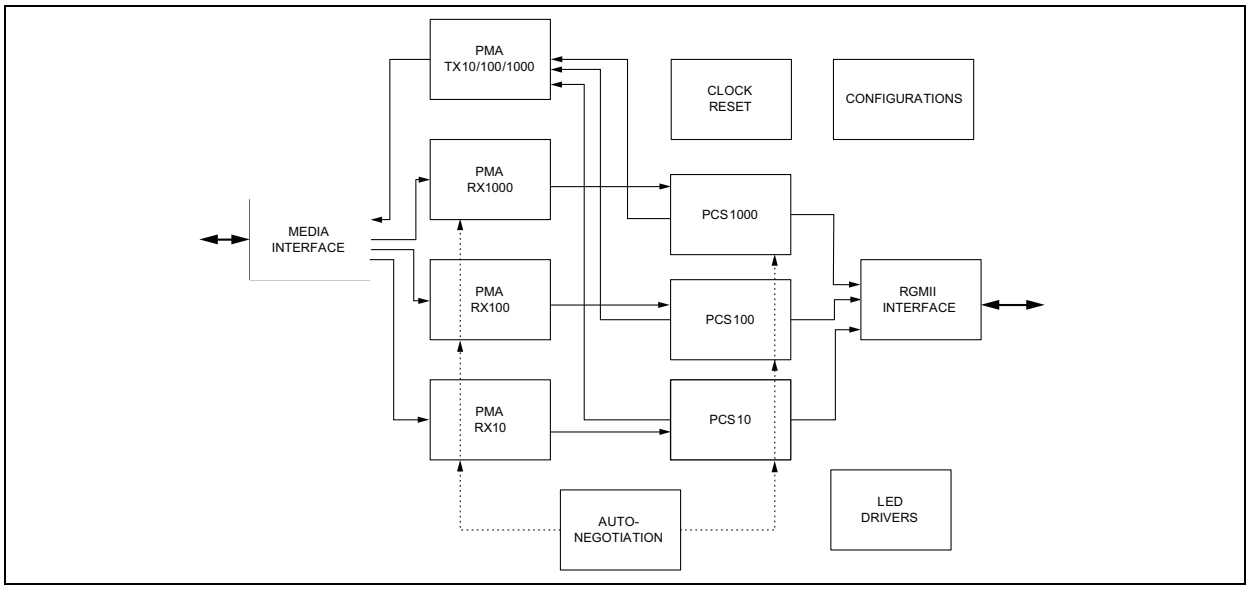
KSZ9031RNX 为四个差分对使用了片上端接电阻，并通过集成 LDO 控制器来驱动低成本 MOSFET 提供 1.2V 内核电压，从而降低了电路板成本并简化了电路板布线。

在铜介质接口上， KSZ9031RNX 能够自动检测并修正差分对错位和极性反转，同时修正四个差分对之间的传播延时和重新同步时序，如 IEEE 802.3 标准中针对 1000BASE-T 操作所做的规定。

KSZ9031RNX 提供了 RGMII 接口，可连接到千兆以太网处理器和交换机中的 RGMII MAC，实现 10/100/1000 Mbps 的数据传输。

图 3-1 显示了 KSZ9031RNX 的高阶框图。

图 3-1： KSZ9031RNX 框图



3.1 10BASE-T/100BASE-TX 收发器

3.1.1 100BASE-TX 发送

100BASE-TX 发送功能执行并行到串行转换、 4B/5B 编码、加扰、 NRZ 到 NRZI 转换及 MLT-3 编码和发送。

该电路从并行到串行转换开始，该转换将来自 MAC 的 MII 数据转换为 125 MHz 串行比特流。然后将数据和控制流转换成 4B/5B 编码，后跟加扰器。串行化数据进一步从 NRZ 转换为 NRZI 格式，然后在 MLT-3 电流输出中发送。输出电流由 1:1 变压比的外部 12.1 kΩ 1% 电阻设置。

输出信号具有 4 ns 的典型上升 / 下降时间，符合关于幅度平衡和过冲的 ANSI TP-PMD 标准。波形 10BASE-T 输出也并入 100BASE-TX 发射器。

3.1.2 100BASE-TX 接收

100BASE-TX 接收功能执行自适应均衡、直流恢复、 MLT-3 到 NRZI 转换、数据和时钟恢复、 NRZI 到 NRZ 转换、解扰、 4B/5B 译码及串行到并行转换。

接收侧从均衡滤波器开始，以补偿双绞线电缆上的符号间干扰（inter-symbol interference， ISI）。由于幅度损耗和相位失真是电缆长度的函数，均衡器必须调整其特性以优化性能。在该设计中，可变均衡器基于输入信号强度与某些已知电缆特性的比较进行初始估计，然后调谐自身进行优化。这是一个持续的过程，并将针对环境变化（如温度变化）进行自我调整。

接下来，均衡后的信号通过直流恢复和数据转换块。直流恢复电路补偿基线漂移的影响，并提升动态范围。差分数据转换电路将 MLT-3 格式转换回 NRZI。限幅阈值也是自适应的。

时钟恢复电路从 NRZI 信号边沿提取 125 MHz 时钟。然后，该恢复时钟用于将 NRZI 信号转换为 NRZ 格式。信号通过解扰器发送，后跟 4B/5B 译码器。最后， NRZ 串行数据被转换为 RGMII 格式，并作为输入数据提供给 MAC。

3.1.3 加扰器 / 解扰器 （仅限 100BASE-TX）

加扰器的用途是扩展信号功率谱以减少电磁干扰 （electromagnetic interference， EMI）和基线漂移。发送的数据使用 11 位宽线性反馈移位寄存器 （linear feedback shift register， LFSR）进行加扰。加扰器产生 2047 比特的非重复序列，然后接收器使用与发射器相同的序列对输入数据流进行解扰。

3.1.4 10BASE-T 发送

10BASE-T 输出驱动器集成在 100BASE-TX 驱动器中，以允许使用相同的磁性传输。驱动器执行内部波形整形和预加重，并在标准 10BASE-T 模式下输出峰值为 2.5V 的典型幅度信号，在 10BASE-Te 节能模式下输出峰值为 1.75V 的典型幅度信号。10BASE-T/10BASE-Te 信号具有谐波含量，当由全 1 曼彻斯特编码信号驱动时，其谐波含量比基频至少低 31 dB。

3.1.5 10BASE-T 接收

接收侧使用了输入缓冲器和电平检测静噪电路。差分输入接收器电路和锁相环 （phase-locked loop， PLL）执行译码功能。曼彻斯特编码的数据流被分成时钟信号和 NRZ 数据。静噪电路抑制电平低于 300 mV 或具有短脉冲宽度的信号，以防止接收输入处的噪声错误地触发译码器。当输入超过静噪限制时，PLL 锁定到输入信号，KSZ9031RNX 译码数据帧。接收器时钟在接收数据帧之间的空闲时段保持活动状态。

KSZ9031RNX 删除所有 7 个字节的前导码，并从 SFD （帧起始定界符）开始向 MAC 显示接收的帧。

针对接收差分对提供了自动极性修正功能，以自动交换和修复布线中错误的 +/- 极性布线。

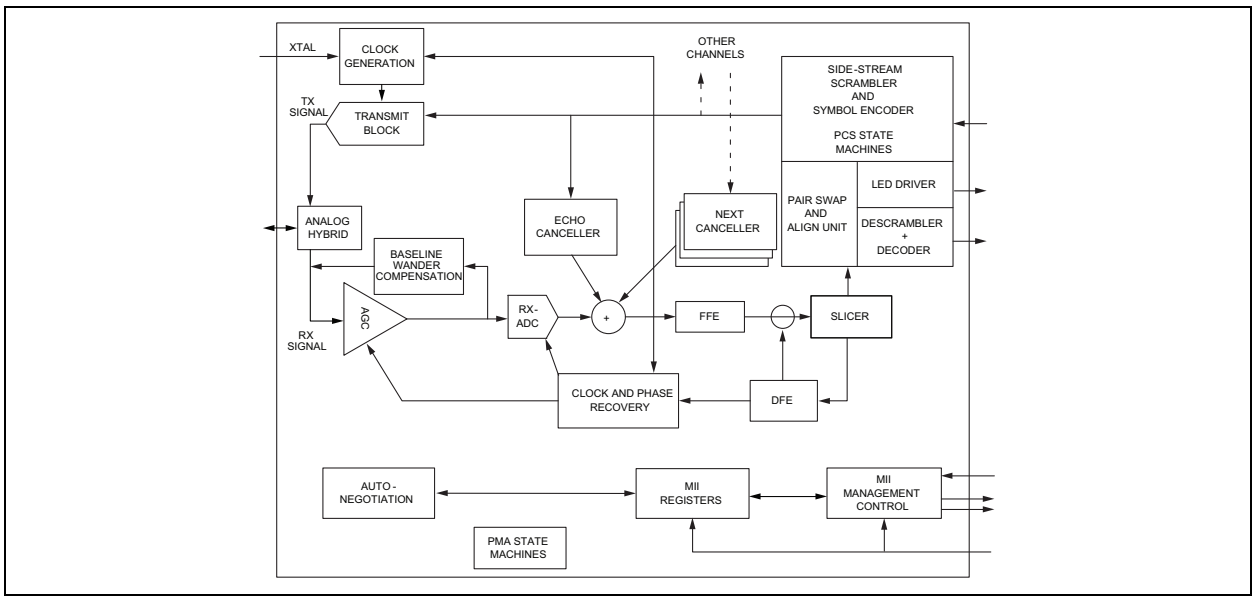
3.2 1000BASE-T 收发器

1000BASE-T 收发器基于混合信号 / 数字信号处理 （Digital-Signal Processing， DSP）架构，包括模拟前端、数字通道均衡器、网格编码器 / 译码器、回波消除器、串扰消除器、精密时钟恢复方案和节能的线路驱动器。

图 3-2 显示了用于四个差分对之一的 1000BASE-T 收发器的单个通道的高阶框图。

© 2016 Microchip Technology Inc.

图 3-2： KSZ9031RNX 1000BASE-T 框图 — 单通道



3.2.1 模拟回波消除电路

在 1000BASE-T 模式下，模拟回波消除电路有助于减少近端回波。该模拟混合电路减轻了 ADC 和自适应均衡器的负担。

该电路在 10BASE-T/100BASE-TX 模式下禁止。

3.2.2 自动增益控制 （AGC）

在 1000BASE-T 模式下，自动增益控制 （Automatic Gain Control， AGC）电路提供初始增益调整，以提升信号电平。该预调节电路用于改善接收信号的信噪比。

3.2.3 模数转换器 （ADC）

在 1000BASE-T 模式下，模数转换器（Analog-to-Digital Converter， ADC）将输入信号数字化。ADC 性能对收发器的整体性能至关重要。

该电路在 10BASE-T/100BASE-TX 模式下禁止。

3.2.4 时序恢复电路

在 1000BASE-T 模式下，混合信号时钟恢复电路与数字锁相环一起用于从接收的数据恢复和跟踪输入时序信息。数字锁相环具有极低的长期抖动，以最大化接收信号的信噪比。

1000BASE-T 从 PHY 必须将从接收到的数据恢复的确切接收时钟频率发送回 1000BASE-T 主 PHY。否则，长时间传输后，主 PHY 和从 PHY 会不同步。此外，这也有助于促进回波消除和 NEXT （近端串扰）去除。

3.2.5 自适应均衡器

在 1000BASE-T 模式下，自适应均衡器提供以下功能：

- 部分响应信令的检测
- 去除 NEXT 和 ECHO 噪声
- 通道均衡

由于阻抗失配，模拟并合未去除的残余回波会使信号质量降级。 KSZ9031RNX 使用数字回波消除器来进一步减少接收信号上的回波分量。

在 1000BASE-T 模式下，在所有四对导线 （四个通道）上同时进行数据发送和接收。这会导致来自相邻导线的高频串扰。 KSZ9031RNX 在每个接收通道上使用三个 NEXT 消除器来最小化其他三个通道引起的串扰。

在 10BASE-T/100BASE-TX 模式下，自适应均衡器只需消除符号间干扰并从输入数据恢复通道损耗。

3.2.6 网格编码器和译码器

在 1000BASE-T 模式下，发送的 8 位数据被加扰成 9 位符号，并进一步被编码为 4D-PAM5 符号。当在同一个电路板上使用多个 KSZ9031RNX 时，通过特定 PHY 地址确定初始加扰器种子以减少 EMI。在接收侧，首先检查空闲流。加扰器种子、对偏斜、对顺序和极性必须通过逻辑加以解决。然后，将输入的 4D-PAM5 数据转换成 9 位符号并解扰为 8 位数据。

3.3 自动 MDI/MDI-X

自动 MDI/MDI-X 功能无需确定在 KSZ9031RNX 与其链路伙伴之间使用的是直连电缆还是交叉电缆。该自动检测功能可检测链路伙伴的 MDI/MDI-X 对映射，并相应地分配 KSZ9031RNX 的 MDI/MDI-X 对映射。

表 3-1 显示了 MDI/MDI-X 引脚映射的 KSZ9031RNX 10/100/1000 引脚配置分配。

表 3-1： MDI/MDI-X 引脚映射

引脚（RJ-45 对）	MDI			MDI-X		
	1000BASE-T	100BASE-T	10BASE-T	1000BASE-T	100BASE-T	10BASE-T
TXRXP/M_A（1， 2）	A+/–	TX+/–	TX+/–	B+/–	RX+/–	RX+/–
TXRXP/M_B（3， 6）	B+/–	RX+/–	RX+/–	A+/–	TX+/–	TX+/–
TXRXP/M_C（4， 5）	C+/–	未使用	未使用	D+/–	未使用	未使用
TXRXP/M_D（7， 8）	D+/–	未使用	未使用	C+/–	未使用	未使用

自动 MDI/MDI-X 默认使能。可通过向寄存器 1Ch Bit [6] 写入 1 来禁止。如果自动 MDI/MDI-X 被禁止，则 MDI 和 MDI-X 模式由寄存器 1Ch Bit [7] 设置。

推荐使用具有对称发送和接收数据路径的隔离变压器，以支持自动 MDI/MDI-X。

3.4 对交换、对齐和极性检查

在 1000BASE-T 模式下， KSZ9031RNX

- 检测错误的通道顺序并自动恢复 A、 B、 C 和 D 对 （四个通道）的对顺序。
- 根据 IEEE 802.3 标准，支持 50 ns ±10 ns 的通道对间传播延时差，并自动修正数据偏斜，以便修正的四对数据符号同步。

差分信号的错误对极性可自动针对所有速度进行修正。

3.5 波形整形、转换率控制和部分响应

在通信系统中，使用信号传输编码方法来提供噪声整形功能并使传输通道中的失真和误差最小化。

- 对于 1000BASE-T，使用特殊的部分响应信令方法来为传输路径提供频带限制功能。
- 对于 100BASE-TX，使用简单的转换率控制方法来最小化 EMI。
- 对于 10BASE-T，使用预加重来扩展通过电缆的信号质量。

3.6 PLL 时钟合成器

KSZ9031RNX 可为系统时序产生 125 MHz、25 MHz 和 10 MHz 的时钟。内部时钟从外部 25 MHz 晶振或参考时钟生成。

© 2016 Microchip Technology Inc.

3.7 自动协商

KSZ9031RNX 符合 IEEE 802.3 规范第 28 条中定义的自动协商协议。

自动协商使得 UTP （非屏蔽双绞线）链路伙伴能够选择最高的共模工作模式。

在自动协商期间，链路伙伴跨 UTP 链路彼此通告能力，然后将自己的能力与链路伙伴通告的能力进行比较。选择两个链路伙伴共同的最高速率和双工设置作为工作模式。

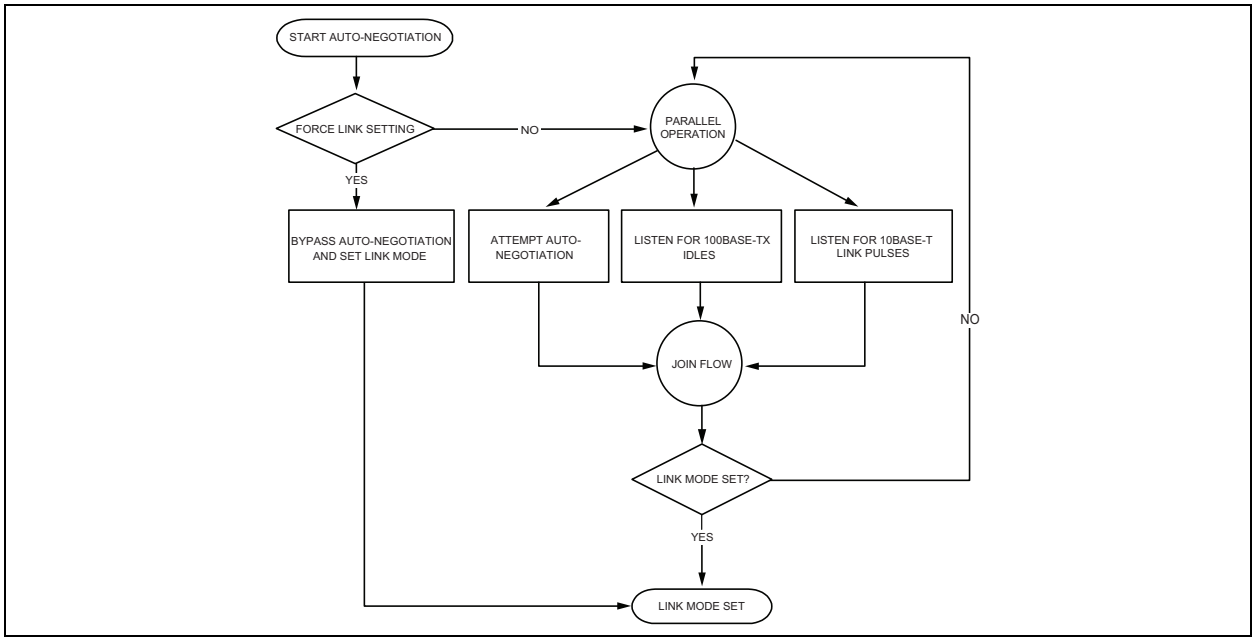
以下列表显示了从高到低排列的速率和双工工作模式：

- 优先级 1：1000BASE-T，全双工
- 优先级 2：1000BASE-T，半双工
- 优先级 3：100BASE-TX，全双工
- 优先级 4：100BASE-TX，半双工
- 优先级 5：10BASE-T，全双工
- 优先级 6：10BASE-T，半双工

如果不支持自动协商或强制KSZ9031RNX链路伙伴旁路掉10BASE-T和100BASE-TX模式的自动协商，则KSZ9031RNX通过观察其接收器处的输入信号来设置工作模式。这被称为并行检测，它使得 KSZ9031RNX 能够通过在没有自动协商通告协议的情况下监听固定信号协议来建立链路。

自动协商链路建立过程如图 3-3 所示。

图 3-3： 自动协商流程图



1000BASE-T 模式需要自动协商，并始终使用自动协商建立链路。在 1000BASE-T 自动协商期间，首先要在链路伙伴间解析主从配置。然后通过链路伙伴之间的最高共同能力建立链路。

自动协商在上电或硬件复位后默认使能。之后，可以通过寄存器 0h Bit [12] 使能或禁止自动协商。如果禁止自动协商，则速率由寄存器 0h Bit [6， 13] 设置，双工由寄存器 0h Bit [8] 设置。

如果速率发生实时变化，则断开链路并开始自动协商和并行检测，直到为链路重新建立了 KSZ9031RNX 与其链路伙伴之间的共同速率。

如果链路已建立且在运行期间无速率变化，则除非通过寄存器 0h Bit [9] 重新启动自动协商，或发生链路断开到链路建立的转换 （即断开并重新连接电缆），否则更改 （例如，双工和暂停能力）不会生效。

自动协商完成后，链路状态在寄存器 1h Bit [2] 中更新，链路伙伴能力在寄存器 5h、 6h、 8h 和 Ah 中更新。

自动协商有限状态机使用间隔计时器来管理自动协商过程。表 3-2 总结了这些计时器在正常工作条件下的持续时间。

表 3-2： 自动协商计时器

自动协商间隔计时器	持续时间
发送突发间隔	16 ms
发送脉冲间隔	68 µs
FLP 检测最小时间	17.2 µs
FLP 检测最大时间	185 µs
接收最小突发间隔	6.8 ms
接收最大突发间隔	112 ms
数据检测最小间隔	35.4 µs
数据检测最大间隔	95 µs
NLP 测试最小间隔	4.5 ms
NLP 测试最大间隔	30 ms
链路丢失时间	52 ms
断开链路时间	1480 ms
并行检测等待时间	830 ms
链路使能等待时间	1000 ms

3.8 仅限 10/100 Mbps 速率

某些应用要求将链路建立速率仅限于 10/100 Mbps。

上电 / 复位后，通过编程以下寄存器设置， KSZ9031RNX 能够被限制为自动协商和仅限 10/100 Mbps 速率建立链路：

1. 设置寄存器 0h Bit [6] = '0' 以删除 1000 Mbps 速率。
2. 设置寄存器 9h Bit [9:8] = '00' 以删除 1000 Mbps 全 / 半双工的自动协商通告。
3. 向寄存器 0h Bit [9] （自清零位）写入 “1”，强制重新启动自动协商。

自动协商和 10BASE-T/100BASE-TX 速率只使用差分对 A （引脚 2 和 3）和 B （引脚 5 和 6）。差分对 C （引脚 7 和 8）和 D （引脚 10 和 11）可保留为无连接。

3.9 RGMII 接口

根据 RGMII 版本 2.0 规范，简化的千兆位介质独立接口 （RGMII）支持片上数据到时钟延时时序，具有用于外部延时时序和调整并修正 TX 及 RX 时序路径的编程选项。

RGMII 在 RGMII PHY 和 MAC 间提供通用接口，并具有以下主要特性：

- 引脚数从 IEEE 千兆位介质独立接口 （Gigabit Media Independent Interface， GMII）的 24 引脚减少到 RGMII 的 12 引脚。
- 半双工和全双工支持所有速率 （10 Mbps、 100 Mbps 和 1000 Mbps）。
- 数据发送和接收相互独立，隶属不同的信号组。
- 发送数据和接收数据均为四位宽 （半字节）。

在 RGMII 工作模式下， RGMII 引脚的功能如下：

- MAC 发起发送参考时钟 （Transmit Reference Clock， TCX）：1000 Mbps 为 125 MHz、 100 Mbps 为 25 MHz 以及 10 Mbps 为 2.5 MHz。
- PHY 恢复并发起接收参考时钟（Receive Reference Clock，RXC）：1000 Mbps 为 125 MHz、100 Mbps 为 25 MHz 以及 10 Mbps 为 2.5 MHz。
- 对于 1000BASE-T，发送数据 TXD[3:0] 出现在 TXC 的两个边沿，接收数据 RXD[3:0] 在恢复的 125 MHz 时钟 RXC 的两个边沿触发时钟输出。
- 对于 10BASE-T/100BASE-TX， MAC 保持 TX_CTL 为低电平，直到 PHY 和 MAC 以相同速率运行。在速率转换期

© 2016 Microchip Technology Inc.

间，接收时钟在正或负脉冲上延长，以确保不会向 MAC 提供时钟毛刺。

- TX_ER 和 RX_ER 分别与 TX_EN 和 RX_DV 组合，形成 TX_CTL 和 RX_CTL。这两个 RGMII 控制信号在时钟下降沿有效。

上电或复位后，如果 MODE[3:0] 配置引脚设置为 RGMII 模式能力选项之一，则 KSZ9031RNX 将配置为 RGMII 模式。请参见配置选项 —KSZ9031RNX 部分。

KSZ9031RNX 可以选择在 CLK125_NDO 引脚上输出 125 MHz 参考时钟。该时钟为需要 125 MHz 晶振或振荡器的 RGMII MAC 提供了一种成本更低的参考时钟替代方案。如果 CLK125_EN 配置引脚被拉至高电平，则在上电或复位后，125 MHz 时钟输出将使能。

3.9.1 RGMII 信号定义

表 3-3 介绍了 RGMII 信号。有关更多详细信息，请参见 RGMII 版本 2.0 规范。

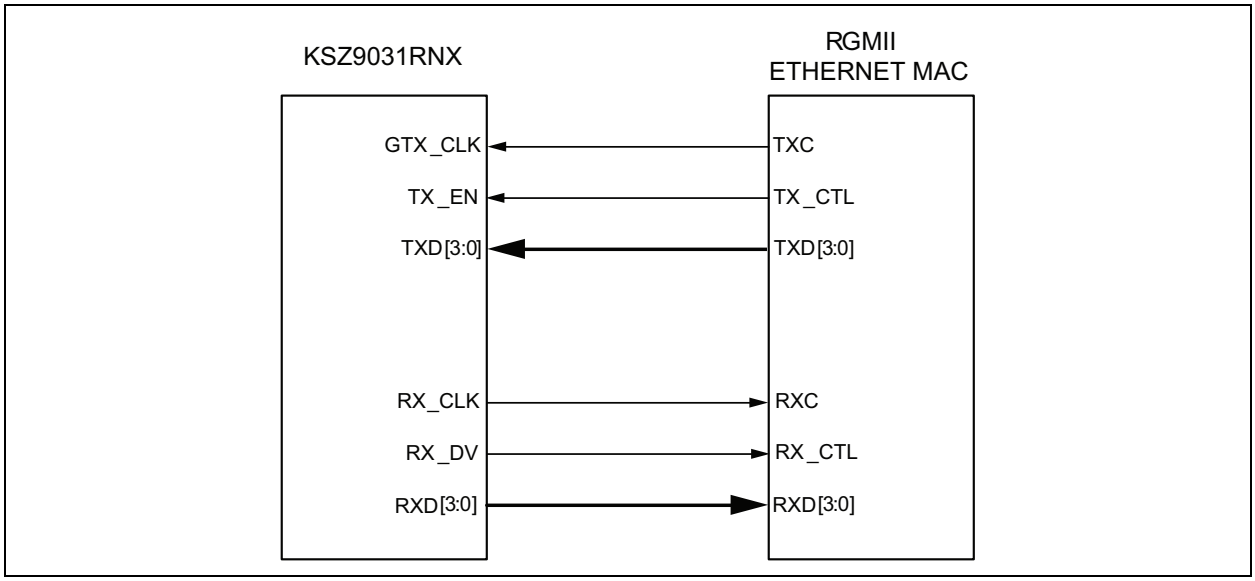
表 3-3： RGMII 信号定义

RGMII 信号名称（规范叫法）	RGMII 信号名称（KSZ9031RNX 叫法）	引脚类型（相对于 PHY）	引脚类型（相对于 MAC）	说明
TXC	GTX_CLK	输入	输出	发送参考时钟（1000 Mbps 为 125MHz，100 Mbps 为 25 MHz， 10 Mbps 为 2.5 MHz）
TX_CTL	TX_EN	输入	输出	发送控制
TXD[3:0]	TXD[3:0]	输入	输出	发送数据 [3:0]
RXC	RX_CLK	输出	输入	接收参考时钟（1000 Mbps 为 125 MHz，100 Mbps 为 25 MHz， 10 Mbps 为 2.5 MHz）
RX_CTL	RX_DV	输出	输入	接收控制
RXD[3:0]	RXD[3:0]	输出	输入	接收数据 [3:0]

3.9.2 RGMII 信号图

KSZ9031RNX RGMII 引脚到 MAC 的连接如图 3-4 所示。

图 3-4： KSZ9031RNX RGMII 接口



3.9.3 RGMII 填充偏斜寄存器

填充偏斜寄存器适用于所有 RGMII 引脚 （时钟、控制信号和数据位），以提供编程选项来调整或修正每个 RGMII 引脚的时序关系。 RGMII 是源同步总线接口，因此只需在 RGMII 引脚的相应时序组内维持时序关系。

- RGMII 发送时序组引脚：GTX_CLK， TX_EN， TXD[3:0]
- RGMII 接收时序组引脚：RX_CLK， RX_DV， RXD[3:0]

表 3-4 详细介绍了位于 MMD 地址 2h 处的用于填充偏斜编程的四个寄存器。

表 3-4： RGMII 填充偏斜寄存器

地址	名称	说明	模式	默认值
MMD 地址 2h，寄存器 4h—RGMII 控制信号填充偏斜				
2.4.15:8	保留	保留	RW	0000_0000
2.4.7:4	RX_DV 填充偏斜	RGMII RX_CTL 输出填充偏斜控制（0.06 ns/ 阶跃）	RW	0111
2.4.3:0	TX_EN 填充偏斜	RGMII TX_CTL 输入填充偏斜控制（0.06 ns/ 阶跃）	RW	0111
MMD 地址 2h，寄存器 5h—RGMII RX 数据填充偏斜				
2.5.15:12	RXD3 填充偏斜	RGMII RXD3 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.5.11:8	RXD2 填充偏斜	RGMII RXD2 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.5.7:4	RXD1 填充偏斜	RGMII RXD1 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.5.3:0	RXD0 填充偏斜	RGMII RXD0 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
MMD 地址 2h，寄存器 6h—RGMII TX 数据填充偏斜				
2.6.15:12	TXD3 填充偏斜	RGMII TXD3 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.6.11:8	TXD2 填充偏斜	RGMII TXD2 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.6.7:4	TXD1 填充偏斜	RGMII TXD1 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.6.3:0	TXD0 填充偏斜	RGMII TXD0 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
MMD 地址 2h，寄存器 8h—RGMII 时钟填充偏斜				
2.8.15:10	保留	保留	RW	0000_00
2.8.9:5	GTX_CLK 填充偏斜	RGMII GTX_CLK 输入填充偏斜控制（0.06 ns/ 阶跃）	RW	01_111
2.8.4:0	RX_CLK 填充偏斜	RGMII RX_CLK 输出填充偏斜控制（0.06 ns/ 阶跃）	RW	0_1111

RGMII 控制信号和数据位具有 4 位偏斜设置，而 RGMII 时钟具有 5 位偏斜设置。

每个寄存器位约为 0.06 ns 的阶跃变化。单个位递减使延时减小约 0.06 ns，单个位递增使延时增大约 0.06 ns。

表 3-5 和表 3-6 列出了每个填充偏斜 （值）设置的近似绝对延时。

© 2016 Microchip Technology Inc.

表 **3-5：** **5** 位填充偏斜设置的绝对延时

填充偏斜值	延时 （ns）
0_0000	–0.90
0_0001	–0.84
0_0010	–0.78
0_0011	–0.72
0_0100	–0.66
0_0101	–0.60
0_0110	–0.54
0_0111	–0.48
0_1000	–0.42
0_1001	–0.36
0_1010	–0.30
0_1011	–0.24
0_1100	–0.18
0_1101	–0.12
0_1110	–0.06
0_1111	无延时调整 （默认值）
1_0000	+0.06
1_0001	+0.12
1_0010	+0.18
1_0011	+0.24
1_0100	+0.30
1_0101	+0.36
1_0110	+0.42
1_0111	+0.48
1_1000	+0.54
1_1001	+0.60
1_1010	+0.66
1_1011	+0.72
1_1100	+0.78
1_1101	+0.84
1_1110	+0.90
1_1111	+0.96

© 2016 Microchip Technology Inc.

表 3-6： 4 位填充偏斜设置的绝对延时

填充偏斜值	延时 （ns）
0000	–0.42
0001	–0.36
0010	–0.30
0011	–0.24
0100	–0.18
0101	–0.12
0110	–0.06
0111	无延时调整 （默认值）
1000	+0.06
1001	+0.12
1010	+0.18
1011	+0.24
1100	+0.30
1101	+0.36
1110	+0.42
1111	+0.48

在计算 RGMII 时序关系时，必须聚合沿整个数据路径的延时，以确定用于在其相应时序组内的 RGMII 引脚之间进行比较的总延时。对于发送数据路径，总延时包括 MAC 输出延时、 MAC 到 PHY PCB 路由延时和 PHY （KSZ9031RNX）输入延时及偏斜设置 （若有）。对于接收数据路径，总延时包括 PHY （KSZ9031RNX）输出延时、 PHY 到 MAC PCB 路由延时和 MAC 输入延时及偏斜设置 （若有）。

作为默认值，在上电或复位后，KSZ9031RNX RGMII时序符合RGMII版本2.0规范中对于内部PHY芯片延时的时序要求。

对于发送路径（MAC 到 KSZ9031RNX），KSZ9031RNX 不在其 GTX_CLK、TX_EN 和 TXD[3:0] 输入引脚处本地添加任何延时，并期望由 MAC 在芯片上提供 GTX_CLK 延时。如果 MAC 不为 GTX_CLK 提供任何延时或提供的延时不足，则 KSZ9031RNX 具有可提供高达 1.38 ns 片上延时的填充偏斜寄存器。

对于接收路径（KSZ9031RNX 到 MAC），KSZ9031RNX 相对于 RX_DV 和 RXD[3:0] 输出引脚向 RX_CLK 输出引脚添加 1.2ns 的典型延时。如有必要， KSZ9031RNX 具有填充偏斜寄存器，可将 RX_CLK 片上延时从 1.2 ns 的默认延时调整到最多 2.58 ns。

上述默认 RGMII 时序意味着：

- RX_CLK 时钟偏斜由 KSZ9031RNX 默认寄存器设定设置。
- GTX_CLK 时钟偏斜由 MAC 提供。
- GTX_CLK 和 RX_CLK 时钟不需要 PCB 延时。

以下示例说明如何读取 / 写入 MMD 地址 2h 寄存器 8h 来设定 RGMII GTX_CLK 和 RX_CLK 的偏斜设置。可通过直接门户寄存器 Dh 和 Eh 访问 MMD 寄存器。有关更多编程详细信息，请参见 MMD 寄存器部分。

- 读回 MMD 地址 2h 寄存器 8h 的值。
  - 写寄存器 0xD = 0x0002 // 选择 MMD 器件地址 2h
  - 写寄存器 0xE = 0x0008 // 选择 MMD 器件地址 2h 的寄存器 8h
  - 写寄存器 0xD = 0x4002 // 选择 MMD 器件地址 2h 寄存器 8h 的寄存器数据
  - 读寄存器 0xE // 读取 MMD 器件地址 2h 寄存器 8h 的值

© 2016 Microchip Technology Inc.

- 将值 0x03FF （延时 GTX_CLK 和 RX_CLK 填充偏斜到其最大值）写入 MMD 地址 2h 寄存器 8h
  - 写寄存器 0xD = 0x0002 // 选择 MMD 器件地址 2h
  - 写寄存器 0xE = 0x0008 // 选择 MMD 器件地址 2h 的寄存器 8h
  - 写寄存器 0xD = 0x4002 // 选择 MMD 器件地址 2h 寄存器 8h 的寄存器数据
  - 写寄存器 0xE = 0x03FF // 将值 0x03FF 写入 MMD 器件地址 2h 寄存器 8h

3.9.4 RGMII 带内状态

当 RX_DV 无效时， KSZ9031RNX 在帧间隔向 MAC 提供带内状态。 RGMII 带内状态在上电后始终使能。

带内状态通过 RXD[3:0] 数据引脚发送到 MAC，如表 3-7 中所述。

表 3-7： RGMII 带内状态

RX_DV	RXD3	RXD[2:1]	RXD0
0 （仅当 RX_DV 为低电平时有效）	双工状态 0 = 半双工 1 = 全双工	RX_CLK 时钟速度 00 = 2.5 MHz （10 Mbps） 01 = 25 MHz （100 Mbps） 10 = 125 MHz （1000 Mbps） 11 = 保留	链路状态 0 = 链路断开 1 = 链路建立

3.10 MII 管理 （MII Management， MIIM）接口

KSZ9031RNX 支持 IEEE 802.3 MII 管理接口，也称为管理数据输入 / 输出（Management Data Input/ Output，MDIO）接口。该接口使得上层器件能够监控和控制 KSZ9031RNX 的状态。可以使用具有 MIIM 功能的外部器件读取 PHY 状态和 / 或配置 PHY 设置。有关 MIIM 接口的更多详细信息，请参见 IEEE 802.3 规范的第 22.2.4 条规定。

MIIM 接口包含以下内容：

- 集成时钟线 （MDC）和数据线 （MDIO）的物理连接。
- 在上文提到的物理连接上运行的特定协议，它允许外部控制器与一个或多个KSZ9031RNX器件通信。每个KSZ9031RNX器件通过 PHYAD[2:0] 配置引脚在 0h 和 7h 之间分配唯一的 PHY 地址。
- 32 位寄存器地址空间，用于直接访问 IEEE 定义的寄存器和供应商特有的寄存器，以及用于间接访问 MMD 地址和寄存器。请参见寄存器映射部分。

仅支持 PHY 地址 0h 作为唯一 PHY 地址；不支持 PHY 地址 0h 作为广播 PHY 地址，后者允许通过单个写入命令同时对两个或更多的 PHY 器件的相同 PHY 寄存器进行编程 （例如，使用 PHY 地址 0h 将寄存器 0h 设置为值 0x1940 可将 Bit [11] 设置为值 1，以使能软件掉电）。但可以使用单独的写入命令对每个 PHY 器件进行编程。

表 3-8 显示了 KSZ9031RNX 的 MII 管理帧格式。

表 3-8： KSZ9031RNX 的 MII 管理帧格式

	前导码	帧起始	读 / 写 操作码	PHY 地址 位 [4:0]	REG 地址 位 [4:0]	TA	数据位 [15:0]	空闲
读取	32 1’s	01	10	00AAA	RRRRR	Z0	DDDDDDDD_DDDDDDDD	Z
写入	32 1’s	01	01	00AAA	RRRRR	10	DDDDDDDD_DDDDDDDD	Z

3.11 中断 （INT_N）

INT_N 引脚是一种可选的中断信号，用于通知外部控制器 KSZ9031RNX PHY 寄存器中存在状态更新。寄存器 1Bh 的 Bit [15:8] 是中断控制位，用于使能和禁止使 INT_N 信号有效的条件。寄存器 1Bh 的 Bit [7:0] 是中断状态位，用于指示发生了哪些中断条件。读取寄存器 1Bh 后，中断状态位清零。

寄存器 1Fh 的 Bit [14] 将中断电平设置为高电平有效或低电平有效。默认值为低电平有效。

MII 管理总线选项使 MAC 处理器能够完全访问 KSZ9031RNX 控制和状态寄存器。此外，中断引脚消除了处理器轮询 PHY 状态变化的需要。

3.12 LED 模式

KSZ9031RNX 提供了两个可编程 LED 输出引脚 LED2 和 LED1，它们可配置为支持两种 LED 模式。LED 模式由 LED_MODE 配置引脚 （引脚 41）配置。它在上电 / 复位时锁存，定义如下：

- 上拉：单 LED 模式
- 下拉：三色双 LED 模式

每个 LED 输出引脚可直接驱动带串联电阻 （通常为 220Ω 至 470Ω）的 LED。

3.12.1 单 LED 模式

在单 LED 模式下， LED2 引脚指示链路状态， LED1 引脚指示活动状态，如表 3-9 所示。

表 3-9： 单 LED 模式 — 引脚定义

LED 引脚	引脚状态	LED 定义	链路 / 活动
LED2	H	关闭	链路关闭
	L	开启	链路开启 （任意速率）
LED1	H	关闭	无活动
	切换	闪烁	活动 （RX， TX）

3.12.2 三色双 LED 模式

在三色双 LED 模式下：对于 1000BASE-T，链路和活动状态由 LED2 引脚指示；对于 100BASE-TX，由 LED1 引脚指示；对于 10BASE-T，由 LED2 和 LED1 引脚共同指示。表 3-10 对此作了总结。

表 3-10： 三色双 LED 模式 — 引脚定义

LED 引脚 （状态）		LED 引脚 （定义）		链路 / 活动
LED2	LED1	LED2	LED1	
H	H	关闭	关闭	链路关闭
L	H	开启	关闭	1000 链路 / 无活动
切换	H	闪烁	关闭	1000 链路 / 活动 （RX， TX）
H	L	关闭	开启	100 链路 / 无活动
H	切换	关闭	闪烁	100 链路 / 活动 （RX， TX）
L	L	开启	开启	10 链路 / 无活动
切换	切换	闪烁	闪烁	10 链路 / 活动 （RX， TX）

© 2016 Microchip Technology Inc.

3.13 环回模式

KSZ9031RNX 支持以下环回操作，以验证模拟和 / 或数字数据路径。

- 本地 （数字）环回
- 远程 （模拟）环回

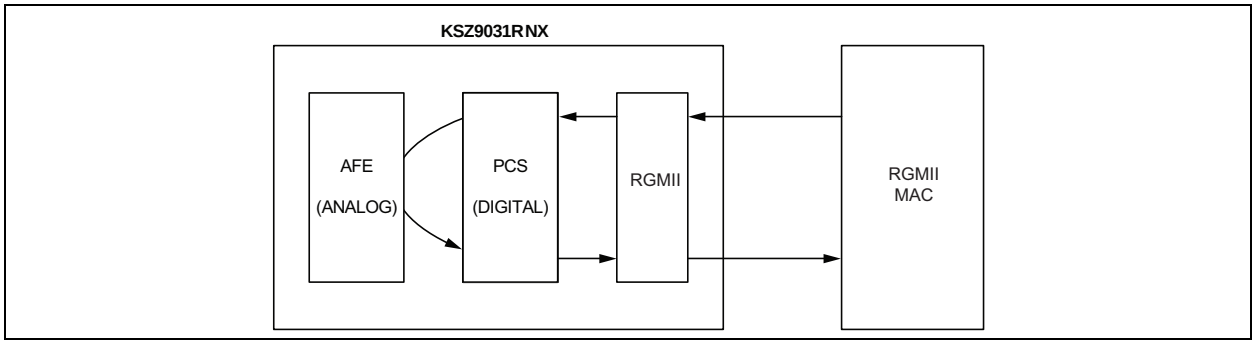
3.13.1 本地 （数字）环回

该环回模式检查 KSZ9031RNX 与外部 MAC 之间的 RGMII 发送和接收数据路径，并在全双工时支持所有三种速率（10/100/1000 Mbps）。

环回数据路径如图 3-5 所示。

1. RGMII MAC 将帧传输到 KSZ9031RNX。
2. 帧在 KSZ9031RNX 内进行封装。
3. KSZ9031RNX 将帧发送回 RGMII MAC。

图 3-5： 本地 （数字）环回



以下编程步骤和寄存器设置用于本地环回模式。

对于 1000 Mbps 环回，

1. 设置寄存器 0h，
   - Bit [14] = 1 // 使能本地环回模式
   - Bit [6， 13] = 10 // 选择 1000 Mbps 速率
   - Bit [12] = 0 // 禁止自动协商
   - Bit [8] = 1 // 选择全双工模式
2. 设置寄存器 9h，
   - Bit [12] = 1 // 使能主从手动配置
   - Bit [11] = 0 // 选择从配置 （环回模式必需）

对于 10/100 Mbps 环回，

1. 设置寄存器 0h，
   - Bit [14] = 1 // 使能本地环回模式
   - Bit [6， 13] = 00/01 // 选择 10 Mbps/100 Mbps 速率
   - Bit [12] = 0 // 禁止自动协商
   - Bit [8] = 1 // 选择全双工模式

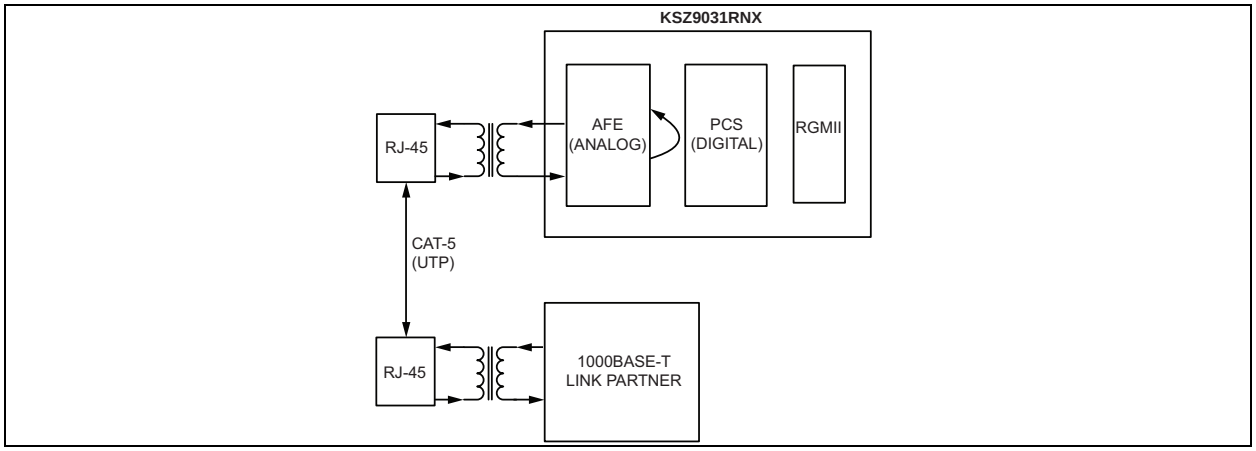
3.13.2 远程 （模拟）环回

该环回模式检查 KSZ9031RNX 与其链路伙伴之间的线路 （差分对、变压器、 RJ-45 连接器和以太网电缆）发送和接收数据路径，并且只支持 1000BASE-T 全双工模式。

环回数据路径如图 3-6 所示。

1. 千兆 PHY 链路伙伴将帧发送到 KSZ9031RNX。
2. 帧在 KSZ9031RNX 内进行封装。
3. KSZ9031RNX 将帧发送回千兆 PHY 链路伙伴。

图 3-6： 远程 （模拟）环回



以下编程步骤和寄存器设置用于远程环回模式。

1. 设置寄存器 0h，
   - Bit [6， 13] = 10 // 选择 1000 Mbps 速率
   - Bit [12] = 0 // 禁止自动协商
   - Bit [8] = 1 // 选择全双工模式

   或只自动协商并以 1000BASE-T 全双工模式与链路伙伴建立链路。
2. 设置寄存器 11h，
   - Bit [8] = 1 // 使能远程环回模式

3.14 LinkMD® 电缆诊断

LinkMD 功能使用时域反射法（Time Domain Reflectometry， TDR）来分析布线厂的常见布线问题，如开路、短路和阻抗不匹配。

LinkMD 通过沿所选差分对发送已知幅度和持续时间的脉冲来工作，然后分析反射信号的极性和形状来确定故障类型：正 / 非反相振幅反射表示开路，负 / 反相振幅反射表示短路。反射信号返回的持续时间提供了到布线故障的大概距离。LinkMD 功能可处理该 TDR 信息，并将其显示为可转换为电缆距离的数值。

可通过访问寄存器 12h、 LinkMD 电缆诊断寄存器以及寄存器 1Ch 和自动 MDI/MDI-X 寄存器来启动 LinkMD。在运行 LinkMD 测试前，需要使用后一个寄存器来禁止自动 MDI/MDI-X 功能。此外，应在运行 LinkMD 测试前后执行软件复位（寄存 0h Bit [15] = 1）。复位有助于确保 KSZ9031RNX 在测试前后处于正常工作状态。

3.15 NAND 树支持

KSZ9031RNX 提供参数化 NAND 树支持，以用于芯片 I/O 和电路板之间的故障检测。当 MODE[3:0] 配置引脚设置为“0100”时，上电 / 复位时将使能 NAND 树模式。表 3-11 列出了 NAND 树引脚顺序。

表 3-11： KSZ9031RNX NAND 树测试引脚顺序

引脚	说明
LED2	输入
LED1/PME_N1	输入
TXD0	输入
TXD1	输入
TXD2	输入
TXD3	输入

© 2016 Microchip Technology Inc.

表 3-11： KSZ9031RNX NAND 树测试引脚顺序 （续）

引脚	说明
GTX_CLK	输入
TX_EN	输入
RX_DV	输入
RX_CLK	输入
INT_/PME_N2	输入
MDC	输入
MDIO	输入
CLK125_NDO	输出

3.16 电源管理

KSZ9031RNX 集成了多种电源管理模式和功能，提供了多种减少能耗的方法。我们将在以下部分中讨论这些内容。

3.16.1 能量检测掉电模式

能量检测掉电（Energy-Detect Power-down，EDPD）模式用于在电缆拔出时进一步降低收发器的功耗。可通过向 MMD 地址 1Ch 寄存器 23h Bit [0] 写入 1 来使能该模式，其在自动协商模式使能且电缆断开 （无链路）时有效。

在 EDPD 模式下， KSZ9031RNX 会关闭除发射器和能量检测电路以外的所有收发器模块。通过延长用于检查链路伙伴是否存在的链路脉冲传输之间的时间间隔，可进一步降低功率。需要定期发送链路脉冲，以确保 KSZ9031RNX 及其链路伙伴在禁止自动 MDI/MDI-X 的情况下以相同的低功耗状态运行，并能够在它们之间连接上电缆时唤醒。默认情况下，EDPD 模式在上电后禁止。

3.16.2 软件掉电模式

该模式用于在上电后不使用时关闭 KSZ9031RNX 器件的电源。可通过向寄存器 0h Bit [11] 写入 1 来使能软件掉电（Software Power-Down， SPD）模式。在 SPD 状态下， KSZ9031RNX 会禁止除 MII 管理接口以外的所有内部功能。在向寄存器 0h Bit [11] 写入 0 之后， KSZ9031RNX 退出 SPD 状态。

3.16.3 芯片掉电模式

当 KSZ9031RNX 器件安装在电路板上但未使用时，该模式可为其提供最低功耗状态。当 MODE[3:0] 配置引脚设置为“0111”时，上电 / 复位后将使能芯片掉电（Chip Power-Down，CPD）模式。在将 MODE[3:0] 配置引脚设置为除 CPD 以外的工作模式下，将 RESET_N 引脚 （引脚 42）进行硬件复位，即可令 KSZ9031RNX 退出 CPD 模式。

3.17 局域网唤醒

局域网唤醒 （Wake-On-LAN， WOL）通常是基于 MAC 的功能，用于唤醒处于待机功率模式的主机系统 （如 PC 等以太网终端设备）。通过接收和检测由远程链路伙伴发送的特殊数据包 （通常称为 “魔术数据包”）来触发唤醒。如果将 KSZ9031RNX 的关联 MAC 器件的 MAC 地址输入到用于检测魔术数据包的 KSZ9031RNX PHY 寄存器中，则 KSZ9031RNX 可以执行相同的 WOL 功能。当 KSZ9031RNX 检测到魔术数据包时，它通过将其电源管理事件 （Power Management Event， PME）输出引脚驱动为低电平来唤醒主机。

默认情况下， WOL 功能被禁止。通过设置使能位和配置所选 PME 唤醒检测方法的相关寄存器来使能。

KSZ9031RNX 提供三种触发 PME 唤醒的方法：

- 魔术数据包检测
- 定制数据包检测
- 链路状态变化检测

3.17.1 魔术数据包检测

魔术数据包帧格式以 6 个字节的 0xFFh 开头，然后是其关联的 MAC 器件（本地 MAC 器件）的 MAC 地址（重复 16 次）。

当从其链路伙伴检测到魔术数据包时， KSZ9031RNX 将其 PME 输出引脚置为低电平。

提供以下 MMD 地址 2h 寄存器用于魔术数据包检测：

- 通过向 MMD 地址 2h 寄存器 10h Bit [6] 写入 “1” 来使能魔术数据包检测
- 将本地 MAC 器件的 MAC 地址写入并存储在 MMD 地址 2h 寄存器 11h-13h 中

KSZ9031RNX 不生成魔术数据包。魔术数据包必须由外部系统提供。

3.17.2 定制数据包检测

定制数据包具有相关联的寄存器 / 位掩码，用以选择在 CRC 计算中使用数据包前 64 个字节中的哪个或哪些字节。从链路伙伴处收到数据包后， KSZ9031RNX 使用所接收数据包的选定字节计算 CRC。将计算出的 CRC 与预先写入并存储在 KSZ9031RNX PHY 寄存器中的预期 CRC 值进行比较。如果匹配，则 KSZ9031RNX 将其 PME 输出引脚置为低电平。

提供四种定制数据包，以支持四种类型的唤醒情形。使用专用寄存器组来配置和使能各个定制数据包。

KSZ9031RNX 提供以下 MMD 寄存器来进行定制数据包检测：

- 四种定制数据包均通过 MMD 地址 2h 寄存器 10h 使能，
  - Bit [2] // 用于定制数据包， 0 类
  - Bit [3] // 用于定制数据包， 1 类
  - Bit [4] // 用于定制数据包， 2 类
  - Bit [5] // 用于定制数据包， 3 类
- 将 32 位的预期 CRC 写入并存储在以下位置：
  - MMD 地址 2h 寄存器 14h-15h // 用于定制数据包， 0 类
  - MMD 地址 2h 寄存器 16h-17h // 用于定制数据包， 1 类
  - MMD 地址 2h 寄存器 18h-19h // 用于定制数据包， 2 类
  - MMD 地址 2h 寄存器 1Ah-1Bh // 用于定制数据包， 3 类
- 用于指示在 CRC 计算中使用前 64 个字节中的哪一个的掩码在以下位置设置：
  - MMD 地址 2h 寄存器 1Ch-1Fh // 用于定制数据包， 0 类
  - MMD 地址 2h 寄存器 20h-23h // 用于定制数据包， 1 类
  - MMD 地址 2h 寄存器 24h-27h // 用于定制数据包， 2 类
  - MMD 地址 2h 寄存器 28h-2Bh // 用于定制数据包， 3 类

© 2016 Microchip Technology Inc.

3.17.3 链路状态变化检测

如果使能链路状态变化检测，则只要出现使用以下 MMD 地址 2h 寄存器位及其使能 （1）或禁止 （0）设置的链路状态改变， KSZ9031RNX 就会将其 PME 输出引脚置为低电平：

- MMD 地址 2h 寄存器 10h Bit [0] // 用于链路建立检测
- MMD 地址 2h 寄存器 10h Bit [1] // 用于链路断开检测

PME 输出信号在 LED1/PME_N1 （引脚 17）或 INT_N/PME_N2 （引脚 38）上可用，分别使用 MMD 地址 2h 寄存器 2h Bit [8] 和 [10] 选择和使能。此外， MMD 地址 2h 寄存器 10h Bit [15:14] 定义了引脚 17 和 38 的输出功能。

PME 输出为低电平有效，需要 1 kΩ 上拉至 VDDIO 电源。置位时，通过禁止使能 PME 触发源 （魔术数据包、定制数据包和链路状态变化）的寄存器位来清零 PME 输出。

3.18 典型电流 / 功耗

表 3-12、表 3-13、表 3-14 和表 3-15 显示了内核 （DVDDL、 AVDDL 和 AVDDL_PLL）、收发器 （AVDDH）和数字 I/O （DVDDH）电源引脚的典型电流消耗，以及整个 KSZ9031RNX 器件在各种标称工作电压组合下的典型总功耗。

表 3-12： 典型电流 / 功耗收发器 （3.3V），数字 I/O （3.3V）

条件	1.2V 内核 （DVDDL， AVDDL， AVDDL_PLL）	3.3V 收发器 （AVDDH）	3.3V 数字 I/O （DVDDH）	芯片 总功耗
1000BASE-T 链路建立 （无流量）	210 mA	67.4 mA	19.5 mA	538 mW
1000BASE-T 全双工 （100% 利用率）	221 mA	66.3 mA	41.5 mA	621 mW
100BASE-TX 链路建立 （无流量）	63.6 mA	28.7 mA	13.9 mA	217 mW
100BASE-TX 全双工 （100% 利用率）	63.8 mA	28.6 mA	17.2 mA	228 mW
10BASE-T 链路建立 （无流量）	7.1 mA	15.9 mA	11.5 mA	99 mW
10BASE-T 全双工 （100% 利用率）	7.7 mA	28.6 mA	13.7 mA	149 mW
软件掉电模式 （寄存器 0h.11 = 1）	1.0 mA	4.2 mA	9.3 mA	46 mW

表 3-13： 典型电流 / 功耗收发器 （3.3V），数字 I/O （1.8V）

条件	1.2V 内核 （DVDDL， AVDDL， AVDDL_PLL）	3.3V 收发器 （AVDDH）	1.8V 数字 I/O （DVDDH）	芯片 总功耗
1000BASE-T 链路建立 （无流量）	210 mA	67.4 mA	11.2 mA	494 mW
1000BASE-T 全双工 （100% 利用率）	221 mA	66.3 mA	23.6 mA	526 mW
100BASE-TX 链路建立 （无流量）	63.6 mA	28.7 mA	8.4 mA	186 mW
100BASE-TX 全双工 （100% 利用率）	63.8 mA	28.6 mA	9.8 mA	189 mW
10BASE-T 链路建立 （无流量）	7.1 mA	15.9 mA	3.6 mA	67 mW
10BASE-T 全双工 （100% 利用率）	7.7 mA	28.6 mA	5.6 mA	114 mW
软件掉电模式 （寄存器 0h.11 = 1）	1.0 mA	4.2 mA	5.5 mA	25 mW

© 2016 Microchip Technology Inc.

表 3-14： 典型电流 / 功耗收发器 （2.5V ；注 3-1），数字 I/O （2.5V）

条件	1.2V 内核（DVDDL，AVDDL，AVDDL_PLL）	2.5V 收发器（AVDDH）	2.5V 数字 I/O（DVDDH）	芯片总功耗
1000BASE-T 链路建立 （无流量）	210 mA	58.8 mA	14.7 mA	435 mW
1000BASE-T 全双工 （100% 利用率）	221 mA	57.9 mA	31.5 mA	488 mW
100BASE-TX 链路建立 （无流量）	63.6 mA	24.9 mA	10.5 mA	165 mW
100BASE-TX 全双工 （100% 利用率）	63.8 mA	24.9 mA	13.0 mA	171 mW
10BASE-T 链路建立 （无流量）	7.1 mA	11.5 mA	6.3 mA	53 mW
10BASE-T 全双工 （100% 利用率）	7.7 mA	25.3 mA	9.0 mA	95 mW
软件掉电模式 （寄存器 0h.11 = 1）	1.0 mA	3.1 mA	6.7 mA	26 mW

注 3-1 2.5V AVDDH 只适合在商业级温度范围 （0°C 至 + 70°C）下工作。

表 3-15： 典型电流 / 功耗收发器 （2.5V ；注 3-2），数字 I/O （1.8V）

条件	1.2V 内核（DVDDL，AVDDL，AVDDL_PLL）	2.5V 收发器（AVDDH）	1.8V 数字 I/O（DVDDH）	芯片总功耗
1000BASE-T 链路建立 （无流量）	210 mA	58.8 mA	11.2 mA	419 mW
1000BASE-T 全双工 （100% 利用率）	221 mA	57.9 mA	23.6 mA	452 mW
100BASE-TX 链路建立 （无流量）	63.6 mA	24.9 mA	8.4 mA	154 mW
100BASE-TX 全双工 （100% 利用率）	63.8 mA	24.9 mA	9.8 mA	156 mW
10BASE-T 链路建立 （无流量）	7.1 mA	11.5 mA	3.6 mA	44 mW
10BASE-T 全双工 （100% 利用率）	7.7 mA	25.3 mA	5.6 mA	83 mW
软件掉电模式 （寄存器 0h.11 = 1）	1.0 mA	3.1 mA	5.5 mA	19 mW

注 3-2 2.5V AVDDH 只适合在商业级温度范围 （0°C 至 + 70°C）下工作。

© 2016 Microchip Technology Inc.

4.0 寄存器说明

本章介绍各种控制和状态寄存器 （control and status register， CSR）。

4.1 寄存器映射

KSZ9031RNX 中的寄存器空间由两个不同的区域组成。

- 标准寄存器 // 直接寄存器访问
- MDIO 可管理器件 （MDIO Manageable device， MMD）寄存器 // 间接寄存器访问

KSZ9031RNX 支持以下标准寄存器。

表 4-1： KSZ9031RNX 支持的标准寄存器

寄存器编号 （十六进制）	说明
IEEE 定义寄存器	
0h	基本控制
1h	基本状态
2h	PHY 标识符 1
3h	PHY 标识符 2
4h	自动协商通告
5h	自动协商链路伙伴能力
6h	自动协商扩展
7h	自动协商下一页
8h	自动协商链路伙伴下一页能力
9h	1000BASE-T 控制
Ah	1000BASE-T 状态
Bh - Ch	保留
Dh	MMD 访问 — 控制
Eh	MMD 访问 — 寄存器 / 数据
Fh	扩展状态
供应商特定寄存器	
10h	保留
11h	远程环回
12h	LinkMD 电缆诊断
13h	数字 PMA/PCS 状态
14h	保留
15h	RXER 计数器
16h - 1Ah	保留
1Bh	中断控制 / 状态
1Ch	自动 MDI/MDI-X
1Dh - 1Eh	保留
1Fh	PHY 控制

KSZ9031RNX 支持以下 MMD 器件地址及其相关的寄存器地址，它们组成了间接 MMD 寄存器。这些内容可参见表 4-2。

表 4-2： KSZ9031RNX 支持的 MMD 寄存器

器件地址 （十六进制）	寄存器地址 （十六进制）	说明
0h	3h	AN FLP 突发发送 —LO
	4h	AN FLP 突发发送 —HI
1h	5Ah	1000BASE-T 链路建立时间控制
2h	0h	公共控制
	1h	配置状态
	2h	工作模式配置改写
	3h	工作模式配置状态
	4h	RGMII 控制信号填充偏斜
	5h	RGMII RX 数据填充偏斜
	6h	RGMII TX 数据填充偏斜
	8h	GMII 时钟填充偏斜
	10h	局域网唤醒 — 控制
	11h	局域网唤醒 — 魔术数据包， MAC-DA-0
	12h	局域网唤醒 — 魔术数据包， MAC-DA-1
	13h	局域网唤醒 — 魔术数据包， MAC-DA-2
	14h	局域网唤醒 — 定制数据包， 0 类，预期 CRC 0
	15h	局域网唤醒 — 定制数据包， 0 类，预期 CRC 1
	16h	局域网唤醒 — 定制数据包， 1 类，预期 CRC 0
	17h	局域网唤醒 — 定制数据包， 1 类，预期 CRC 1
	18h	局域网唤醒 — 定制数据包， 2 类，预期 CRC 0
	19h	局域网唤醒 — 定制数据包， 2 类，预期 CRC 1
	1Ah	局域网唤醒 — 定制数据包， 3 类，预期 CRC 0
	1Bh	局域网唤醒 — 定制数据包， 3 类，预期 CRC 1
	1Ch	局域网唤醒 — 定制数据包， 0 类，掩码 0
	1Dh	局域网唤醒 — 定制数据包， 0 类，掩码 1
	1Eh	局域网唤醒 — 定制数据包， 0 类，掩码 2
	1Fh	局域网唤醒 — 定制数据包， 0 类，掩码 3
	20h	局域网唤醒 — 定制数据包， 1 类，掩码 0
	21h	局域网唤醒 — 定制数据包， 1 类，掩码 1
	22h	局域网唤醒 — 定制数据包， 1 类，掩码 2
	23h	局域网唤醒 — 定制数据包， 1 类，掩码 3

© 2016 Microchip Technology Inc.

表 4-2： KSZ9031RNX 支持的 MMD 寄存器 （续）

器件地址 （十六进制）	寄存器地址 （十六进制）	说明
2h	24h	局域网唤醒 — 定制数据包， 2 类，掩码 0
	25h	局域网唤醒 — 定制数据包， 2 类，掩码 1
	26h	局域网唤醒 — 定制数据包， 2 类，掩码 2
	27h	局域网唤醒 — 定制数据包， 2 类，掩码 3
	28h	局域网唤醒 — 定制数据包， 3 类，掩码 0
	29h	局域网唤醒 — 定制数据包， 3 类，掩码 1
	2Ah	局域网唤醒 — 定制数据包， 3 类，掩码 2
	2Bh	局域网唤醒 — 定制数据包， 3 类，掩码 3
1Ch	4h	模拟控制 4
	23h	EDPD 控制

4.2 标准寄存器

标准寄存器提供对 32 个寄存器地址空间的直接读 / 写访问，定义参见 IEEE 802.3 规范第 22 条。在该地址空间内，前 16 个寄存器 （寄存器 0h 至 Fh）根据 IEEE 规范定义，其余 16 个寄存器 （寄存器 10h 至 1Fh）由 PHY 供应商定义。

表 4-3： IEEE 定义寄存器说明

地址	名称	说明	模式 注 4-1	默认值
寄存器 0h— 基本控制				
0.15	复位	1 = 软件 PHY 复位 0 = 正常工作 该位在写入 “1” 后自动清零。	RW/SC	0
0.14	环回	1 = 环回模式 0 = 正常工作	RW	0
0.13	速率选择 （LSB）	[0.6, 0.13] [1,1] = 保留 [1,0] = 1000 Mbps [0,1] = 100 Mbps [0,0] = 10 Mbps 如果使能自动协商（寄存器 0.12 = 1），则忽略该位。	RW	0
0.12	自动协商使能	1 = 使能自动协商过程 0 = 禁止自动协商过程 如果使能，自动协商结果将改写寄存器 0.13、0.8 和 0.6 中的设置。 如果禁止，自动 MDI-X 也会自动禁止。使用寄存器 1Ch 设置 MDI/MDI-X。	RW	1
0.11	掉电	1 = 掉电模式 0 = 正常工作 当该位设置为 “1” 时，可能不会在 PHY 寄存器中更新链路断开状态。软件应注意链路是否断开，而不应依赖 PHY 寄存器链路状态。 该位从 “1” 更改为 “0” 后，会自动产生内部全局复位。在对 PHY 寄存器进行读 / 写访问之前，至少等待 1 ms。	RW	0

表 4-3： IEEE 定义寄存器说明 （续）

地址	名称	说明	模式 注 4-1	默认值
0.10	隔离	1 = PHY 与 RGMII 的电气隔离 0 = 正常工作	RW	0
0.9	重新启动自动协商	1 = 重新启动自动协商过程 0 = 正常工作 该位在写入 “1” 后自动清零。	RW/SC	0
0.8	双工模式	1 = 全双工 0 = 半双工	RW	1
0.7	保留	保留	RW	0
0.6	速率选择（MSB）	[0.6, 0.13] [1,1] = 保留 [1,0] = 1000 Mbps [0,1] = 100 Mbps [0,0] = 10 Mbps 如果使能自动协商（寄存器 0.12 = 1），则忽略该位。	RW	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
0.5:0	保留	保留	RO	00_0000
寄存器 1h— 基本状态				
1.15	100BASE-T4	1 = 能 T4 0 = 不能 T4	RO	0
1.14	100BASE-TX 全双工	1 = 能 100 Mbps 全双工 0 = 不能 100 Mbps 全双工	RO	1
1.13	100BASE-TX 半双工	1 = 能 100 Mbps 半双工 0 = 不能 100 Mbps 半双工	RO	1
1.12	10BASE-T 全双工	1 = 能 10 Mbps 全双工 0 = 不能 10 Mbps 全双工	RO	1
1.11	10BASE-T 半双工	1 = 能 10 Mbps 半双工 0 = 不能 10 Mbps 半双工	RO	1
1.10:9	保留	保留	RO	00
1.8	扩展状态	1 = 寄存器 15h 中包含扩展状态信息。 0 = 寄存器 15h 中不包含扩展状态信息。	RO	1
1.7	保留	保留	RO	0
1.6	无前导码	1 = 前导码抑制 0 = 正常前导码	RO	1
1.5	自动协商完成	1 = 自动协商过程完成 0 = 自动协商过程未完成	RO	0
1.4	远程故障	1 = 远程故障 0 = 无远程故障	RO/LH	0
1.3	自动协商能力	1 = 能执行自动协商 0 = 不能执行自动协商	RO	1
1.2	链路状态	1 = 链路已建立 0 = 链路已断开	RO/LL	0
1.1	Jabber 检测	1 = 检测到 Jabber 0 = 未检测到 Jabber （默认为低电平）	RO/LH	0
1.0	扩展能力	1 = 支持扩展能力寄存器	RO	1
寄存器 2h—PHY 标识符 1				

© 2016 Microchip Technology Inc.

表 4-3： IEEE 定义寄存器说明 （续）

地址	名称	说明	模式 注 4-1	默认值
2.15:0	PHY ID 编号	分配到组织唯一标识符 （OUI）的 Bit [3:18]。 KENDIN 通信的 OUI 是 0010A1h。	RO	0022h
寄存器 3h—PHY 标识符 2				
3.15:10	PHY ID 编号	分配到组织唯一标识符 （OUI）的 Bit [19:24]。 KENDIN 通信的 OUI 是 0010A1h。	RO	0001_01
3.9:4	型号	六位制造商型号	RO	10_0010
3.3:0	版本号	四位制造商版本号	RO	指示硅片版本
寄存器 4h— 自动协商通告				
4.15	下一页	1 = 能下一页 0 = 不能下一页	RW	0
4.14	保留	保留	RO	0
4.13	远程故障	1 = 支持远程故障 0 = 无远程故障	RW	0
4.12	保留	保留	RO	0
4.11:10	暂停	[4.11, 4.10] [0,0] = 无暂停 [1,0] = 不对称暂停 （链路伙伴） [0,1] = 对称暂停 [1,1] = 对称和不对称暂停 （本地设备）	RW	00
4.9	100BASE-T4	1 = 能 T4 0 = 不能 T4	RO	0
4.8	100BASE-TX 全双工	1 = 能 100 Mbps 全双工 0 = 不能 100 Mbps 全双工	RW	1
4.7	100BASE-TX 半双工	1 = 能 100 Mbps 半双工 0 = 不能 100 Mbps 半双工	RW	1
4.6	10BASE-T 全双工	1 = 能 10 Mbps 全双工 0 = 不能 10 Mbps 全双工	RW	1
4.5	10BASE-T 半双工	1 = 能 10 Mbps 半双工 0 = 不能 10 Mbps 半双工	RW	1
4.4:0	选择器字段	[00001] = IEEE 802.3	RW	0_0001
寄存器 5h— 自动协商链路伙伴能力				
5.15	下一页	1 = 能下一页 0 = 不能下一页	RO	0
5.14	确认	1 = 从伙伴处收到链路代码字 0 = 尚未收到链路代码字	RO	0
5.13	远程故障	1 = 检测到远程故障 0 = 无远程故障	RO	0
5.12	保留	保留	RO	0

表 4-3： IEEE 定义寄存器说明 （续）

地址	名称	说明	模式 注 4-1	默认值
5.11:10	暂停	[5.11, 5.10] [0,0] = 无暂停 [1,0] = 不对称暂停 （链路伙伴） [0,1] = 对称暂停 [1,1] = 对称和不对称暂停 （本地设备）	RW	00
5.9	100BASE-T4	1 = 能 T4 0 = 不能 T4	RO	0
5.8	100BASE-TX 全双工	1 = 能 100 Mbps 全双工 0 = 不能 100 Mbps 全双工	RO	0
5.7	100BASE-TX 半双工	1 = 能 100 Mbps 半双工 0 = 不能 100 Mbps 半双工	RO	0
5.6	10BASE-T 全双工	1 = 能 10 Mbps 全双工 0 = 不能 10 Mbps 全双工	RO	0
5.5	10BASE-T 半双工	1 = 能 10 Mbps 半双工 0 = 不能 10 Mbps 半双工	RO	0
5.4:0	选择器字段	[00001] = IEEE 802.3	RO	0_0000
寄存器 6h— 自动协商扩展				
6.15:5	保留	保留	RO	0000_0000_000
6.4	并行检测故障	1 = 并行检测检测到故障 0 = 并行检测未检测到故障	RO/LH	0
6.3	链路伙伴下一页能力	1 = 链路伙伴具备下一页能力 0 = 链路伙伴不具备下一页能力	RO	0
6.2	下一页能力	1 = 本地设备具备下一页能力 0 = 本地设备不具备下一页能力	RO	1
6.1	收到页面	1 = 收到新页面 0 = 未收到新页面	RO/LH	0
6.0	链路伙伴自动协商能力	1 = 链路伙伴具备自动协商能力 0 = 链路伙伴不具备自动协商能力	RO	0
寄存器 7h— 自动协商下一页				
7.15	下一页	1 = 将后跟其他页面 0 = 最后一页	RW	0
7.14	保留	保留	RO	0
7.13	消息页面	1 = 消息页面 0 = 未格式化的页面	RW	1
7.12	确认 2	1 = 将遵从消息 0 = 未能遵从消息	RW	0
7.11	切换	1 = 传输链路代码字的先前值等于逻辑 1 0 = 逻辑 0	RO	0
7.10:0	消息字段	可编码 2048 条消息的 11 位宽字段	RW	000_0000_0001
寄存器 8h— 链路伙伴下一页能力				

© 2016 Microchip Technology Inc.

表 4-3： IEEE 定义寄存器说明 （续）

地址	名称	说明	模式 注 4-1	默认值
8.15	下一页	1 = 将后跟其他页面 0 = 最后一页	RO	0
8.14	确认	1 = 成功收到链路字 0 = 未成功收到链路字	RO	0
8.13	消息页面	1 = 消息页面 0 = 未格式化的页面	RO	0
8.12	确认 2	1 = 能够处理信息 0 = 不能处理信息	RO	0
8.11	切换	1 = 传输链路代码字的先前值等于逻辑 0 0 = 传输链路代码字的先前值等于逻辑 1	RO	0
8.10:0	消息字段	—	RO	000_0000_0000
寄存器 9h—1000BASE-T 控制				
9.15:13	测试模式位	发射器测试模式工作 [9.15:13] 模式 [000] 正常工作 [001] 测试模式 1— 发送波形测试 [010] 测试模式 2— 在主模式下发送抖动测试 [011] 测试模式 3— 在从模式下发送抖动测试 [100] 测试模式 4— 发射器失真测试 [101] 保留，未识别操作 [110] 保留，未识别操作 [111] 保留，未识别操作 使能 1000BASE-T 测试模式： 1) 设置寄存器 0h = 0x0140 以禁止自动协商并选择 1000 Mbps 速率。 2) 设置寄存器 9h Bit [15:13] = 001、 010、 011 或 100 以选择 1000BASE-T 测试模式之一。 进行上述设置后，选定测试模式的测试波形会被发送到 4 个差分对中的每一个上。不需要链路伙伴。	RW	000
9.12	主从手动配置使能	1 = 使能主从手动配置值 0 = 禁止主从手动配置值	RW	0
9.11	主从手动配置值	1 = 在主从协商期间将 PHY 配置为主器件 0 = 在主从协商期间将 PHY 配置为从器件 如果禁止主从手动配置（寄存器 9.12 = 0），则忽略该位。	RW	0
9.10	端口类型	1 = 指示作为多端口器件 （主）操作的首选项 0 = 指示作为单端口器件 （从）操作的首选项 该位只在禁止主从手动配置 （寄存器 9.12 = 0）时有效。	RW	0

表 4-3： IEEE 定义寄存器说明 （续）

地址	名称	说明	模式 注 4-1	默认值
9.9	1000BASE-T 全双工	1 = 通告 PHY 能 1000BASE-T 全双工 0 = 通告 PHY 不能 1000BASE-T 全双工	RW	1
9.8	1000BASE-T 半双工	1 = 通告 PHY 能 1000BASE-T 半双工 0 = 通告 PHY 不能 1000BASE-T 半双工	RW	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
9.7:0	保留	写为 0，读取时忽略	RO	—
寄存器 Ah—1000BASE-T 状态				
A.15	主从配置故障	1 = 检测到主从配置故障 0 = 未检测到主从配置故障	RO/LH/SC	0
A.14	主从配置解析	1 = 本地 PHY 配置解析为主器件 0 = 本地 PHY 配置解析为从器件	RO	0
A.13	本地接收器状态	1 = 本地接收器正常 （loc_rcvr_status = 1） 0 = 本地接收器不正常 （loc_rcvr_status = 0）	RO	0
A.12	远程接收器状态	1 = 远程接收器正常 （rem_rcvr_status = 1） 0 = 远程接收器不正常 （rem_rcvr_status = 0）	RO	0
A.11	链路伙伴 1000BASE-T 全双工能力	1 = 链路伙伴能 1000BASE-T 全双工 0 = 链路伙伴不能 1000BASE-T 全双工	RO	0
A.10	链路伙伴 1000BASE-T 半双工能力	1 = 链路伙伴能 1000BASE-T 半双工 0 = 链路伙伴不能 1000BASE-T 半双工	RO	0
A.9:8	保留	保留	RO	00
A.7:0	空闲错误计数	接收器接收空闲且 PMA_TXMODE.indicate = SEND_N 时检测到的累积错误数。 计数器在每个 rxerror_status = ERROR 的符号周期递增。	RO/SC	0000_0000
寄存器 Dh—MMD 访问 — 控制				
D.15:14	MMD—工作模式	对于选定的 MMD 器件地址（该寄存器的 Bit [4:0]），这两位选择以下寄存器或数据操作之一，以及 MMD 访问 — 寄存器 / 数据 （寄存器 Eh）的用法。 00 = 寄存器 01 = 数据，不后递增 10 = 数据，读写后递增 11 = 数据，只写后递增	RW	00
D.13:5	保留	保留	RW	00_0000_000

© 2016 Microchip Technology Inc.

表 4-3： IEEE 定义寄存器说明 （续）

地址	名称	说明	模式 注 4-1	默认值
D.4:0	MMD— 器件地址	这五位用于设置 MMD 器件地址。	RW	0_0000
寄存器 Eh—MMD 访问 — 寄存器 / 数据				
E.15:0	MMD— 寄存器 / 数据	对于选定的 MMD 器件地址（寄存器 Dh Bit [4:0]）， 当寄存器 Dh Bit [15:14] = 00 时，该寄存器包含 MMD 器件地址的读 / 写寄存器地址。 否则，该寄存器包含 MMD 器件地址及其选定寄存器地址的读 / 写数据值。 有关该寄存器后递增读写以进行数据操作的说明，请参见寄存器 Dh Bit [15:14]。	RW	0000_0000_0000_0000
寄存器 Fh— 扩展状态				
F.15	1000BASE-X 全双工	1 = PHY 能执行 1000BASE-X 全双工 0 = PHY 不能执行 1000BASE-X 全双工	RO	0
F.14	1000BASE-X 半双工	1 = PHY 能执行 1000BASE-X 半双工 0 = PHY 不能执行 1000BASE-X 半双工	RO	0
F.13	1000BASE-T 全双工	1 = PHY 能执行 1000BASE-T 全双工 0 = PHY 不能执行 1000BASE-T 全双工	RO	1
F.12	1000BASE-T 半双工	1 = PHY 能执行 1000BASE-T 半双工 0 = PHY 不能执行 1000BASE-T 半双工	RO	1
F.11:0	保留	读取时忽略	RO	—

注 4-1 RW = 读 / 写； RO = 只读； SC = 自清零； LH = 锁存高电平； LL = 锁存低电平。

表 4-4： 供应商特定寄存器说明

地址	名称	说明	模式 注 4-2	默认值
寄存器 11h— 远程环回				
11.15:9	保留	保留	RW	0000_000
11.8	远程环回	1 = 使能远程环回 0 = 禁止远程环回	RW	0
11.7:1	保留	保留	RW	1111_010
11.0	保留	保留	RO	0
寄存器 12h—LinkMD— 电缆诊断				
12.15	电缆诊断测试使能	写值： 1 = 使能电缆诊断测试。测试完成后，该位自清零。 0 = 禁止电缆诊断测试。 读值： 1 = 正在进行电缆诊断测试。 0 = 表示电缆诊断测试（如使能）已完成，可读取状态信息。	RW/SC	0
12.14	保留	该位应始终置为 “0”。	RW	0

表 4-4： 供应商特定寄存器说明 （续）

地址	名称	说明	模式 注 4-2	默认值
12.13:12	电缆诊断测试对	这两位用于选择测试差分对： 00 = 差分对 A （引脚 2 和 3） 01 = 差分对 B （引脚 5 和 6） 10 = 差分对 C （引脚 7 和 8） 11 = 差分对 D （引脚 10 和 11）	RW	00
12.11:10	保留	这两位应始终置为 “00”。	RW	00
12.9:8	电缆诊断状态	这两位表示该寄存器Bit [13:12]中所选差分对的测试结果。 00 = 电缆状况正常 （未检测到故障） 01 = 检测到电缆开路故障 10 = 检测到电缆短路故障 11 = 保留	RO	00
12.7:0	电缆诊断故障数据	对于在该寄存器Bit [9:8] 中检测到的电缆开路或短路故障，此 8 位值表示到电缆故障的距离。	RO	0000_0000
寄存器 13h— 数字 PMA/PCS 状态				
13.15:3	保留	保留	RO/LH	0000_0000_0000_0
13.2	1000BASE-T 链路状态	1000BASE-T 链路状态 1 = 链路状态正常 0 = 链路状态不正常	RO	0
13.1	100BASE-TX 链路状态	100BASE-TX 链路状态 1 = 链路状态正常 0 = 链路状态不正常	RO	0
13.0	保留	保留	RO	0
寄存器 15h—RXER 计数器				
15.15:0	RXER 计数器	符号错误帧的接收错误计数器	RO/RC	0000_0000_0000_0000
寄存器 1Bh— 中断控制 / 状态				
1B.15	允许 Jabber 中断	1 = 允许 Jabber 中断 0 = 禁止 Jabber 中断	RW	0
1B.14	允许接收错误中断	1 = 允许接收错误中断 0 = 禁止接收错误中断	RW	0
1B.13	允许收到页面中断	1 = 允许收到页面中断 0 = 禁止收到页面中断	RW	0
1B.12	允许并行检测故障中断	1 = 允许并行检测故障中断 0 = 禁止并行检测故障中断	RW	0
1B.11	允许链路伙伴确认中断	1 = 允许链路伙伴确认中断 0 = 禁止链路伙伴确认中断	RW	0
1B.10	允许链路断开中断	1 = 允许链路断开中断 0 = 禁止链路断开中断	RW	0

© 2016 Microchip Technology Inc.

表 4-4： 供应商特定寄存器说明 （续）

地址	名称	说明	模式 注 4-2	默认值
1B.9	允许远程故障中断	1 = 允许远程故障中断 0 = 禁止远程故障中断	RW	0
1B.8	允许链路建立中断	1 = 允许链路建立中断 0 = 禁止链路建立中断	RW	0
1B.7	Jabber 中断	1 = 发生 Jabber 0 = 未发生 Jabber	RO/RC	0
1B.6	接收错误中断	1 = 发生接收错误 0 = 未发生接收错误	RO/RC	0
1B.5	页面接收中断	1 = 发生页面接收 0 = 未发生页面接收	RO/RC	0
1B.4	并行检测故障中断	1 = 发生并行检测故障 0 = 未发生并行检测故障	RO/RC	0
1B.3	链路伙伴确认中断	1 = 发生链路伙伴确认 0 = 未发生链路伙伴确认	RO/RC	0
1B.2	链路断开中断	1 = 发生链路断开 0 = 未发生链路断开	RO/RC	0
1B.1	远程故障中断	1 = 发生远程故障 0 = 未发生远程故障	RO/RC	0
1B.0	链路建立中断	1 = 发生链路建立 0 = 未发生链路建立	RO/RC	0
寄存器 1Ch— 自动 MDI/MDI-X				
1C.15:8	保留	保留	RW	0000_0000
1C.7	MDI 设置	当交换 （该寄存器的 Bit [6]）置为有效 （1）时， 1 = PHY 被设置为以 MDI 模式工作 0 = PHY 被设置为以 MDI-X 模式工作 当交换置为无效 （0）时，该位不起作用。	RW	0
1C.6	交换	1 = 禁止自动 MDI/MDI-X 功能 0 = 使能自动 MDI/MDI-X 功能	RW	0
1C.5:0	保留	保留	RW	00_0000
寄存器 1Fh—PHY 控制				
1F.15	保留	保留	RW	0
1F.14	中断电平	1 = 中断引脚高电平有效 0 = 中断引脚低电平有效	RW	0
1F.13:12	保留	保留	RW	00
1F.11:10	保留	保留	RO/LH/RC	00
1F.9	使能 Jabber	1 = 使能 Jabber 计数器 0 = 禁止 Jabber 计数器	RW	1
1F.8:7	保留	保留	RW	00

表 **4-4：** 供应商特定寄存器说明 （续）

地址	名称	说明	模式 注 4-2	默认值
1F.6	速度状态 1000BASE-T	1 = 指示芯片最终速率状态为 1000BASE-T	RO	0
1F.5	速度状态 100BASE-TX	1 = 指示芯片最终速率状态为 100BASE-TX	RO	0
1F.4	速度状态 10BASE-T	1 = 指示芯片最终速率状态为 10BASE-T	RO	0
1F.3	双工状态	指示芯片双工状态 1 = 全双工 0 = 半双工	RO	0
1F.2	1000BASE-T 主 / 从状态	指示芯片主 / 从状态 1 = 1000BASE-T 主模式 0 = 1000BASE-T 从模式	RO	0
1F.1	保留	保留	RW	0
1F.0	链路状态检查 失败	1 = 失败 0 = 不失败	RO	0

注 4-2 RW = 读 / 写； RO = 只读； SC = 自清零； RC = 读清零； LH = 锁存高电平。

© 2016 Microchip Technology Inc.

4.3 MMD 寄存器

MMD 寄存器提供对多达 32 个 MMD 器件地址的间接读 / 写访问，每个器件支持多达 65,536 个 16 位寄存器，定义参见 IEEE 802.3 规范第 22 条。但 KSZ9031RNX 只使用这些可用寄存器的一小部分。有关支持的 MMD 器件地址及其关联的寄存器地址的列表，请参见寄存器映射部分。

以下两个标准寄存器用作访问间接 MMD 寄存器的门户寄存器。

- 标准寄存器 Dh—MMD 访问 — 控制
- 标准寄存器 Eh—MMD 访问 — 寄存器 / 数据

表 4-5： MMD 门户寄存器

地址	名称	说明	模式 注 4-3	默认值
寄存器 Dh—MMD 访问 — 控制				
D.15:14	MMD— 工作模式	对于选定的 MMD 器件地址（该寄存器的 Bit [4:0]），这两位选择以下寄存器或数据操作之一，以及 MMD 访问 — 寄存器 / 数据 （寄存器 Eh）的用法。 00 = 寄存器 01 = 数据，不后递增 10 = 数据，读写后递增 11 = 数据，只写后递增	RW	00
D.13:5	保留	保留	RW	00_0000_000
D.4:0	MMD— 器件地址	这五位用于设置 MMD 器件地址	RW	0_0000
寄存器 Eh—MMD 访问 — 寄存器 / 数据				
E.15:0	MMD— 寄存器 / 数据	对于选定的 MMD 器件地址（寄存器 Dh Bit [4:0]）， 当寄存器 Dh Bit [15:14] = 00 时，该寄存器包含 MMD 器件地址的读 / 写寄存器地址。 否则，该寄存器包含 MMD 器件地址及其选定寄存器地址的读 / 写数据值。 有关该寄存器后递增读写以进行数据操作的描述，请参见寄存器 Dh Bit [15:14]。	RW	0000_0000_ 0000_0000

注 4-3 RW = 读 / 写。

示例：

MMD 寄存器写

写 MMD— 器件地址 2h 寄存器 10h = 0001h，以使能链路建立检测来触发 PME 的 WOL。

1. 在寄存器 Dh 中写入 0002h // 设置 MMD— 器件地址 2h 的寄存器地址。
2. 在寄存器 Eh 中写入 0010h // 选择 MMD— 器件地址 2h 的寄存器 10h。
3. 在寄存器 Dh 中写入 4002h // 选择 MMD— 器件地址 2h 寄存器 10h 的寄存器数据。
4. 在寄存器 Eh 中写入 0001h // 将值 0001h 写入 MMD— 器件地址 2h 寄存器 10h。

MMD 寄存器读

读 MMD— 器件地址 2h 寄存器 11h-13h，以获取魔术数据包的 MAC 地址。

1. 在寄存器 Dh 中写入 0002h // 设置 MMD— 器件地址 2h 的寄存器地址。
2. 在寄存器 Eh 中写入 0011h // 选择 MMD— 器件地址 2h 的寄存器 11h。
3. 在寄存器 Dh 中写入 8002h // 选择 MMD— 器件地址 2h 寄存器 11h 的寄存器数据。
4. 读寄存器 Eh // 读取 MMD— 器件地址 2h 寄存器 11h 中的数据。
5. 读寄存器 Eh // 读取 MMD— 器件地址 2h 寄存器 12h 中的数据。
6. 读寄存器 Eh // 读取 MMD— 器件地址 2h 寄存器 13h 中的数据。

表 4-6： MMD 寄存器说明

地址	名称	说明	模式 注 4-4	默认值
MMD 地址 0h 寄存器 3h—AN FLP 突发发送 —LO				
0.3.15:0	AN FLP 突发发送 —LO	该寄存器和以下寄存器设置自动协商 FLP 突发发送时序。必须为两个寄存器设置相同的时序。 0x4000 = 选择 8 ms 间隔时序 （默认） 0x1A80 = 选择 16 ms 间隔时序 所有其他值均保留。	RW	0x4000
MMD 地址 0h 寄存器 4h—AN FLP 突发发送 —HI				
0.4.15:0	AN FLP 突发发送 —HI	该寄存器和前一个寄存器设置自动协商 FLP 突发发送时序。必须为两个寄存器设置相同的时序。 0x0003 = 选择 8 ms 间隔时序 （默认） 0x0006 = 选择 16 ms 间隔时序 所有其他值均保留。	RW	0x0003
MMD 地址 1h 寄存器 5Ah—1000BASE-T 链路建立时间控制				
1.5A.8:4	保留	保留	RW	1_0000
1.5A.3:1	1000BASE-T 链路建立时间	当链路伙伴是另一个 KSZ9031 器件时，1000BASE-T 链路建立时间可能会比较长。这三位提供用于减少 1000BASE-T 链路建立时间的可选设置。 100 = 默认上电设置 011 = 可选设置，用于减少链路伙伴为 KSZ9031 器件时的链路建立时间。 所有其他设置均保留，不应使用。 可选设置可安全地用于任何链路伙伴。 **注：**对该寄存器位的读 / 写访问仅在将寄存器 0h 设置为 0x2100 以禁止自动协商并强制使用 100BASE-TX 模式时可用。	RW	100
1.5A.0	保留	保留	RW	0
MMD 地址 2h 寄存器 0h— 公共控制				
2.0.15:5	保留	保留	RW	0000_0000_000
2.0.4	LED 模式改写	改写 LED_MODE 配置 1 = 单 LED 模式 0 = 三色双 LED 模式 该位是只写的，始终读回值 “0”。更新的值反映在该寄存器的 Bit [3] 中。	WO	0
2.0.3	LED 模式	LED_MODE 状态 1 = 单 LED 模式 0 = 三色双 LED 模式	RO	通过LED_MODE配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。 复位后可由该寄存器的 Bit [4] 更新。
2.0.2	保留	保留	RW	0

© 2016 Microchip Technology Inc.

表 4-6： MMD 寄存器说明 （续）

地址	名称	说明	模式 注 4-4	默认值
2.0.1	CLK125_EN 状态	改写 CLK125_EN 配置 1 = CLK125_EN 配置已使能 0 = CLK125_EN 配置已禁止	RW	通过CLK125_EN配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.0.0	保留	保留	RW	0
MMD 地址 2h 寄存器 1h— 配置状态				
2.1.15:8	保留	保留	RO	0000_0000
2.1.7	LED_MODE 配置状态	配置为 1 = 单 LED 模式 0 = 三色双 LED 模式	RO	通过LED_MODE配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.1.6	保留	保留	RO	0
2.1.5	CLK125_EN 配置状态	配置为 1 = CLK125_EN 配置已使能 0 = CLK125_EN 配置已禁止	RO	通过CLK125_EN配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.1.4:3	保留	保留	RO	00
2.1.2:0	PHYAD[2:0] 配置值	PHY 地址配置值 PHY 地址的 Bit [4:3] 始终设置为 “00”。	RO	通过 PHYAD[2:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
MMD 地址 2h 寄存器 2h— 工作模式配置改写				
2.2.15	RGMII 所有能力改写	1 = 改写 RGMII 配置以通告所有能力	RW	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.2.14	RGMII 无 1000BT_HD 改写	1 = 改写 RGMII 配置以通告除 1000BASE-T 半双工以外的所有能力	RW	
2.2.13	RGMII 仅 1000BT_H/FD 改写	1 = 改写 RGMII 配置以只通告 1000BASE-T 全双工和半双工能力	RW	
2.2.12	RGMII 仅 1000BT_FD 改写	1 = 改写 RGMII 配置以只通告 1000BASE-T 全双工	RW	
2.2.11	保留	保留	RW	0
2.2.10	PME_N2 输出使能	对于 INT_N/PME_N2 （引脚 38）， 1 = 使能 PME 输出 0 = 禁止 PME 输出 该位与 MMD 地址 2h 寄存器 10h Bit [15:14] 一起定义引脚 38 的输出。	RW	0

表 4-6： MMD 寄存器说明 （续）

地址	名称	说明	模式 注 4-4	默认值
2.2.9	保留	保留	RW	0
2.2.8	PME_N1 输出使能	对于 LED1/PME_N1 （引脚 17）， 1 = 使能 PME 输出 0 = 禁止 PME 输出 该位与 MMD 地址 2h 寄存器 10h Bit [15:14] 一起定义引脚 17 的输出。	RW	0
2.2.7	芯片掉电改写	1 = 改写芯片掉电模式配置	RW	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.2.6:5	保留	保留	RW	00
2.2.4	NAND 树改写	1 = 改写 NAND 树模式配置	RW	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.2.3:0	保留	保留	RW	0000
MMD 地址 2h 寄存器 3h— 工作模式配置状态				
2.3.15	RGMII 所有能力配置状态	1 = 配置为 RGMII 以通告所有能力	RO	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.3.14	RGMII 无 1000BT_HD 配置状态	1 = 配置为 RGMII 以通告除 1000BASE-T 半双工以外的所有能力	RO	
2.3.13	RGMII 仅 1000BT_H/FD 配置状态	1 = 配置为 RGMII 以只通告 1000BASE-T 全双工和半双工	RO	
2.3.12	RGMII 仅 1000BT_FD 配置状态	1 = 配置为 RGMII 以只通告 1000BASE-T 全双工	RO	
2.3.11:8	保留	保留	RO	0000
2.3.7	芯片掉电配置状态	1 = 配置为芯片掉电模式	RO	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.3.6:5	保留	保留	RO	00

© 2016 Microchip Technology Inc.

表 4-6： MMD 寄存器说明 （续）

地址	名称	说明	模式 注 4-4	默认值
2.3.4	NAND 树配置状态	1 = 配置为 NAND 树模式	RO	通过 MODE[3:0] 配置引脚设置。 详细信息，请参见配置选项 —KSZ9031RNX 部分。
2.3.3:0	保留	保留	RO	0000
MMD 地址 2h，寄存器 4h—RGMII 控制信号填充偏斜				
2.4.15:8	保留	保留	RW	0000_0000
2.4.7:4	RX_DV 填充偏斜	RGMII RX_CTL 输出填充偏斜控制（0.06 ns/ 阶跃）	RW	0111
2.4.3:0	TX_EN 填充偏斜	RGMII TX_CTL 输入填充偏斜控制（0.06 ns/ 阶跃）	RW	0111
MMD 地址 2h，寄存器 5h—RGMII RX 数据填充偏斜				
2.5.15:12	RXD3 填充偏斜	RGMII RXD3 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.5.11:8	RXD2 填充偏斜	RGMII RXD2 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.5.7:4	RXD1 填充偏斜	RGMII RXD1 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.5.3:0	RXD0 填充偏斜	RGMII RXD0 输出填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
MMD 地址 2h，寄存器 6h—RGMII TX 数据填充偏斜				
2.6.15:12	TXD3 填充偏斜	RGMII TXD3 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.6.11:8	TXD2 填充偏斜	RGMII TXD2 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.6.7:4	TXD1 填充偏斜	RGMII TXD1 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
2.6.3:0	TXD0 填充偏斜	RGMII TXD0 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	0111
MMD 地址 2h，寄存器 8h—RGMII 时钟填充偏斜				
2.8.15:10	保留	保留	RW	0000_00
2.8.9:5	GTX_CLK 填充偏斜	RGMII GTX_CLK 输入填充偏斜控制 （0.06 ns/ 阶跃）	RW	01_111
2.8.4:0	RX_CLK 填充偏斜	RGMII RX_CLK 输出填充偏斜控制（0.06 ns/ 阶跃）	RW	0_1111

表 4-6： MMD 寄存器说明 （续）

地址	名称	说明	模式 注 4-4	默认值
MMD 地址 2h 寄存器 10h— 局域网唤醒 — 控制				
2.10.15:14	PME 输出选择	这两位与 MMD 地址 2h 寄存器 2h Bit [8] 和 [10] 一起用于 PME_N1 和 PME_N2 使能，分别定义引脚 17 和 38 的输出。 LED1/PME_N1 （引脚 17） 00 = 仅 PME_N1 输出 01 = 仅 LED1 输出 10 = LED1 及 PME_N1 输出 11 = 保留 INT_N/PME_N2 （引脚 38） 00 = 仅 PME_N2 输出 01 = 仅 INT_N 输出 10 = INT_N 及 PME_N2 输出 11 = 保留	RW	00
2.10.13:7	保留	保留	RW	00_0000_0
2.10.6	魔术数据包检测使能	1 = 使能魔术数据包检测 0 = 禁止魔术数据包检测	RW	0
2.10.5	自定义数据包 3 类检测使能	1 = 使能自定义数据包 3 类检测 0 = 禁止自定义数据包 3 类检测	RW	0
2.10.4	自定义数据包 2 类检测使能	1 = 使能自定义数据包 2 类检测 0 = 禁止自定义数据包 2 类检测	RW	0
2.10.3	自定义数据包 1 类检测使能	1 = 使能自定义数据包 1 类检测 0 = 禁止自定义数据包 1 类检测	RW	0
2.10.2	自定义数据包 0 类检测使能	1 = 使能自定义数据包 0 类检测 0 = 禁止自定义数据包 0 类检测	RW	0
2.10.1	链路断开检测使能	1 = 使能链路断开检测 0 = 禁止链路断开检测	RW	0
2.10.0	链路建立检测使能	1 = 使能链路建立检测 0 = 禁止链路建立检测	RW	0
MMD 地址 2h 寄存器 11h— 局域网唤醒 — 魔术数据包， MAC-DA-0				
2.11.15:0	魔术数据包 MAC-DA-0	该寄存器用于存储魔术数据包目的地 MAC 地址的低两个字节。 Bit [15:8] = 字节 2 （MAC 地址 [15:8]） Bit [7:0] = 字节 1 （MAC 地址 [7:0]） 目的地 MAC 地址的高四个字节存储在以下两个寄存器中。	RW	0000_0000_0000_0000

© 2016 Microchip Technology Inc.

表 4-6： MMD 寄存器说明 （续）

地址	名称	说明	模式 注 4-4	默认值
MMD 地址 2h 寄存器 12h— 局域网唤醒 — 魔术数据包， MAC-DA-1				
2.12.15:0	魔术数据包 MAC-DA-1	该寄存器用于存储魔术数据包目的地 MAC 地址的中间两个字节。 Bit [15:8] = 字节 4 （MAC 地址 [31:24]） Bit [7:0] = 字节 3 （MAC 地址 [23:16]） 目的地 MAC 地址的低两个字节和高两个字节分别存储在前一个和后一个寄存器中。	RW	0000_0000_0000_0000
MMD 地址 2h 寄存器 13h— 局域网唤醒 — 魔术数据包， MAC-DA-2				
2.13.15:0	魔术数据包 MAC-DA-2	该寄存器用于存储魔术数据包目的地 MAC 地址的高两个字节。 Bit [15:8] = 字节 6 （MAC 地址 [47:40]） Bit [7:0] = 字节 5 （MAC 地址 [39:32]） 目的地 MAC 地址的低四个字节存储在前两个寄存器中。	RW	0000_0000_0000_0000
MMD 地址 2h 寄存器 14h— 局域网唤醒 — 定制数据包 0 类，预期 CRC 0 **MMD 地址 2h 寄存器 16h— 局域网唤醒 — 定制数据包 1 类，预期 CRC 0** **MMD 地址 2h 寄存器 18h— 局域网唤醒 — 定制数据包 2 类，预期 CRC 0** **MMD 地址 2h 寄存器 1Ah— 局域网唤醒 — 定制数据包 3 类，预期 CRC 0**				
2.14.15:0 2.16.15:0 2.18.15:0 2.1A.15:0	自定义数据包 X 类 CRC 0	该寄存器用于存储预期 CRC 的高两个字节。 Bit [15:8] = 字节 2 （CRC [15:8]） Bit [7:0] = 字节 1 （CRC [7:0]） 预期 CRC 的低两个字节存储在以下寄存器中。	RW	0000_0000_0000_0000
MMD 地址 2h 寄存器 15h— 局域网唤醒 — 定制数据包 0 类，预期 CRC 1 **MMD 地址 2h 寄存器 17h— 局域网唤醒 — 定制数据包 1 类，预期 CRC 1** **MMD 地址 2h 寄存器 19h— 局域网唤醒 — 定制数据包 2 类，预期 CRC 1** **MMD 地址 2h 寄存器 1Bh— 局域网唤醒 — 定制数据包 3 类，预期 CRC 1**				
2.15.15:0 2.17.15:0 2.19.15:0 2.1B.15:0	自定义数据包 X 类 CRC 1	该寄存器用于存储预期 CRC 的低两个字节。 Bit [15:8] = 字节 4 （CRC [31:24]） Bit [7:0] = 字节 3 （CRC [23:16]） 预期 CRC 的高两个字节存储在前一个寄存器中。	RW	0000_0000_0000_0000
MMD 地址 2h 寄存器 1Ch— 局域网唤醒 — 定制数据包 0 类，掩码 0 **MMD 地址 2h 寄存器 20h— 局域网唤醒 — 定制数据包 1 类，掩码 0** **MMD 地址 2h 寄存器 24h— 局域网唤醒 — 定制数据包 2 类，掩码 0** **MMD 地址 2h 寄存器 28h— 局域网唤醒 — 定制数据包 3 类，掩码 0**				
2.1C.15:0 2.20.15:0 2.24.15:0 2.28.15:0	自定义数据包 X 类掩码 0	该寄存器用于在数据包前 16 个字节（字节 1 到 16）中选择 CRC 计算将要使用的字节。 对于该寄存器中的每个位， 1 = 选中用于 CRC 计算的字节 0 = 未选中用于 CRC 计算的字节 寄存器位到数据包字节的映射如下： Bit [15]：第 16 个字节 …… Bit [2]：第 2 个字节 Bit [0]：第 1 个字节	RW	0000_0000_0000_0000

表 4-6： MMD 寄存器说明 （续）

地址	名称	说明	模式 注 4-4	默认值
MMD 地址 2h 寄存器 1Dh— 局域网唤醒 — 定制数据包 0 类，掩码 1 **MMD 地址 2h 寄存器 21h— 局域网唤醒 — 定制数据包 1 类，掩码 1** **MMD 地址 2h 寄存器 25h— 局域网唤醒 — 定制数据包 2 类，掩码 1** **MMD 地址 2h 寄存器 29h— 局域网唤醒 — 定制数据包 3 类，掩码 1**				
2.1D.15:0 2.21.15:0 2.25.15:0 2.29.15:0	自定义数据包 X 类掩码 1	该寄存器用于在数据包第二批 16 个字节 （字节 17 到 32）中选择 CRC 计算将要使用的字节。 对于该寄存器中的每个位， 1 = 选中用于 CRC 计算的字节 0 = 未选中用于 CRC 计算的字节 寄存器位到数据包字节的映射如下： Bit [15]：第 32 个字节 …… Bit [2]：第 18 个字节 Bit [0]：第 17 个字节	RW	0000_0000_0000_0000
MMD 地址 2h 寄存器 1Eh— 局域网唤醒 — 定制数据包 0 类，掩码 2 **MMD 地址 2h 寄存器 22h— 局域网唤醒 — 定制数据包 1 类，掩码 2** **MMD 地址 2h 寄存器 26h— 局域网唤醒 — 定制数据包 2 类，掩码 2** **MMD 地址 2h 寄存器 2Ah— 局域网唤醒 — 定制数据包 3 类，掩码 2**				
2.1E.15:0 2.22.15:0 2.26.15:0 2.2A.15:0	自定义数据包 X 类掩码 2	该寄存器用于在数据包第三批 16 个字节 （字节 33 到 48）中选择 CRC 计算将要使用的字节。 对于该寄存器中的每个位， 1 = 选中用于 CRC 计算的字节 0 = 未选中用于 CRC 计算的字节 寄存器位到数据包字节的映射如下： Bit [15]：第 48 个字节 …… Bit [2]：第 34 个字节 Bit [0]：第 33 个字节	RW	0000_0000_0000_0000
MMD 地址 2h 寄存器 1Fh— 局域网唤醒 — 定制数据包 0 类，掩码 3 **MMD 地址 2h 寄存器 23h— 局域网唤醒 — 定制数据包 1 类，掩码 3** **MMD 地址 2h 寄存器 27h— 局域网唤醒 — 定制数据包 2 类，掩码 3** **MMD 地址 2h 寄存器 2Bh— 局域网唤醒 — 定制数据包 3 类，掩码 3**				
2.1F.15:0 2.23.15:0 2.27.15:0 2.2B.15:0	自定义数据包 X 类掩码 3	该寄存器用于在数据包第四批 16 个字节 （字节 49 到 64）中选择 CRC 计算将要使用的字节。 对于该寄存器中的每个位， 1 = 选中用于 CRC 计算的字节 0 = 未选中用于 CRC 计算的字节 寄存器位到数据包字节的映射如下： Bit [15]：第 64 个字节 …… Bit [2]：第 50 个字节 Bit [0]：第 49 个字节	RW	0000_0000_0000_0000
MMD 地址 1Ch 寄存器 4h— 模拟控制 4				
1C.4.15:11	保留	保留	RW	0000_0
1C.4.10	10BASE-Te 模式	1 = 10BASE-Te （1.75V TX 幅度） 0 = 标准 10BASE-T （2.5V TX 幅度）	RW	0
1C.4.9:0	保留	保留	RW	00_1111_1111

© 2016 Microchip Technology Inc.

表 **4-6：** **MMD 寄存器说明 （续）**

地址	名称	说明	模式 注 4-4	默认值
MMD 地址 1Ch 寄存器 23h—EDPD 控制				
1C.23.15:1	保留	保留	RW	0000_0000_0000_000
1C.23.0	EDPD 模式使能	能量检测掉电模式 1 = 使能 0 = 禁止	RW	0

注 4-4 RW = 读 / 写； RO = 只读； WO = 只写； LH = 锁存高电平。

5.0 工作特性

5.1 绝对最大额定值 *

电源电压 （V_{IN}）
（DVDDL， AVDDL， AVDDL_PLL）.....-0.5V 至 +1.8V
（AVDDH）.....-0.5V 至 +5.0V
（DVDDH）.....-0.5V 至 +5.0V
输入电压 （所有输入）.....-0.5V 至 +5.0V
输出电压 （所有输出）.....-0.5V 至 +5.0V
焊接温度 （焊接， 10s）.....+260°C
存储温度 （T_S）..... –55°C 至 +150°C

* 超出绝对最大额定值可能会损坏器件。如果器件的工作条件超过上述 “最大额定值”，可能对器件造成永久性损坏。我们建议不要使器件工作在最大值甚至超过最大值的条件下。器件长时间工作在最大值条件下，其可靠性可能受到影响。

5.2 工作额定值 **

电源电压
（DVDDL， AVDDL， AVDDL_PLL）.....+1.140V 至 +1.260V
（AVDDH @ 3.3V）.....+3.135V 至 +3.465V
（AVDDH 为 2.5V 时；只适用于商业级温度范围）.....+2.375V 至 +2.625V
（DVDDH @ 3.3V）.....+3.135V 至 +3.465V
（DVDDH @ 2.5V）.....+2.375V 至 +2.625V
（DVDDH @ 1.8V）.....+1.710V 至 +1.890V
环境温度
（T_A 商用：KSZ9031RNXC）..... 0°C 至 +70°C
（T_A 工业：KSZ9031RNXI）..... -40°C 至 +85°C
（T_A 汽车：KSZ9031RNXU）..... -40°C 至 +85°C
（T_A 汽车：KSZ9031RNXV）..... -40°C 至 +105°C
最高结温 （T_J max）.....+125°C
热阻 （Θ_{JA}）..... +36.34°C/W
热阻 （Θ_{JC}）..... +9.47°C/W

** 不保证器件能在超出工作额定值的情况下正常工作。

注：	器件未通电时，请勿驱动输入信号。

© 2016 Microchip Technology Inc.

6.0 电气特性

T_A = 25°C。规范只适用于封装产品。

表 6-1： 电源电流 — 内核 / 数字 I/O

参数	符号	最小值	典型值	最大值	单位	注
总计 1.2V： DVDDL （数字内核）+ AVDDL （模拟内核）+ AVDDL_PLL （PLL）	I_{CORE}	—	210	—	mA	1000BASE-T 链路建立 （无流量）
		—	221	—		1000BASE-T 全双工 （100% 利用率）
		—	63.6	—		100BASE-TX 链路建立 （无流量）
		—	63.8	—		100BASE-TX 全双工 （100% 利用率）
		—	7.1	—		10BASE-T 链路建立 （无流量）
		—	7.7	—		10BASE-T 全双工 （100% 利用率）
		—	1.0	—		软件掉电模式 （寄存器 0.11 = 1）
		—	0.7	—		芯片掉电模式 （配置引脚 MODE[3:0] = 0111）
数字 I/O 为 1.8V （RGMII 在 1.8V 下工作）	$I_{DVDDH_1.8}$	—	11.2	—	mA	1000BASE-T 链路建立 （无流量）
		—	23.6	—		1000BASE-T 全双工 （100% 利用率）
		—	8.4	—		100BASE-TX 链路建立 （无流量）
		—	9.8	—		100BASE-TX 全双工 （100% 利用率）
		—	3.6	—		10BASE-T 链路建立 （无流量）
		—	5.6	—		10BASE-T 全双工 （100% 利用率）
		—	5.5	—		软件掉电模式 （寄存器 0.11 = 1）
		—	0.3	—		芯片掉电模式 （配置引脚 MODE[3:0] = 0111）
数字 I/O 为 2.5V （RGMII 在 2.5V 下工作）	$I_{DVDDH_2.5}$	—	14.7	—	mA	1000BASE-T 链路建立 （无流量）
		—	31.5	—		1000BASE-T 全双工 （100% 利用率）
		—	10.5	—		100BASE-TX 链路建立 （无流量）
		—	13.0	—		100BASE-TX 全双工 （100% 利用率）
		—	6.3	—		10BASE-T 链路建立 （无流量）
		—	9.0	—		10BASE-T 全双工 （100% 利用率）
		—	6.7	—		软件掉电模式 （寄存器 0.11 = 1）
		—	0.7	—		芯片掉电模式 （配置引脚 MODE[3:0] = 0111）

© 2016 Microchip Technology Inc.

表 6-1： 电源电流 — 内核 / 数字 I/O （续）

参数	符号	最小值	典型值	最大值	单位	注
数字 I/O 为 3.3V （RGMII 在 3.3V 下工作）	$I_{DVDDH_3.3}$	—	19.5	—	mA	1000BASE-T 链路建立 （无流量）
		—	41.5	—		1000BASE-T 全双工 （100% 利用率）
		—	13.9	—		100BASE-TX 链路建立 （无流量）
		—	17.2	—		100BASE-TX 全双工 （100% 利用率）
		—	11.5	—		10BASE-T 链路建立 （无流量）
		—	13.7	—		10BASE-T 全双工 （100% 利用率）
		—	9.3	—		软件掉电模式 （寄存器 0.11 = 1）
		—	2.2	—		芯片掉电模式 （配置引脚 MODE[3:0] = 0111）

表 6-2： 电源电流 - 收发器 （注 6-1）

参数	符号	最小值	典型值	最大值	单位	注
收发器为 2.5V （只适合在商业级温度范围下工作）	$I_{AVDDH_2.5}$	—	58.8	—	mA	1000BASE-T 链路建立 （无流量）
		—	57.9	—		1000BASE-T 全双工 （100% 利用率）
		—	24.9	—		100BASE-TX 链路建立 （无流量）
		—	24.9	—		100BASE-TX 全双工 （100% 利用率）
		—	11.5	—		10BASE-T 链路建立 （无流量）
		—	25.3	—		10BASE-T 全双工 （100% 利用率）
		—	3.1	—		软件掉电模式 （寄存器 0.11 = 1）
		—	0.02	—		芯片掉电模式 （配置引脚 MODE[3:0] = 0111）
收发器为 3.3V 参数	$I_{AVDDH_3.3}$	—	67.4	—	mA	1000BASE-T 链路建立 （无流量）
		—	66.3	—		1000BASE-T 全双工 （100% 利用率）
		—	28.7	—		100BASE-TX 链路建立 （无流量）
		—	28.6	—		100BASE-TX 全双工 （100% 利用率）
		—	15.9	—		10BASE-T 链路建立 （无流量）
		—	28.6	—		10BASE-T 全双工 （100% 利用率）
		—	4.2	—		软件掉电模式 （寄存器 0.11 = 1）
		—	0.02	—		芯片掉电模式 （配置引脚 MODE[3:0] = 0111）

注 6-1 等效于通过 PHY 收发器 （带电流模式传输驱动器）外部变压器中心抽头的电流消耗。

© 2016 Microchip Technology Inc.

表 6-3： CMOS 输入

参数	符号	最小值	典型值	最大值	单位	注
输入高电压	V_{IH}	2.0	—	—	V	DVDDH （数字 I/O）= 3.3V
		1.5	—	—		DVDDH （数字 I/O）= 2.5V
		1.1	—	—		DVDDH （数字 I/O）= 1.8V
输入低电压	V_{IL}	—	—	1.3	V	DVDDH （数字 I/O）= 3.3V
		—	—	1.0		DVDDH （数字 I/O）= 2.5V
		—	—	0.7		DVDDH （数字 I/O）= 1.8V
输入高泄漏电流	I_{IHL}	–2.0	—	2.0	µA	DVDDH = 3.3V 和 V_{IH} = 3.3V 所有数字输入引脚
输入低泄漏电流	I_{ILL}	–2.0	—	2.0	µA	DVDDH = 3.3V 和 V_{IL} = 0.0V 除 MDC、 MDIO 和 RESET_N 外的所有数字输入引脚。
		–120	—	–40		DVDDH = 3.3V 和 V_{IL} = 0.0V 具有内部上拉电阻的 MDC、 MDIO 和 RESET_N 引脚

表 6-4： CMOS 输出

参数	符号	最小值	典型值	最大值	单位	注
输出高电压	V_{OH}	2.7	—	—	V	DVDDH （数字 I/O）= 3.3V， I_{OH} （最小值）= 10 mA 所有数字输出引脚
		2.0	—	—		DVDDH （数字 I/O）= 2.5V， I_{OH} （最小值）= 10 mA 所有数字输出引脚
		1.5	—	—		DVDDH （数字 I/O）= 1.8V， I_{OH} （最小值）= 13 mA 除 LED1 和 LED2 外的所有数字输出引脚
输出低电压	V_{CL}	—	—	0.3	V	DVDDH （数字 I/O）= 3.3V， I_{OL} （最小值）= 10 mA 所有数字输出引脚
		—	—	0.3		DVDDH （数字 I/O）= 2.5V， I_{OL} （最小值）= 10 mA 所有数字输出引脚
		—	—	0.3		DVDDH （数字 I/O）= 1.8V， I_{OL} （最小值）= 13 mA 除 LED1 和 LED2 外的所有数字输出引脚
输出三态泄漏电流	$\|I_{oz}\|$	—	—	10	µA	—

表 6-5： LED 输出

参数	符号	最小值	典型值	最大值	单位	注
输出驱动电流	I_{LED}	10	—	—	mA	DVDDH （数字 I/O）= 3.3V 或 2.5V， V_{OL} 为 0.3V 每个 LED 引脚 （LED1， LED2）

表 6-6： 上拉引脚 （注 6-2）

参数	符号	最小值	典型值	最大值	单位	注
内部上拉电阻（MDC， MDIO，RESET_N 引脚）	pu	13	22	31	kΩ	DVDDH （数字 I/O）= 3.3V
		16	28	39		DVDDH （数字 I/O）= 2.5V
		26	44	62		DVDDH （数字 I/O）= 1.8V

注 6-2 在引脚输入电压电平为 DVDDH 一半的情况下测量。

表 6-7： 100BASE-TX 发送 （注 6-3）

参数	符号	最小值	典型值	最大值	单位	注
峰值差分输出电压	V_O	0.95	—	1.05	V	差分输出两端 100Ω 端接电阻
输出电压不平衡	V_{IMB}	—	—	2	%	差分输出两端 100Ω 端接电阻
上升 / 下降时间	t_r, t_f	3	—	5	ns	—
上升 / 下降时间不平衡	—	0	—	0.5	ns	—
占空比失真	—	—	—	±0.25	ns	—
过冲	—	—	—	5	%	—
输出抖动	—	—	0.7	—	ns	峰到峰

注 6-3 在 1:1 变压器后进行差分测量。

表 6-8： 10BASE-T 发送 （注 6-4）

参数	符号	最小值	典型值	最大值	单位	注
峰值差分输出电压	V_P	2.2	—	2.8	V	差分输出两端 100Ω 端接电阻
已添加抖动	—	—	—	3.5	ns	峰到峰
谐波抑制	—	—	–31	—	dB	发送全 1 信号序列

注 6-4 在 1:1 变压器后进行差分测量。

表 6-9： 10BASE-T 接收

参数	符号	最小值	典型值	最大值	单位	注
静噪阈值	V_{SQ}	300	400	—	mV	5 MHz 方波

表 6-10： 发射器 — 驱动设置

参数	符号	最小值	典型值	最大值	单位	注
I_{SET} 的参考电压	V_{SET}	—	1.2	—	V	R （I_{SET}）= 12.1 kΩ

表 6-11： LDO 控制器 — 驱动范围

参数	符号	最小值	典型值	最大值	单位	注
LDO_O （引脚 43）到 P 沟道栅极输入的输出驱动范围 MOSFET	V_{LDO_O}	0.85	—	2.8	V	对于 MOSFET 源极电压，AVDDH = 3.3V
		0.85	—	2.0		对于 MOSFET 源极电压，AVDDH = 2.5V （只适合在商业级温度范围下工作）

© 2016 Microchip Technology Inc.

7.0 时序图

7.1 RGMII 时序

作为默认值，在上电或复位后，KSZ9031RNX RGMII时序符合RGMII版本2.0规范中对于内部PHY芯片延时的时序要求。

对于发送路径（MAC 到 KSZ9031RNX），KSZ9031RNX 不在其 GTX_CLK、TX_EN 和 TXD[3:0] 输入引脚处本地添加任何延时，并期望由 MAC 在芯片上提供 GTX_CLK 延时。如果 MAC 不为 GTX_CLK 提供任何延时或提供的延时不足，则 KSZ9031RNX 具有可提供高达 1.38 ns 片上延时的填充偏斜寄存器。

对于接收路径（KSZ9031RNX 到 MAC），KSZ9031RNX 相对于 RX_DV 和 RXD[3:0] 输出引脚向 RX_CLK 输出引脚添加 1.2 ns 的典型延时。如有必要，KSZ9031RNX 具有填充偏斜寄存器，可将 RX_CLK 片上延时从 1.2 ns 的默认延时调整到最多 2.58 ns。

通常实现 RGMII PHY 到 MAC 设计，PHY、MAC 或者 PHY 和 MAC 两者均不完全符合 RGMII v2.0 对于片上时钟延时的规定。对于此类混合 RGMII v1.3/v2.0 设计与有时不匹配的 RGMII PCB 走线布线的组合，需要检查整个 RGMII 系统时序（片上 PHY、PCB 走线延时和片上 MAC），以计算聚合时钟延时并确定是否满足时钟延时时序要求。如需调整时序，可以使用 KSZ9031RNX 提供的填充偏斜寄存器。请参见 RGMII 填充偏斜寄存器部分。

下面提供的图 7-1、图 7-2 和表 7-1 摘自 RGMII v2.0 规范，供您参考以了解 RGMII v1.3 外部延时和 RGMII v2.0 片上延时时序。

图 7-1： RGMII V2.0 规范 （多路复用和时序图 — 带有外部延时的原始 RGMII （V1.3））

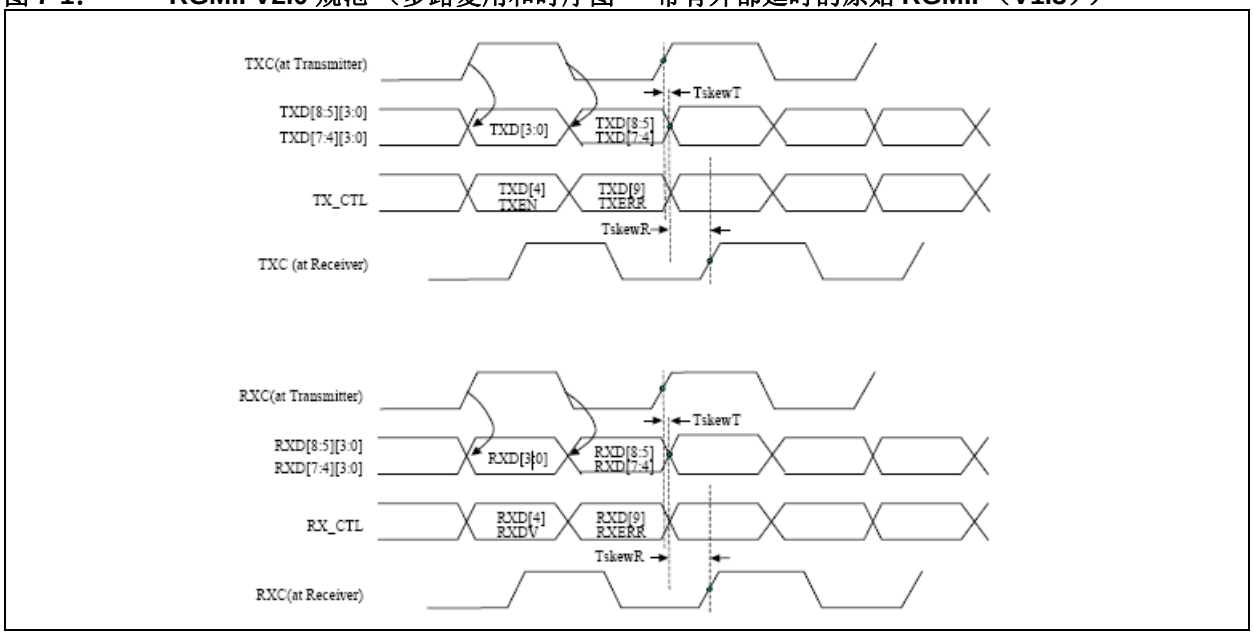
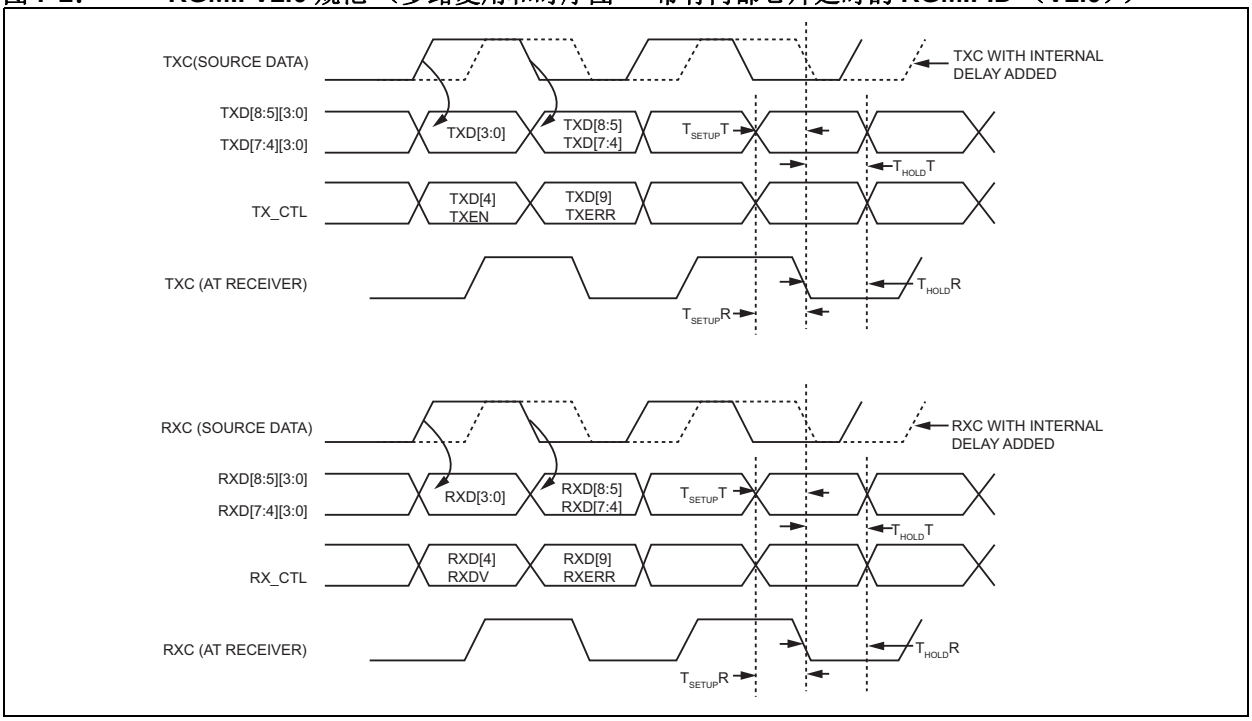


图 7-2： RGMII V2.0 规范 （多路复用和时序图 — 带有内部芯片延时的 RGMII-ID （V2.0））



以下是对图 7-2 的阐述。

TXC（源数据），实线，是符合RGMII v1.3规范要求的MAC GTX_CLK时钟输出时序（需要PCB延时线或PHY内部延时）

添加了内部延时的 TXC（源数据），虚线，是符合 RGMII v2.0 规范要求的 MAC GTX_CLK 时钟输出时序（不需要 PCB 延时和 PHY 内部延时）

RXC（源数据），实线，是符合RGMII v1.3规范要求的PHY RX_CLK时钟输出时序（需要PCB延时线或MAC内部延时）

添加了内部延时的 RXC （源数据），虚线，是符合 RGMII v2.0 规范要求的 PHY RX_CLK 时钟输出时序 （不需要 PCB 延时和 MAC 内部延时）

表 7-1： RGMII V2.0 规范

参数	说明	最小值	典型值	最大值	单位
$T_{skew}T$	符合 RGMII v1.3 （外部延时）要求的数据到时钟输出偏斜 （发射器处）	-500	—	500	ps
$T_{skew}R$	符合 RGMII v1.3 （外部延时）要求的数据到时钟输入偏斜 （接收器处）	1.0	—	2.6	ns
$T_{setup}T$	数据到时钟输出设置 （发射器处 — 集成延时）	1.2	2.0	—	
$T_{hold}T$	时钟到数据输出保持 （发射器处 — 集成延时）	1.2	2.0	—	
$T_{setup}R$	数据到时钟输入设置 （接收器处 — 集成延时）	1.0	2.0	—	
$T_{hold}R$	时钟到数据输入保持 （接收器处 — 集成延时）	1.0	2.0	—	
t_{cyc} （1000BASE-T）	1000BASE-T 的时钟周期持续时间	7.2	8.0	8.8	
t_{cyc} （100BASE-TX）	100BASE-TX 的时钟周期持续时间	36	40	44	
t_{cyc} （10BASE-T）	10BASE-T 的时钟周期持续时间	360	400	440	

© 2016 Microchip Technology Inc.

RGMII 版本 2.0 规范只为 1000 Mbps 操作定义了 RGMII 数据到时钟偏斜：使用两个时钟边沿以 125 MHz 时钟频率（8 ns 周期）对数据和控制信号进行采样。对于 10/100 Mbps 操作，数据信号在时钟上升边沿采样，控制信号在两个时钟边沿采样。对于较慢的时钟频率（10 Mbps 为 2.5 MHz（400 ns 周期），100 Mbps 为 25 MHz（40 ns 周期）），10/100 Mbps 操作的 RGMII 数据到时钟偏斜将具有比 1000 Mbps 操作更大的时序裕度，因此可从 1000 Mbps 的 2.6 ns（最大值）宽限到 10 Mbps 的 160 ns （最大值）和 100 Mbps 的 16 ns （最大值）。

图 7-3： 自动协商快速链路脉冲 （FLP）时序

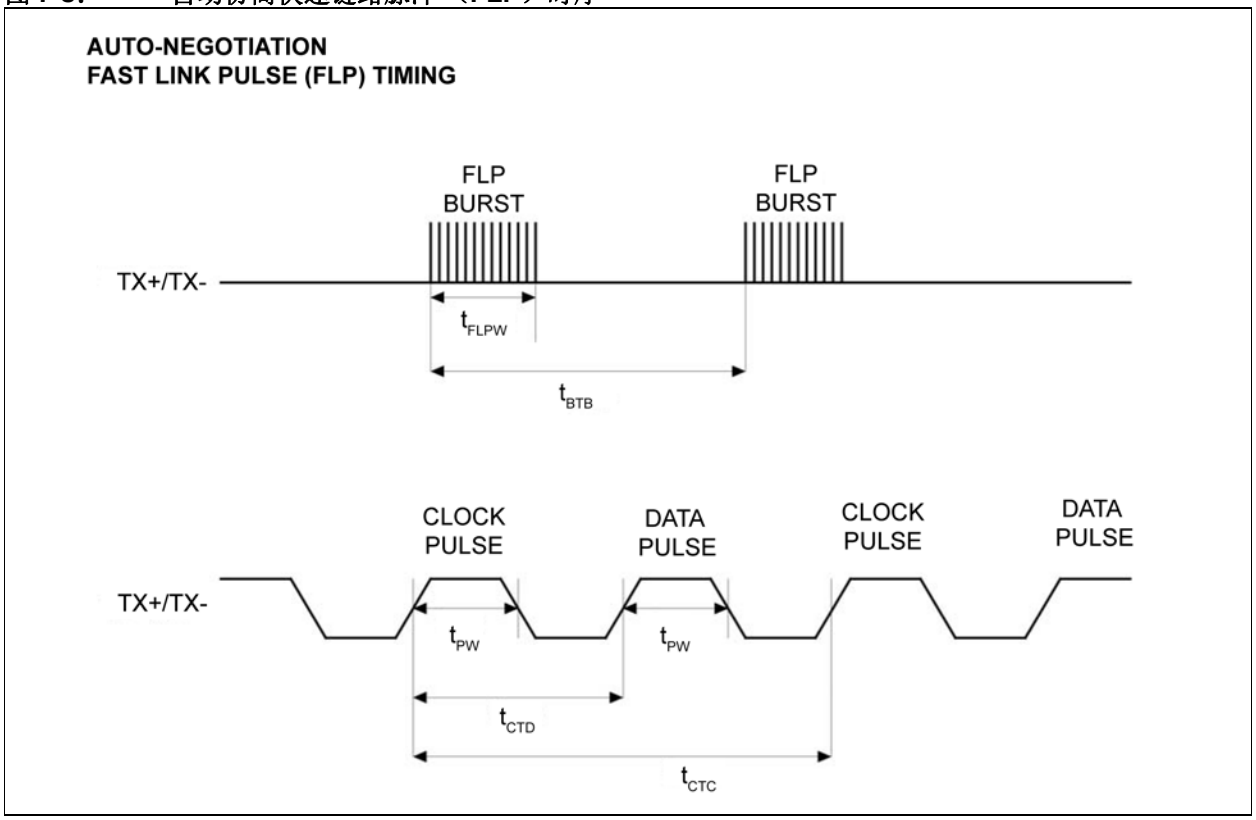


表 7-2： 自动协商快速链路脉冲 （FLP）时序参数

时序参数	说明	最小值	典型值	最大值	单位
t_{BTB}	FLP 突发到 FLP 突发	8	16	24	ms
t_{FLPW}	FLP 突发宽度	—	2	—	
t_{PW}	时钟 / 数据脉冲宽度	—	100	—	ns
t_{CTD}	时钟脉冲到数据脉冲	55.5	64	69.5	µs
t_{CTC}	时钟脉冲到时钟脉冲	111	128	139	
—	每次 FLP 突发的时钟 / 数据脉冲数	17	—	33	—

用于自动协商的 KSZ9031RNX 快速链路脉冲 （FLP）突发到突发发送时序默认为 8 ms。 IEEE 802.3 标准规定该时序为 16 ms ±8 ms。某些 PHY 链路伙伴需要接收居中时序为 16 ms 的 FLP ； 否则可能会导致间歇性链路故障和较长的链路建立时间。

KSZ9031RNX 上电 / 复位后，编程以下寄存器序列，以将 FLP 时序设置为 16 ms：

1. 写寄存器 Dh = 0x0000 // 设置 MMD— 器件地址 0h 的寄存器地址
2. 写寄存器 Eh = 0x0004 // 选择 MMD— 器件地址 0h 的寄存器 4h
3. 写寄存器 Dh = 0x4000 // 选择 MMD— 器件地址 0h 寄存器 4h 的寄存器数据
4. 写寄存器 Eh = 0x0006 // 将值 0x0006 写入 MMD— 器件地址 0h 寄存器 4h
5. 写寄存器 Dh = 0x0000 // 设置 MMD— 器件地址 0h 的寄存器地址
6. 写寄存器 Eh = 0x0003 // 选择 MMD— 器件地址 0h 的寄存器 3h
7. 写寄存器 Dh = 0x4000 // 选择 MMD— 器件地址 0h 寄存器 3h 的寄存器数据
8. 写寄存器 Eh = 0x1A80 // 将值 0x1A80 写入 MMD— 器件地址 0h 寄存器 3h
9. 写寄存器 0h Bit [9] = 1 // 重新启动自动协商

上述 16 ms FLP 发送时序设置兼容所有 PHY 链路伙伴。

© 2016 Microchip Technology Inc.

图 7-4： MDC/MDIO 时序

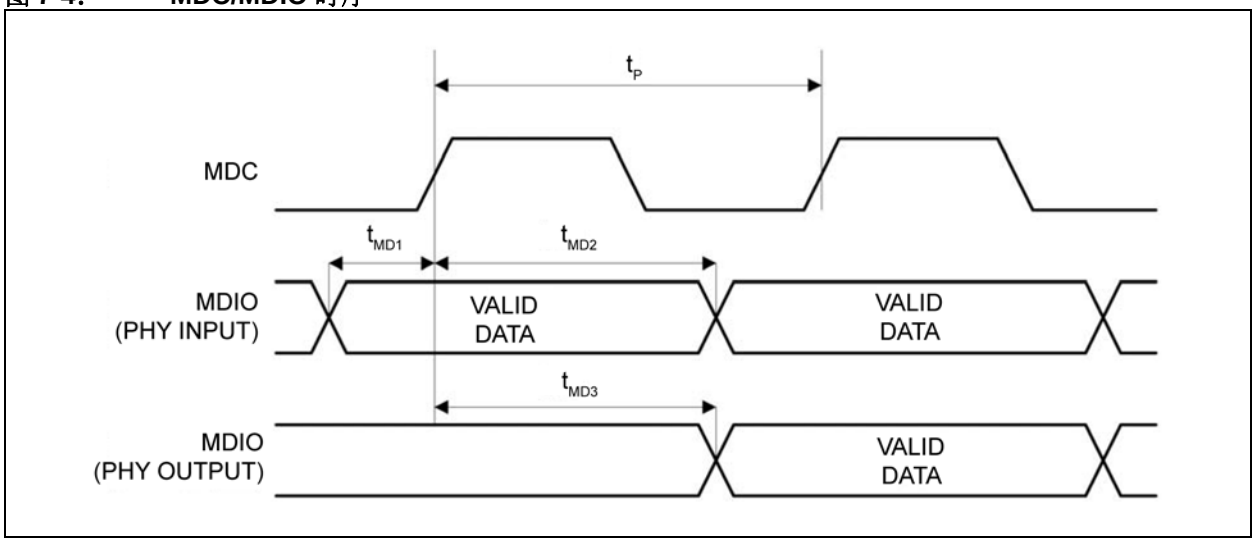


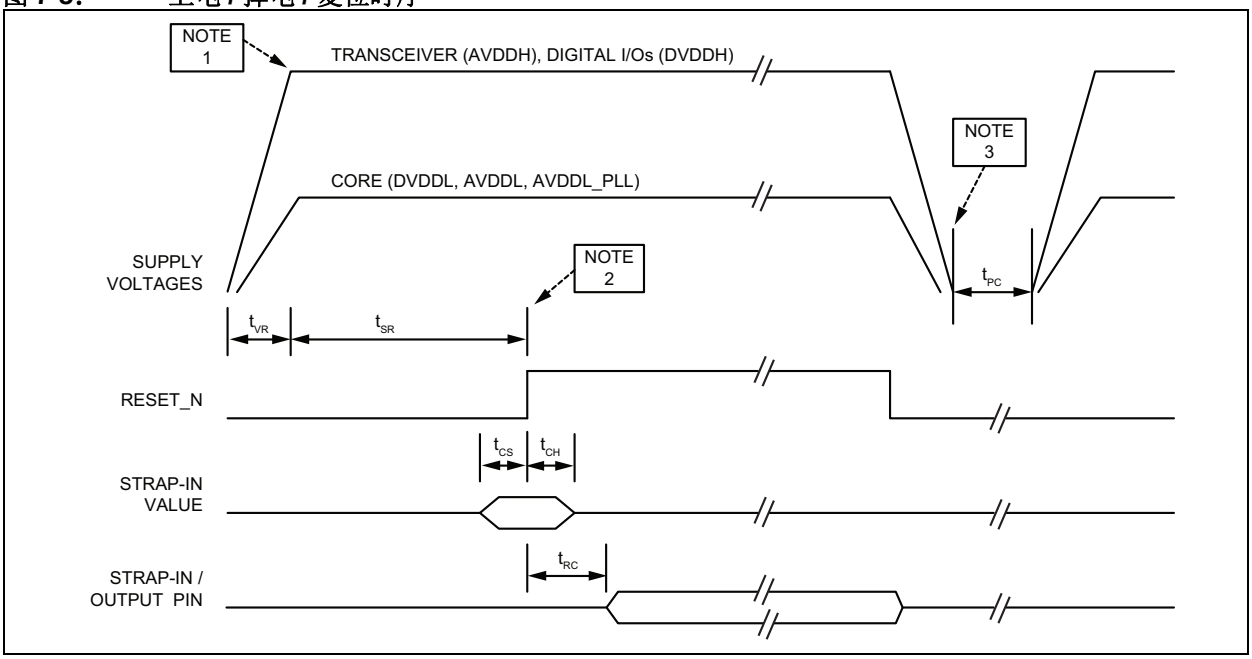
表 7-3： MDC/MDIO 时序参数

时序参数	说明	最小值	典型值	最大值	单位
t_P	MDC 周期	120	400	—	ns
t_{MD1}	MDIO （PHY 输入）设置到 MDC 上升沿	10	—	—	
t_{MD2}	MDIO （PHY 输入）从 MDC 上升沿保持	10	—	—	
t_{MD3}	MDIO （PHY 输出）从 MDC 上升沿延时	0	—	—	

典型的 MDC 时钟频率为 2.5 MHz （400 ns 时钟周期）。

KSZ9031RNX 可以使用 MDC 时钟频率工作，该时钟频率是通过 GPIO 引脚在 10s/100s 赫兹下从位拆裂产生，并已测试到高达 8.33 MHz（120ns 时钟周期）的 MDC 时钟频率。8.33 MHz 的测试条件是针对在使用 1.0 kΩ 上拉到 DVDDH 供电轨的 MDIO 线上的一个 KSZ9031RNX PHY。

图 7-5： 上电 / 掉电 / 复位时序



注 1：建议的上电顺序是在 1.2V 内核 （DVDDL、 AVDDL 和 AVDDL_PLL）电压之前使收发器 （AVDDH）和数字 I/O （DVDDH）电压上电。如果 1.2V 内核必须首先上电，则 1.2V 内核电压相对于收发器和数字 I/O 电压的最大前置时间应为 200 µs。

收发器 （AVDDH）和数字 I/O （DVDDH）电源轨之间没有电源顺序要求。

上电波形对于 KSZ9031RNX 的所有电源电压应是单调的。

注 2：在复位取消置位后，至少等待 100 µs，然后再在 MIIM （MDC/MDIO）接口上开始编程。

注 3：建议的掉电顺序是使 1.2V 内核电压掉电，然后关断收发器和数字 I/O 电压。

在下一个上电周期之前， KSZ9031RNX 的所有电源电压应低于 0.4V，并且从掉电到上电，至少等待 150 ms 的时间。

表 7-4： 上电 / 掉电 / 复位时序参数

时序参数	说明	最小值	典型值	最大值	单位
t_{VR}	电源电压上升时间 （必须是单调的）	200	—	—	µs
t_{SR}	稳定电源电压到复位取消置位	10	—	—	ms
t_{CS}	配置引脚配置建立时间	5	—	—	ns
t_{CH}	配置引脚配置保持时间	5	—	—	
t_{RC}	复位取消置位到配置引脚输出	6	—	—	
t_{PC}	电源电压周期从关断到导通的时间	150	—	—	ms

© 2016 Microchip Technology Inc.

8.0 复位电路

下面给出了一些复位电路的建议。

图 8-1 显示了电源触发复位时为 KSZ9031RNX 上电的复位电路。

图 8-1： 由电源触发时的复位电路

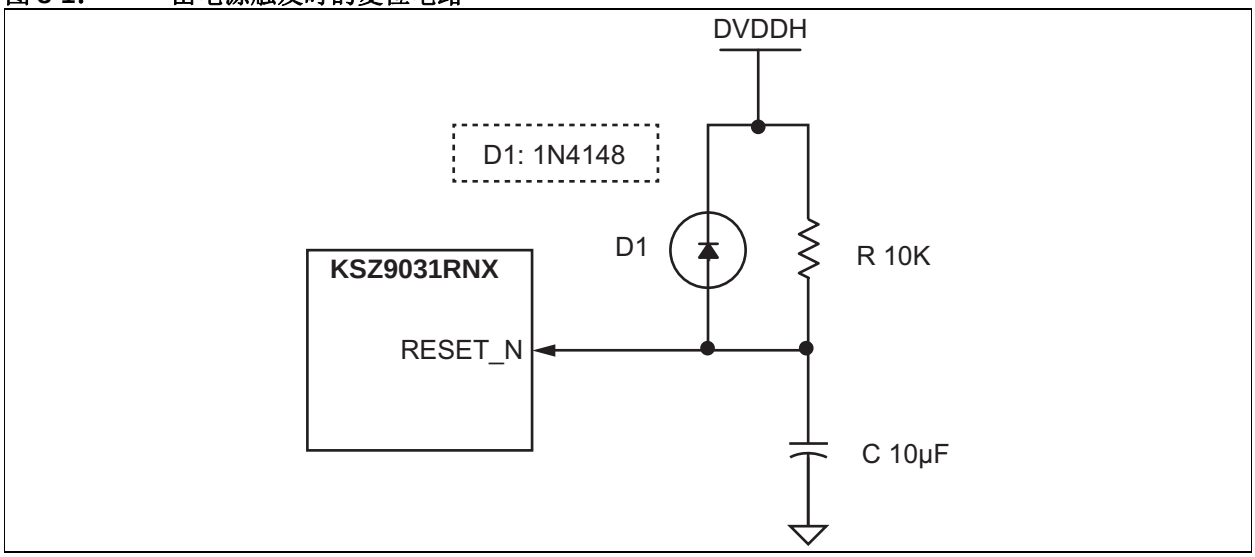


图 8-2 显示了由另一个器件 （如 CPU 或 FPGA）驱动复位时使用的复位电路。在上电复位时， R、 C 和 D1 提供复位 KSZ9031RNX 器件的单调上升时间。来自 CPU/FPGA 的 RST_OUT_N 在上电后提供热复位。

KSZ9031RNX 和 CPU/FPGA 参考相同的数字 I/O 电压 （DVDDH）。

图 8-2： 建议用于 CPU/FPGA 复位输出的复位电路

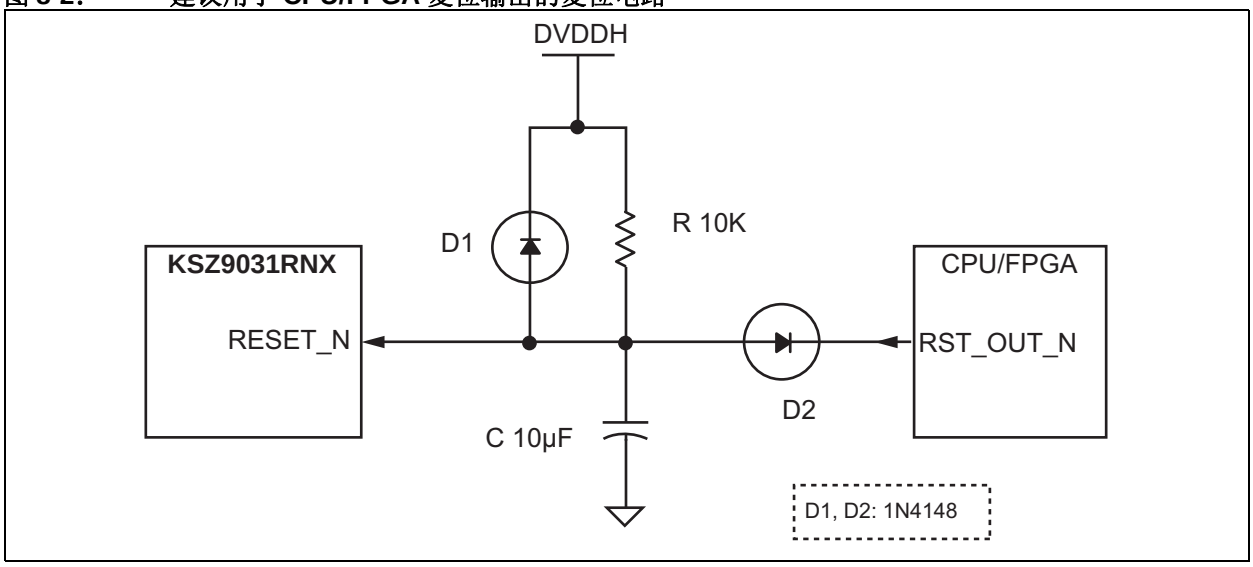
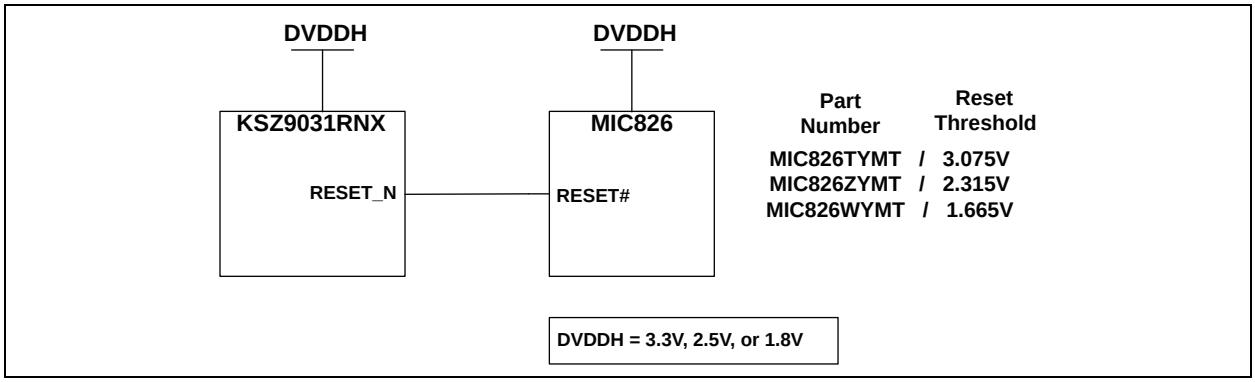


图 8-3 显示了使用 MIC826 电压监控程序驱动 KSZ9031RNX 复位输入的复位电路。

图 **8-3：** 使用 **MIC826** 电压监控程序的复位电路

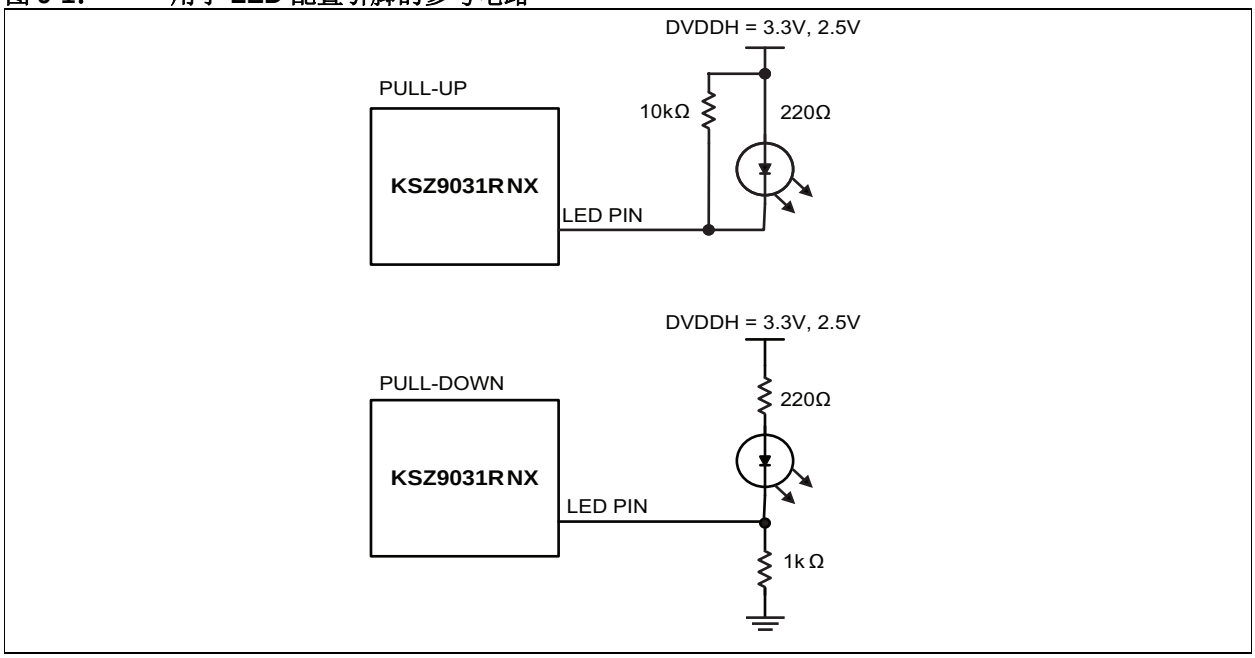


© 2016 Microchip Technology Inc.

9.0 参考电路 —LED 配置引脚

对于 3.3V 和 2.5V DVDDH， LED2/PHYAD1 和 LED1/PHYAD0 配置引脚的上拉和下拉参考电路如图 9-1 所示。

图 9-1： 用于 LED 配置引脚的参考电路



对于 1.8V DVDDH，LED 指示支持在 LED[2:1] 引脚和 LED 指示器二极管之间需要电压电平转换器，以确保多路复用的 PHYAD[1:0] 配置引脚正确锁存在高 / 低电平。如果没有实现 LED 指示器二极管，则 PHYAD[1:0] 配置引脚只需要 10 kΩ 上拉到 1.8V DVDDH 来提供值 1，并通过 1.0 kΩ 下拉到地来提供值 0。

10.0 参考时钟 — 连接和选择

可以使用晶振或外部时钟源 （如振荡器）为 KSZ9031RNX 提供参考时钟。 KSZ9031RNX 所有工作模式的参考时钟均为 25 MHz。

对于晶振 / 时钟引脚 （XI， XO）， KSZ9031RNX 使用 AVDDH 电源，模拟 3.3V （或只适用于商业级温度范围的模拟 2.5V 选项）。如果由外部提供 25 MHz 参考时钟，则 XI 输入引脚应具有 2.5V 参考地的最小时钟电压峰到峰 （V_{PP}）摆幅。如果 V_{PP} 低于 2.5V，建议使用串联电容耦合。使用电容耦合时，V_{PP} 摆幅可降至 1.5V。最大 V_{PP} 摆幅为 3.3V +5%。

图 10-1 和表 10-1 显示了到 KSZ9031RNX 的 XI 和 XO 的参考时钟连接和参考时钟选择标准。

图 10-1： 25 MHZ 晶振 / 振荡器参考时钟连接

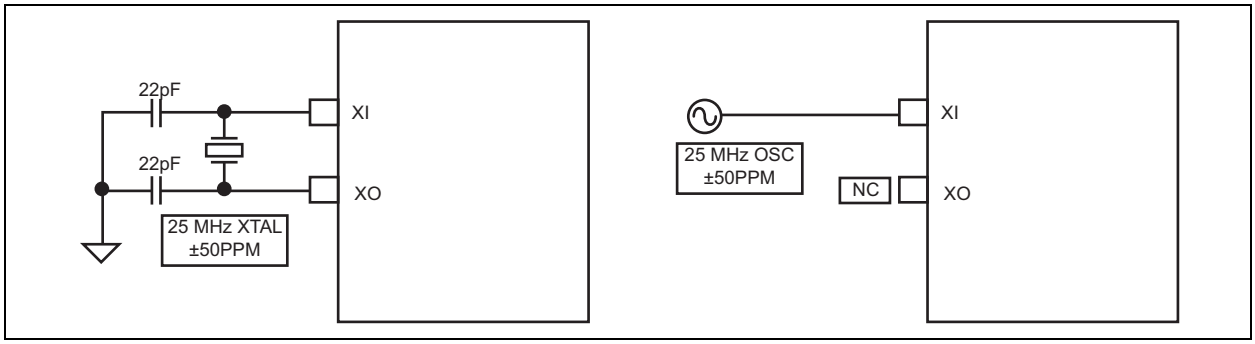


表 10-1： 25 MHZ 晶振 / 参考时钟选择标准

特性	值
频率	25 MHz
频率容差 （最大值）	±50 ppm
晶振串联电阻 （典型值）	40Ω
总周期抖动 （峰到峰）	<100 ps

11.0 片上 LDO 控制器 —MOSFET 选择

如果使用可选的 LDO 控制器生成 1.2V 的内核电压，则选择的 MOSFET 应高于以下最低要求：

- P 沟道
- 500 mA （连续电流）
- 3.3V 或 2.5V （源极 — 输入电压）
- 1.2V （漏极 — 输出电压）
- V_{GS} 在以下范围内：
  - （-1.2V 至 -1.5V） 500 mA，适用于 3.3V 源极电压
  - （-1.0V 至 -1.1V） 500 mA，适用于 2.5V 源极电压

MOSFET 的 V_{GS} 需要在恒定电流饱和区工作，而不是朝向 $V_{GS(th)}$ （MOSFET 截止区的门限电压）工作。

有关 LDO 控制器输出驱动范围到 MOSFET 栅极输入的信息，请参见表 6-11。

可以使用应用笔记 “ANLAN206 – KSZ9031 Gigabit PHY Optimized Power Scheme for High Efficiency, Low-Power Consumption and Dissipation”作为设计参考。

© 2016 Microchip Technology Inc.

12.0 磁性 — 连接和选择

线路接口处需要 1:1 隔离变压器。对于超出 FCC 要求的设计，请使用集成共模扼流圈。扼流圈后的可选自耦变压器级提供了额外的共模噪声和信号衰减。

KSZ9031RNX 设计集成了电压模式传输驱动器和片上端接。

借助电压模式实现，发送驱动器可向四个差分对提供共模电压。因此， KSZ9031RNX 侧的四个变压器中心抽头引脚不应连接到电路板上的任何电源；中心抽头引脚应彼此分开，并通过单独的 0.1 µF 共模电容器连接到地。需要分离是因为四个差分对之间的共模电压可能不同，具体视所连接的速率模式而定。

图 12-1 显示了 KSZ9031RNX 的典型千兆位磁性接口电路。

图 12-1： 典型千兆位磁性接口电路

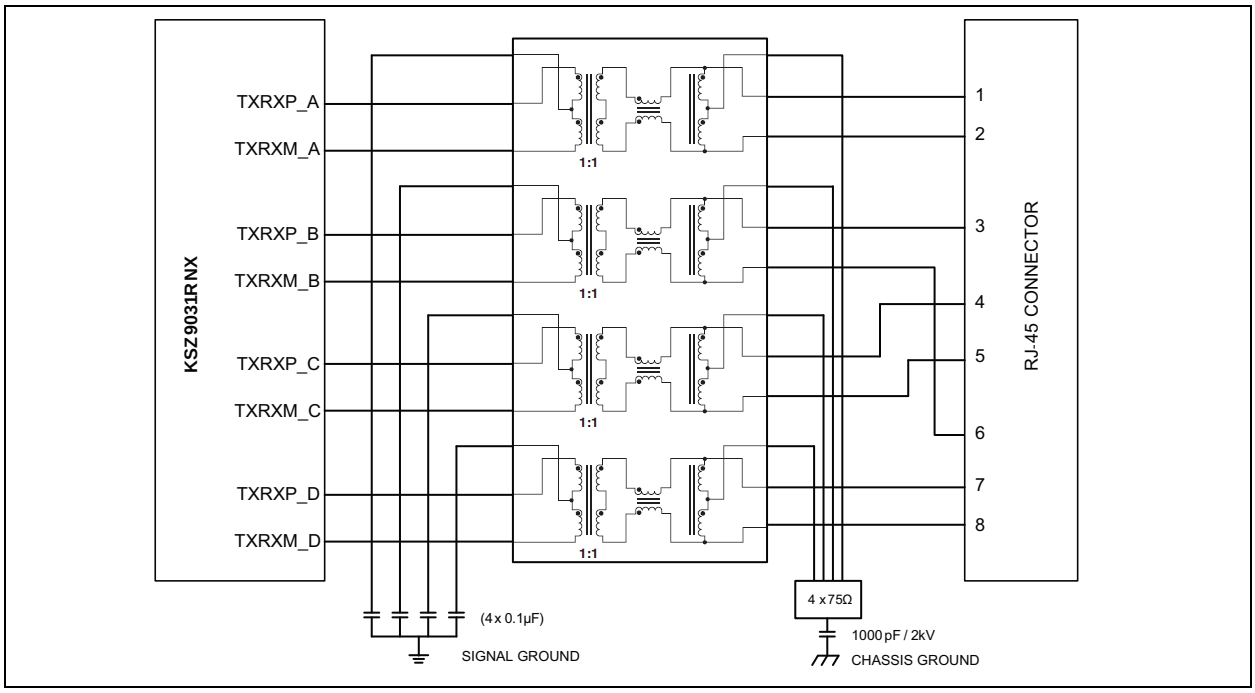


表 12-1 列出了建议的磁特性。

表 12-1： 磁性元件选择标准

参数	值	测试条件
匝数比	1 CT : 1 CT	—
开路电感 （最小值）	350 µH	100 mV， 100 kHz， 8 mA
插入损耗 （最大值）	1.0 dB	0 MHz 至 100 MHz
HIPOT （最小值）	1500 V_{RMS}	—

表 12-2 是兼容的单端口磁性元件的列表，它们在 G-PHY 芯片侧有分离的变压器中心抽头引脚，可与 KSZ9031RNX 配合使用。

表 12-2： 兼容的单端口 10/100/1000 磁性元件

制造商	部件编号	自耦变压器	温度范围	磁性元件 + RJ-45
Bel Fuse	0826-1G1T-23-F	是	0°C 至 70°C	是
HALO	TG1G-E001NZRL	否	-40°C 至 85°C	否

表 **12-2：** 兼容的单端口 **10/100/1000** 磁性元件 （续）

制造商	部件编号	自耦变压器	温度范围	磁性元件 **+ RJ-45**
HALO	TG1G-S001NZRL	否	0°C 至 70°C	否
HALO	TG1G-S002NZRL	是	0°C to 70°C	否
Pulse	H5007NL	是	0°C 至 70°C	否
Pulse	H5062NL	是	0°C 至 70°C	否
Pulse	HX5008NL	是	-40°C 至 85°C	否
Pulse	JK0654219NL	是	0°C 至 70°C	是
Pulse	JK0-0136NL	否	0°C 至 70°C	是
TDK	TLA-7T101LF	否	0°C 至 70°C	否
Wurth/Midcom	000-7093-37R-LF1	是	0°C 至 70°C	否

© 2016 Microchip Technology Inc.

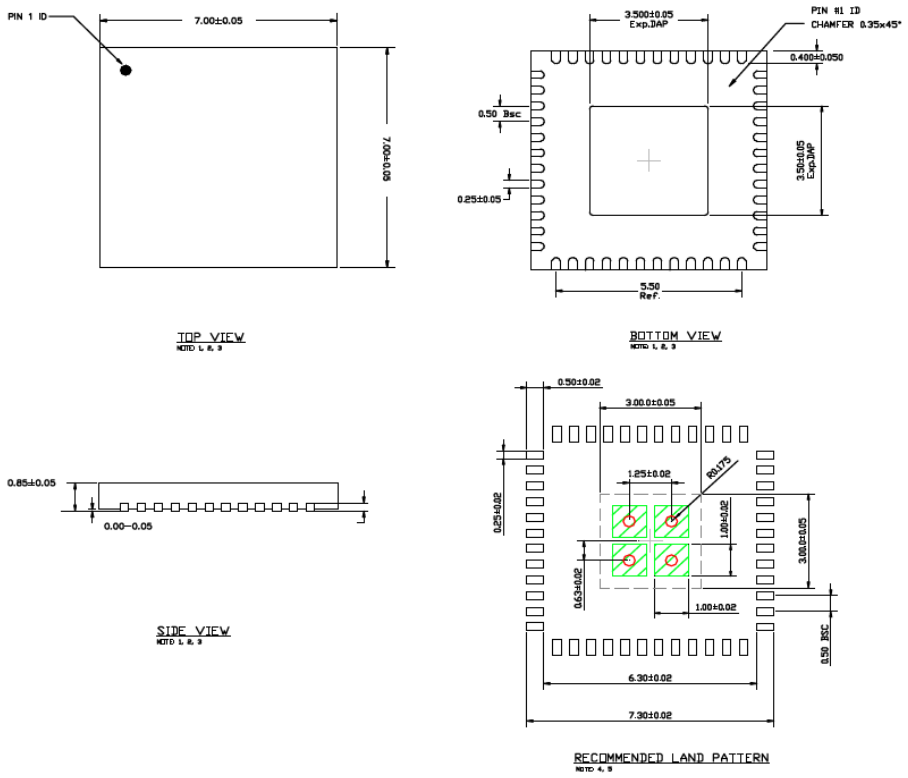
13.0 封装外形

注：	有关最新的封装图纸，请参见 Microchip 封装规范，网址：http://www.microchip.com/packaging

图 13-1： 48 引脚 QFN 7 MM X 7 MM 封装 （裸露焊盘面积为 3.5 MM X 3.5 MM）

TITLE
48 LEAD QFN 7x7mm PACKAGE OUTLINE & RECOMMENDED LAND PATTERN

DRAWING #	QFN77-48LD-PL-2	UNIT	MM

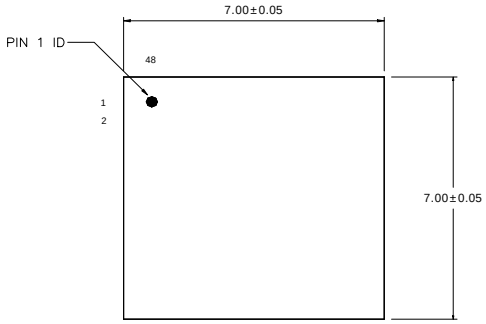


NOTE:
1. MAX PACKAGE WARPAGE IS 0.05mm
2. MAX ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
3. PIN #1 IS ON TOP WILL BE LASER MARKED
4. RED CIRCLE IN LAND PATTERN INDICATES THERMAL VIA. SIZE SHOULD BE 0.30-0.35mm IN DIAMETER AND SHOULD BE CONNECTED TO GND FOR MAX THERMAL PERFORMANCE. PITCH is 1.25mm.
5. GREEN RECTANGLES (SHADED AREA) REPRESENT SOLDER STENCIL OPENING ON EXPOSED PAD AREA. RECOMMENDED SIZE IS 1.00mm x 1.00mm, SPACING IS 0.25mm, PITCH is 1.25mm.

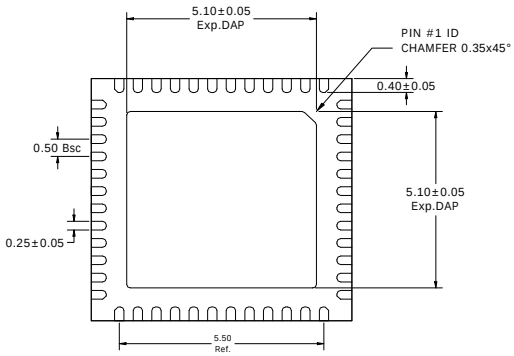
图 13-2： 48 引脚 QFN 7 MM X 7 MM 封装 （裸露焊盘面积为 5.1 MM X 5.1 MM）

TITLE
48 LEAD QFN 7x7mm PACKAGE OUTLINE & RECOMMENDED LAND PATTERN

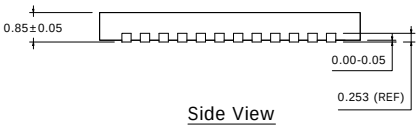
DRAWING #	QFN77-48LD-PL-1	**UNIT**	MM



Top View
NOTE: 1, 2, 3



Bottom View
NOTE: 1, 2, 3



Side View
NOTE: 1, 2, 3

NOTE:
1. MAX PACKAGE WARPAGE IS 0.05mm.
2. MAX ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
3. PIN #1 IS ON TOP WILL BE LASER MARKED.
4. RED CIRCLE IN LAND PATTERN INDICATES THERMAL VIA. SIZE SHOULD BE 0.30-0.35mm IN DIAMETER AND SHOULD BE CONNECTED TO GND FOR MAX THERMAL PERFORMANCE. PITCH is 1.00mm.
5. GREEN RECTANGLES (SHADED AREA) REPRESENT SOLDER STENCIL OPENING ON EXPOSED PAD AREA. RECOMMENDED SIZE IS 1.00x1.00mm, SPACING IS 0.25mm.

© 2016 Microchip Technology Inc.

图 13-3： 48 引脚 QFN 7 MM X 7 MM 封装 （裸露焊盘面积为 5.1 MM X 5.1 MM）及建议的焊盘图案

POD-Land Pattern drawing #: QFN77-48LD-PL-1-C

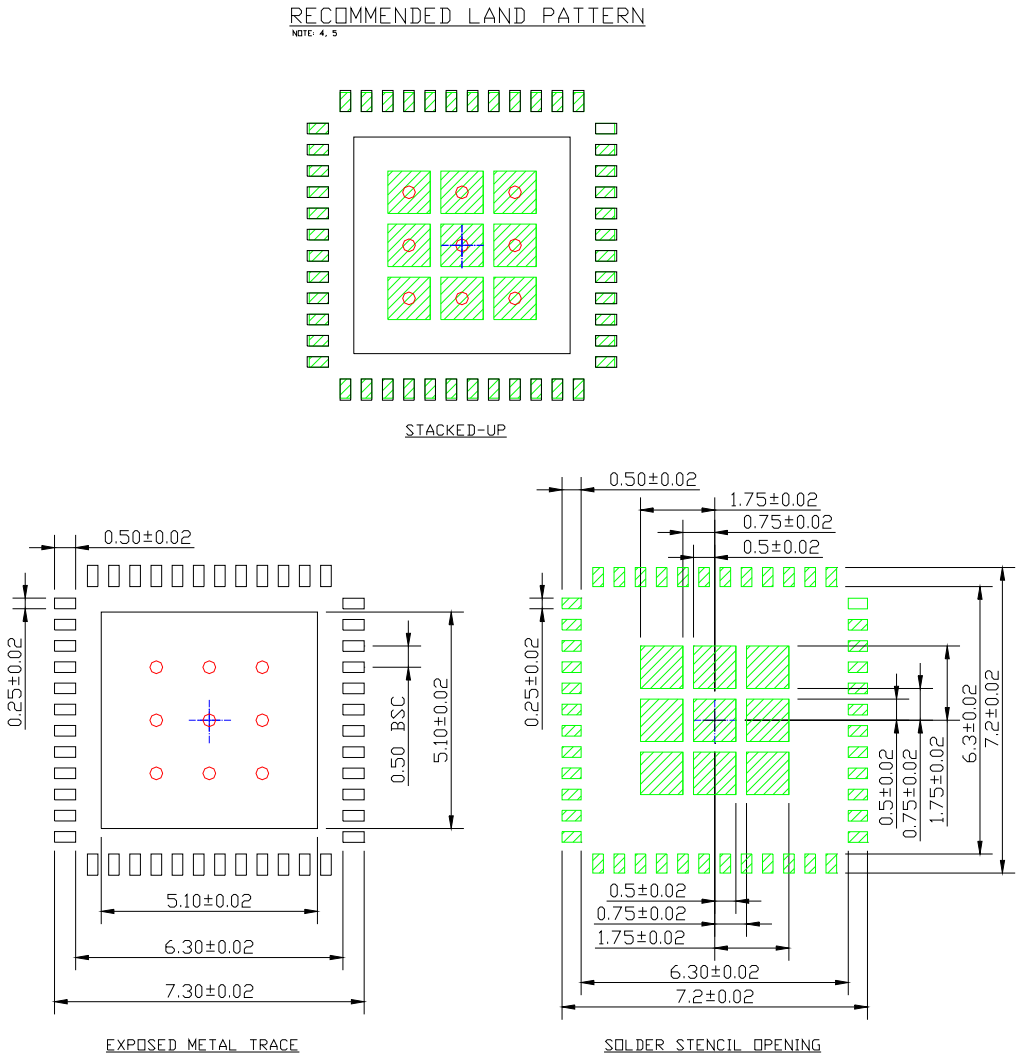
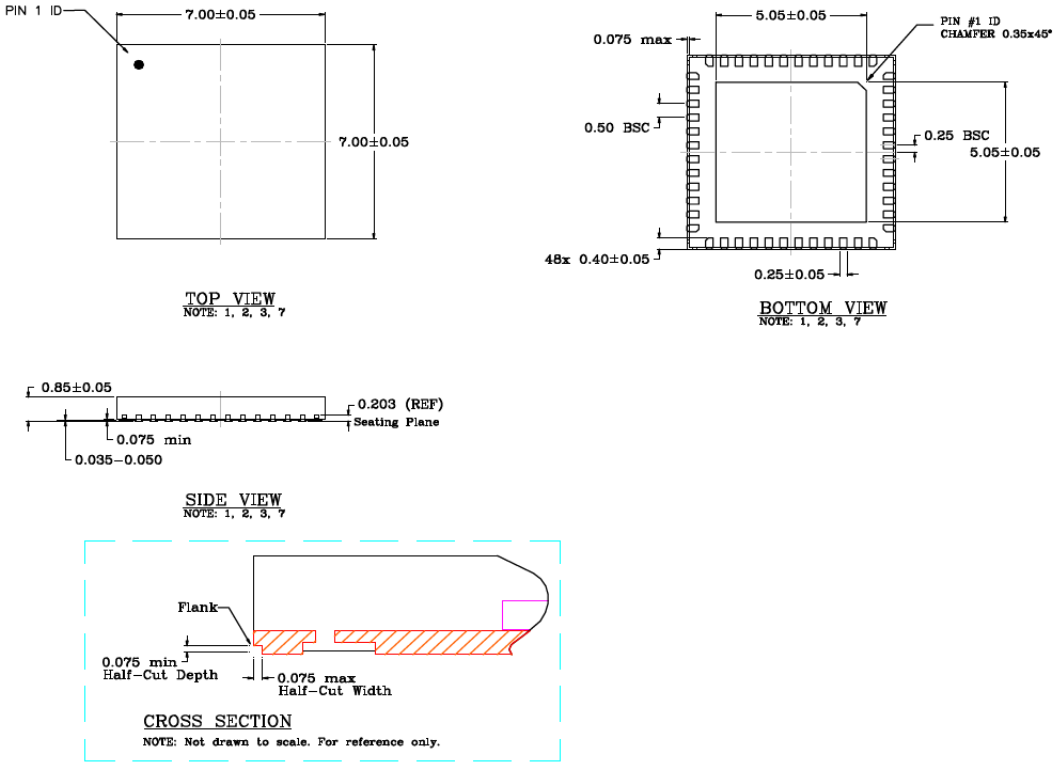


图 13-4： 48 引脚 WQFN 7 MM X 7 MM 封装 （裸露焊盘面积为 5.05 MM X 5.05 MM）

TITLE
48 LEAD WQFN 7x7mm PACKAGE (Wettable Flank) OUTLINE & RECOMMENDED LAND PATTERN

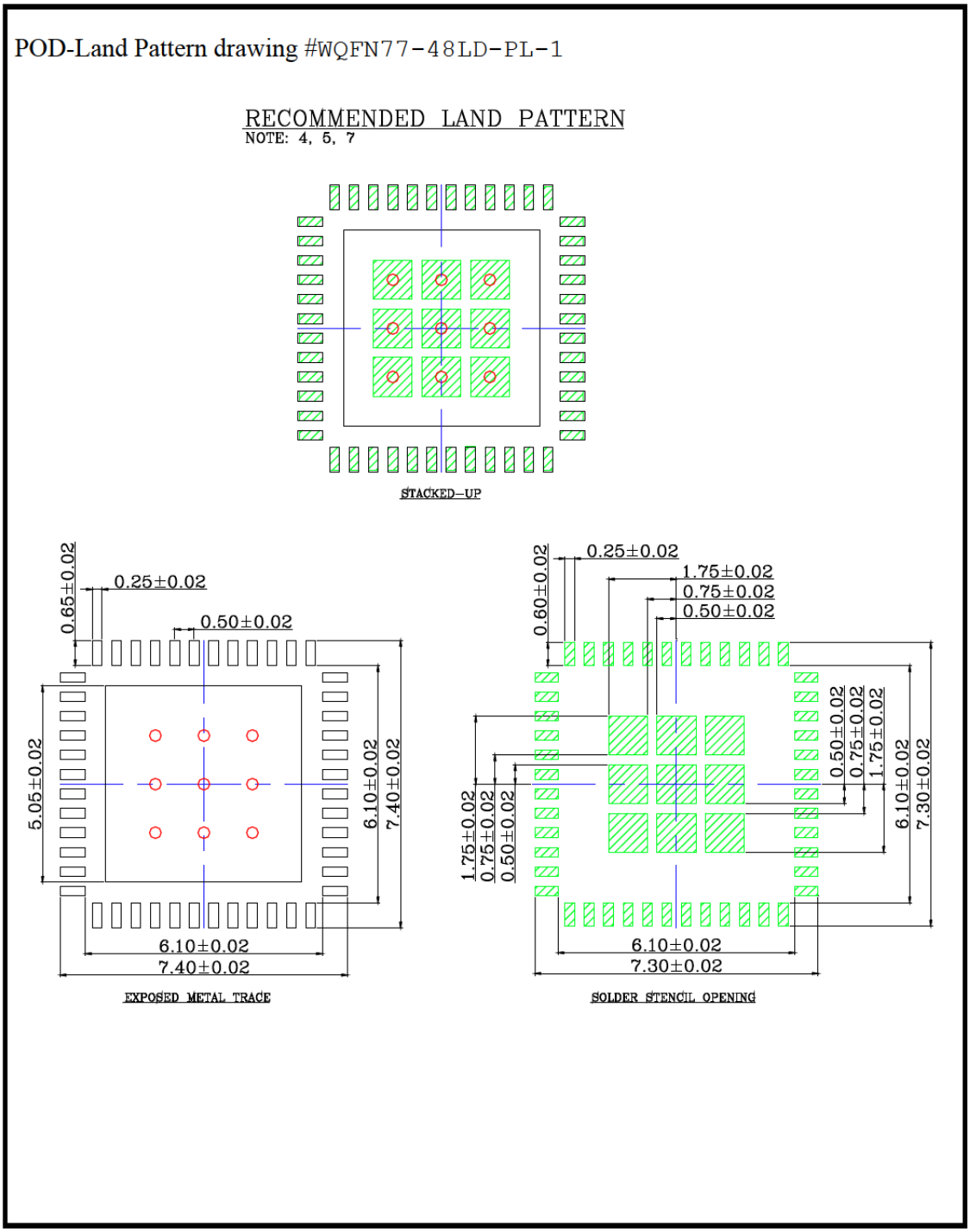
DRAWING #	WQFN77-48LD-PL-1	UNIT	MM



NOTE:
1. MAX PACKAGE WARPAGE IS 0.05mm.
2. MAX ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
3. PIN #1 IS ON TOP WILL BE LASER MARKED.
4. RED CIRCLES IN LAND PATTERN INDICATES THERMAL VIA. SIZE SHOULD BE 0.30-0.35mm IN DIAMETER AND SHOULD BE CONNECTED TO GND FOR MAX THERMAL PERFORMANCE. PITCH = 1.00mm
5. GREEN RECTANGLES (SHADED AREA) REPRESENT SOLDER STENCIL OPENING ON EXPOSED PAD AREA. RECOMMENDED SIZE IS 1.0x1.0mm, SPACING = 0.25mm.
6. "W" IN WQFN IS WETTABLE FLANK PACKAGE.

© 2016 Microchip Technology Inc.

图 13-5： 48 引脚 WQFN 7 MM X 7 MM 封装（裸露焊盘面积为 5.05 MM X 5.05 MM）及建议的焊盘图案



附录 A： 数据手册版本历史

表 A-1： 版本历史

版本	章节 / 图 / 条目	修正
DS00002117C （07-26-16）	全部	删除了节能以太网功能。
DS00002117B （05-24-16）	10.0 参考时钟 — 连接和选择	指定了 25 MHz 参考晶振 / 时钟的抖动。
DS00002117A （03-14-16）		将 Micrel 数据手册 KSZ9031RNX 转换为 Microchip DS00002117A。全文略加改动。
	局域网唤醒 — 定制数据包，预期CRC 1和CRC 2寄存器。	在上一版中，用于指示预期 CRC 两个字节的 “下” 和 “上” 符号被调换位置。
	产品标识体系	指定了封装的裸露焊盘尺寸面积。
	封装信息	将铜线部件编号 （KSZ9031RNXCC，KSZ9031RNXIC）的信息更正为 “48 引脚 （7 mm x 7 mm） QFN （裸露焊盘面积为 5.1 mm x 5.1 mm）”。此为数据手册修正。铜线封装没有变化。

© 2016 Microchip Technology Inc.

MICROCHIP 网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联浏览器即可访问。网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com。在 “支持”（Support）下，点击 “变更通知客户”（Customer Change Notification）服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	X	XX	X	X
器件	接口	封装	温度	封装接线

器件：	KSZ9031
接口：	R = RGMII
封装：	NX = 48 引脚 QFN 或 WQFN
温度：	C = 0°C 至 +70°C （商业级） I = –40°C 至 +85°C （工业级） U = –40°C 至 +85°C （汽车级） V = –40°C 至 +105°C （扩展汽车级）
封装接线：	A = 金丝 C = 铜丝

示例：

a) KSZ9031RNXCA
RGMII 接口
48 引脚 QFN（无铅，3.5 mm × 3.5 mm 裸露焊盘）封装
商业级温度范围
金丝焊接

b) KSZ9031RNXCC
RGMII 接口
48 引脚 QFN（无铅，5.1 mm × 5.1 mm 裸露焊盘）封装
商业级温度范围
铜丝焊接

c) KSZ9031RNXIA
RGMII 接口
48 引脚 QFN（无铅，3.5 mm × 3.5 mm 裸露焊盘）封装
工业级温度范围
金丝焊接

d) KSZ9031RNXIC
RGMII 接口
48 引脚 QFN（无铅，5.1 mm × 5.1 mm 裸露焊盘）封装
工业级温度范围
铜丝焊接

e) KSZ9031RNXUA
RGMII 接口
48 引脚 WQFN
（无铅， 5.05 mm × 5.05 mm 裸露焊盘）封装
汽车级温度范围
金丝焊接

f) KSZ9031RNXVA
RGMII 接口
48 引脚 WQFN
（无铅， 5.05 mm × 5.05 mm 裸露焊盘）封装
扩展汽车级温度范围
金丝焊接

© 2016 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

QUALITY MANAGEMENT SYSTEM CERTIFIED BY DNV

═ ISO/TS 16949 ═

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 AnyRate、 AVR、 AVR 徽标、 AVR Freaks、 BeaconThings、 BitCloud、 CryptoMemory、 CryptoRF、 dsPIC、 FlashFlex、 flexPWR、 Heldo、 JukeBlox、 KEELOQ、 KEELOQ 徽标、 Kleer、 LANCheck、 LINK MD、 maXStylus、 maXTouch、 MediaLB、 megaAVR、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、 picoPower、 PICSTART、 PIC32 徽标、 Prochip Designer、 QTouch、 RightTouch、 SAM-BA、 SpyNIC、 SST、 SST 徽标、 SuperFlash、 tinyAVR、 UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、 The Embedded Control Solutions Company、 EtherSynch、 Hyper Speed Control、 HyperLight Load、 IntelliMOS、 mTouch、 Precision Edge 和 Quiet-Wire 均为 Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、 AKS、 Analog-for-the-Digital Age、 Any Capacitor、 AnyIn、 AnyOut、 BodyCom、 chipKIT、 chipKIT 徽标、 CodeGuard、 CryptoAuthentication、 CryptoCompanion、 CryptoController、 dsPICDEM、 dsPICDEM.net、 Dynamic Average Matching、 DAM、 ECAN、 EtherGREEN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 JitterBlocker、 KleerNet、 KleerNet 徽标、 Mindi、 MiWi、 motorBench、 MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、 NetDetach、 Omniscient Code Generation、 PICDEM、 PICDEM.net、 PICkit、 PICtail、 PureSilicon、 QMatrix、 RightTouch 徽标、 REAL ICE、 Ripple Blocker、 SAM-ICE、 Serial Quad I/O、 SMART-I.S.、 SQI、 SuperSwitcher、 SuperSwitcher II、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、 WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2016, Microchip Technology Inc. 版权所有。

ISBN：978-1-5224-1164-2

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-3326-8000
Fax: 86-21-3326-8021

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

亚太地区

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

法国 France - Saint Cloud
Tel: 33-1-30-60-70-00

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-67-3636

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7289-7561

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2016 Microchip Technology Inc.