MCP37220-200
MCP37D20-200

200 Msps 14 位低功耗单通道 ADC

特性

- 采样速率：200 Msps
- f_{IN} = 15 MHz 且幅值为-1 dBFS时的信噪比（Signal-to-Noise Ratio， SNR）：
  - 200 Msps 时为 67.8 dBFS （典型值）
- f_{IN} = 15 MHz 且幅值为 -1 dBFS 时的无杂散动态范围 （Spurious-Free Dynamic Range， SFDR）：
  - 200 Msps 时为 96 dBc （典型值）
- 使用 LVDS 数字 I/O 时的功耗：
  - 200 Msps 时为 348 mW
- 使用 CMOS 数字 I/O 时的功耗：
  - 200 Msps 时为 306 mW，输出时钟 = 100 MHz
- 不使用数字 I/O 时的功耗：
  - 200 Msps 时为 257 mW
- 节能模式：
  - 待机期间功耗为 80 mW
  - 关断期间功耗为 33 mW
- 供电电压：
  - 数字部分：1.2V 和 1.8V
  - 模拟部分：1.2V 和 1.8V
- 可选择的满量程输入范围：最高为 1.8 V_{P-P}
- 模拟输入带宽：650 MHz
- 输出接口：
  - 并行 CMOS 和 DDR LVDS
- 输出数据格式：
  - 二进制补码或偏移二进制
- 可选的输出数据随机数发生器
- 数字信号后处理（Digital Signal Post-Processing，DSPP）选项：
  - 用于提高 SNR 的抽取滤波器
  - 失调和增益调整
  - 数字下变频（Digital Down-Conversion，DDC），可产生 I/Q 或 f_S/8 输出 （MCP37D20-200）
- 内置 ADC 线性校准算法：
  - 谐波失真校正 （Harmonic Distortion Correction，HDC）
  - DAC 噪声消除 （DAC Noise Cancellation， DNC）
  - 动态元件匹配 （Dynamic Element Matching，DEM）
  - 闪存误差校准
- 串行外设接口（Serial Peripheral Interface，SPI）
- 封装选项：
  - VTLA-124 （9 mm x 9 mm x 0.9 mm）
  - TFBGA-121 （8 mm x 8 mm x 1.08 mm）
- TFBGA 封装不需要外部参考电压去耦电容
- 工业级温度范围：-40°C 至 +85°C

典型应用

- 通信仪器
- 微波数字无线电
- 蜂窝基站
- 雷达
- 扫描仪和低功耗便携式仪器
- 工业和消费类数据采集系统

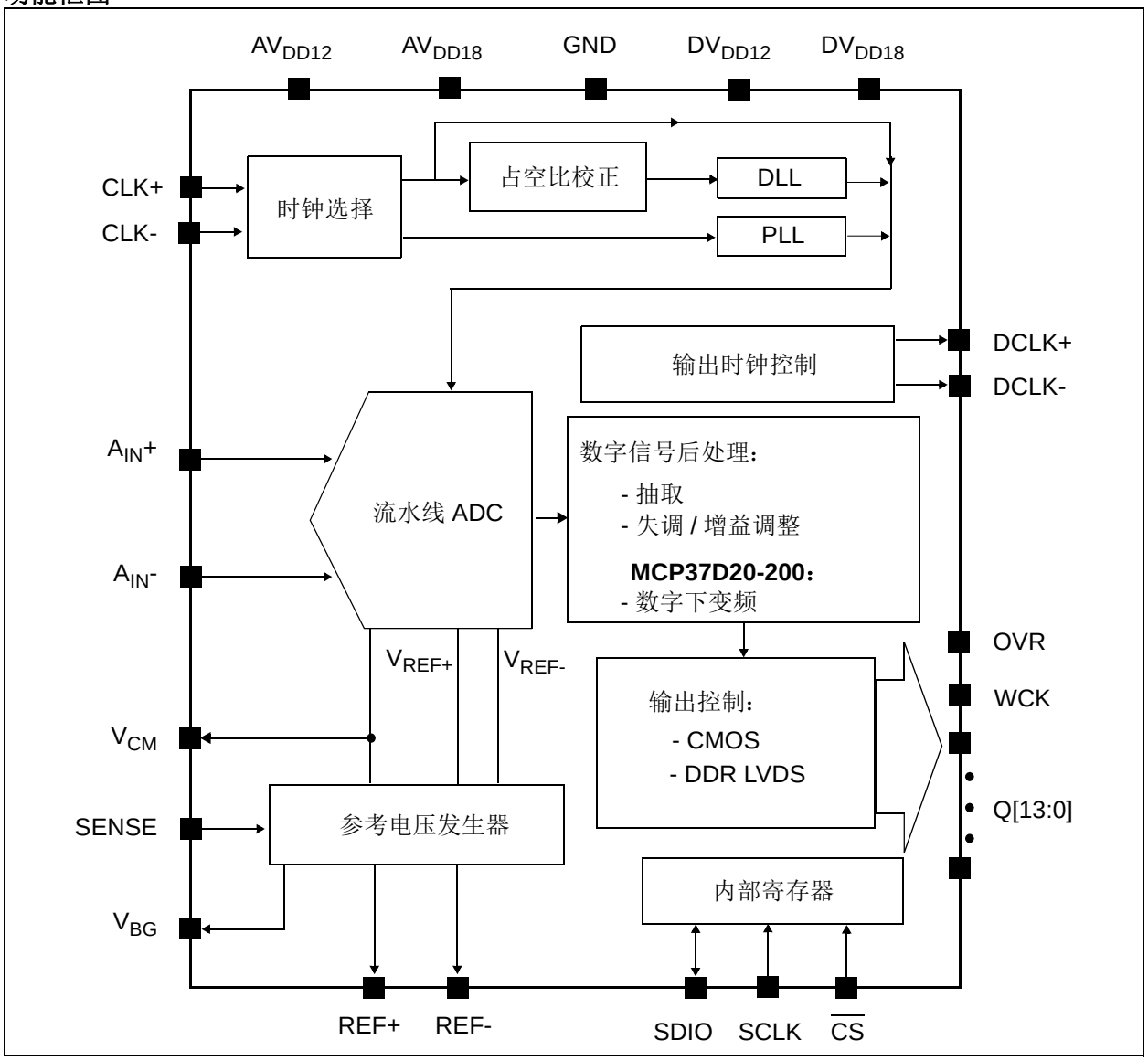
器件产品 (1)

部件编号	采样速率	分辨率	数字抽取（FIR 滤波器）	数字下变频	噪声整形再量化器
MCP37220-200	200 Msps	14	有	无	无
MCP37D20-200	200 Msps	14	有	有	无
MCP37210-200	200 Msps	12	有	无	有
MCP37D10-200	200 Msps	12	有	有	有

注 1： 对于 TFBGA 封装，请与 Microchip Technology Inc. 联系来了解供货情况。采用相同封装类型的器件是引脚兼容的。

© 2016 Microchip Technology Inc.

功能框图



© 2016 Microchip Technology Inc.

说明

MCP37220-200 是一款单通道 200 Msps 14 位流水线 ADC，具有内置的高次数字抽取滤波器以及增益和失调调整功能。

MCP37D20-200 也是一款单通道 200 Msps 14 位流水线 ADC，除了 MCP37220-200 所提供的功能，还具有内置的数字下变频功能。

这两款器件均具有谐波失真校正和DAC噪声消除功能，支持 SNR 为 67.8 dBFS（典型值）和 SFDR 为 96 dBc（典型值）的高性能规范。

使用 512x 抽取设置时，输出抽取滤波器选项最高可将 SNR 性能提高至 83.9 dBFS。

MCP37D20-200中的数字下变频选项可以与抽取和正交输出（I 和 Q 数据）选项配合使用，在数字通信系统设计（包括蜂窝基站和窄带通信系统）中提供极大的灵活性。

这些 A/D 转换器具有行业领先的低功耗性能，200 Msps 时使用 LVDS 输出接口工作时的功耗仅为 348 mW。这种优越的低功耗特性，再加上良好的动态性能，使这些器件成为便携式通信设备、声纳、雷达以及高速数据采集系统的理想选择。

此外，这些器件还包含了各种旨在最大程度提高用户应用中的灵活性和最大程度降低系统成本的特性，例如可编程 PLL 时钟、输出数据速率控制和相位对齐，以及可编程数字模式发生。器件的工作模式和功能集通过设置用户可编程的内部寄存器来配置。

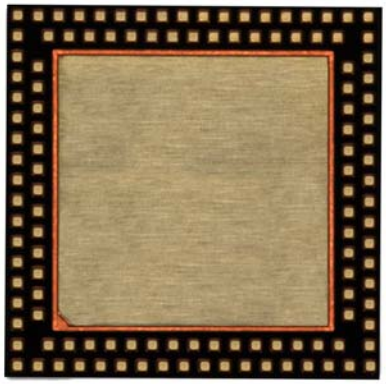
器件在时钟的上升沿对模拟输入进行采样。数字输出编码在 23 个时钟周期的数据延时后可用。如果使能了任何数字信号后处理 （DSPP）选项，延时将会增加。

差分满量程模拟输入范围最高可设定为 1.8V_{P-P}。 ADC 输出数据可以编码为二进制补码或偏移二进制表示形式，使用或不使用数据随机数发生器选项均可。输出数据通过全速率 CMOS 或双倍数据速率 （Double-Data-Rate， DDR） LVDS 接口提供。

器件采用无铅 VTLA-124 和 TFBGA 121 封装。器件在商业级温度范围 -40°C 至 +85°C 内工作。

封装类型

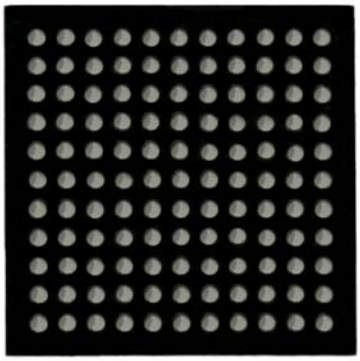
仰视图



尺寸：9 mm x 9 mm x 0.9 mm

(a) VTLA-124 *封装*

仰视图



尺寸：8 mm x 8 mm x 1.08 mm
球状引脚间距：0.65 mm
球状引脚直径：0.4 mm

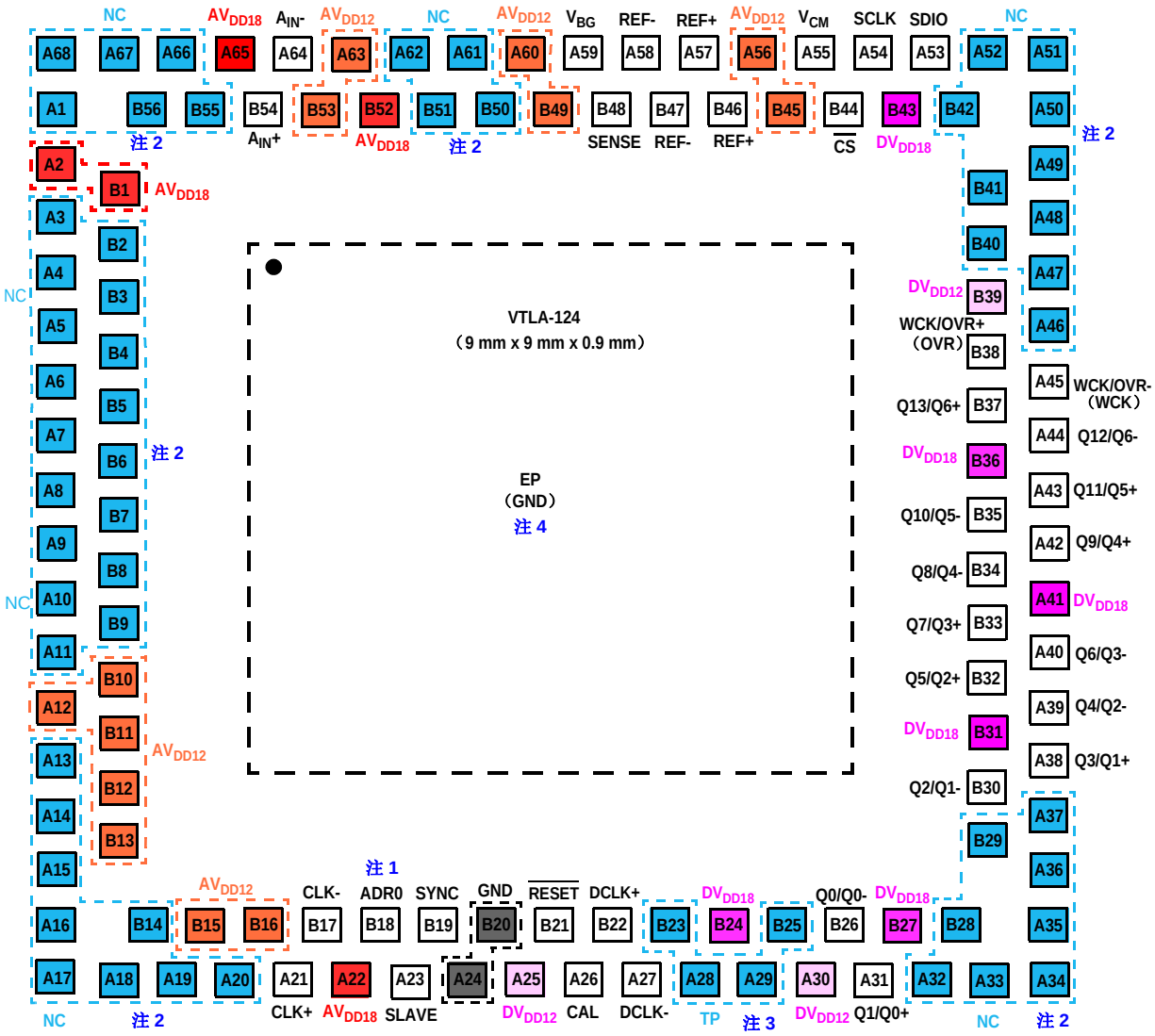
(b) TFBGA-121 *封装*
（ 欲了解供货情况，请与*
Microchip Technology Inc. *联系）*

注：

© 2016 Microchip Technology Inc.

1.0 封装引脚配置和功能说明

俯视图
（未按比例显示）



注 1：连接到 GND 或 DV_{DD18}。 ADR1 内部连接到 GND。

2：NC—— 不连接的引脚。该引脚可以悬空或接地。

3：TP—— 测试引脚。将该引脚保留悬空，不要接地或连接电源。

4：裸露焊盘 （Exposed Pad， EP—— 封装的背面焊盘）是模拟和数字电源的公共地 （GND）。将该焊盘连接到 PCB 上洁净的参考地。

图 1-1： VTLA-124 *封装*

表 1-1： VTLA-124 的引脚功能表

引脚编号	名称	I/O 类型	说明
电源引脚			
A2, A22, A65, B1, B52	AV_{DD18}	供电	模拟部分的供电电压输入 （1.8V）
A12, A56, A60, A63, B10, B11, B12, B13, B15, B16, B45, B49, B53	AV_{DD12}		模拟部分的供电电压输入 （1.2V）
A25, A30, B39	DV_{DD12}		数字部分的供电电压输入 （1.2V）
A41, B24, B27, B31, B36, B43	DV_{DD18}		数字部分和所有数字 I/O 的供电电压输入 （1.8V）
EP	GND		裸露焊盘：数字和模拟部分的公共接地引脚
ADC 模拟输入引脚			
B54	A_{IN}+	模拟输入	差分模拟输入 （+）
A64	A_{IN}-		差分模拟输入 （-）
A21	CLK+		差分时钟输入 （+）
B17	CLK-		差分时钟输入 （-）
参考电压引脚 (1)			
A57, B46	REF+	模拟输出	差分参考电压 （+）
A58, B47	REF-		差分参考电压 （-）
SENSE、带隙和共模电压引脚			
B48	SENSE	模拟输入	模拟输入满量程范围选择。关于 SENSE 电压设置，请参见表 4-2。
A59	V_{BG}	模拟输出	内部带隙输出电压。 连接一个去耦电容 （2.2 µF）
A55	V_{CM}		模拟输入信号的共模输出电压。 连接一个去耦电容 （0.1 µF） (2)
数字 I/O 引脚			
B18	ADR0	数字输入	SPI 地址选择引脚 （A0 位）。连接到 GND 或 DV_{DD18} (3)
A23	SLAVE		不使用。连接到 GND (9)
B19	SYNC	数字输入 / 输出	不使用。将该引脚保留悬空 (9)
B21	$\overline{RESET}$	数字输入	复位控制输入： **高电平：**正常工作模式 **低电平：**复位模式 (4)
A26	CAL	数字输出	校准状态标志数字输出： **高电平：**校准已完成 **低电平：**校准未完成 (5)
B22	DCLK+		**LVDS：**差分数字时钟输出 （+） **CMOS：**数字时钟输出 (6)
A27	DCLK-		**LVDS：**差分数字时钟输出 （-） **CMOS：**未用 （保留悬空）

© 2016 Microchip Technology Inc.

表 1-1： VTLA-124 的引脚功能表 （续）

引脚编号	名称	I/O 类型	说明
ADC 输出引脚 [7]			
B26	Q0/Q0-	数字输出	数字数据输出：CMOS = Q0 DDR LVDS = Q0-
A31	Q1/Q0+		数字数据输出：CMOS = Q1 DDR LVDS = Q0+
B30	Q2/Q1-		数字数据输出：CMOS = Q2 DDR LVDS = Q1-
A38	Q3/Q1+		数字数据输出：CMOS = Q3 DDR LVDS = Q1+
A39	Q4/Q2-		数字数据输出：CMOS = Q4 DDR LVDS = Q2-
B32	Q5/Q2+		数字数据输出：CMOS = Q5 DDR LVDS = Q2+
A40	Q6/Q3-		数字数据输出：CMOS = Q6 DDR LVDS = Q3-
B33	Q7/Q3+		数字数据输出：CMOS = Q7 DDR LVDS = Q3+
B34	Q8/Q4-		数字数据输出：CMOS = Q8 DDR LVDS = Q4-
A42	Q9/Q4+		数字数据输出：CMOS = Q9 DDR LVDS = Q4+
B35	Q10/Q5-		数字数据输出：CMOS = Q10 DDR LVDS = Q5-
A43	Q11/Q5+		数字数据输出：CMOS = Q11 DDR LVDS = Q5+
A44	Q12/Q6-		数字数据输出：CMOS = Q12 DDR LVDS = Q6-
B37	Q13/Q6+		数字数据输出：CMOS = Q13 DDR LVDS = Q6+
B38	WCK/ OVR+ (OVR)		**OVR：** 输入超范围指示数字输出 [8] **WCK：** - **MCP37220：** 无输出 - **MCP37D20：** 在 I/Q 数据模式下，字时钟与数字输出同步
A45	WCK/OVR- (WCK)		
SPI 接口引脚			
A53	SDIO	数字输入 / 输出	SPI 数据输入 / 输出
A54	SCLK	数字输入	SPI 串行时钟输入
B44	$\overline{CS}$		SPI 片选输入

表 1-1： VTLA-124 的引脚功能表 （续）

引脚编号	名称	I/O 类型	说明
不连接的引脚			
A1, A3 - A7, A8 - A11, A13 - A20, A32 - A37, A46 - A52, A61 - A62, A66 - A68, B2 - B9, B14, B28, B29, B40, B41, B42, B50 - B51, B55, B56	NC		这些引脚可以接地或保留悬空。
需要接地的引脚			
A24, A64, B20, B54	GND		这些引脚不是电源引脚，但需要接地。
输出测试引脚			
A28 - A29, B23, B25	TP	数字输出	输出测试引脚。不要使用。总是将这些引脚保留悬空。不要接地或连接电源。

注：

1. 这些引脚用于内部参考电压输出。不应驱动它们。需要外部去耦电路。详情请参见**第 4.3.3 节 “内部参考电压和带隙输出的去耦电路”**。
2. 当 V_{CM} 输出用作模拟输入的共模电压（即通过连接到巴伦变压器的中心抽头）时，V_{CM} 引脚应使用 0.1 µF 电容去耦。
3. ADR1 （A1 位）内部连接到 GND （0）。如果动态控制 ADR0，在 $\overline{CS}$ 为低电平时， ADR0 必须保持不变。
4. 该引脚保持 “低电平” 时，器件处于复位模式。在 $\overline{RESET}$ 的上升沿，器件会退出复位模式，将所有内部用户寄存器初始化为默认值并开始上电校准。
5. CAL 引脚在上电时保持 “低电平”，直到第一次上电校准完成为止。第一次校准完成时，该引脚具有 “高电平” 输出。它一直保持 “高电平”，直到硬件或软复位命令重新启动内部校准。在复位模式下，该引脚为 “低电平”。在待机和关断模式下，该引脚将保持先前的状态。
6. 可以根据工作模式调整 DCLK 相对于数据输出位的相位。根据数字信号后处理（DSPP）和 PLL（或 DLL）的配置，它以不同的方式控制。更多详细信息，另请参见地址 0x52、 0x64 和 0x6D （寄存器 5-7、寄存器 5-22 和寄存器 5-28）。
7. **DDR LVDS：**两个数据位在每个差分输出对上进行复用。此处显示的输出引脚对应于 “偶编号位优先”，这是地址 0x62 （寄存器 5-20）中的 OUTPUT_MODE<1:0> 的默认设置。在 DCLK+ 为 “高电平” 时，出现偶编号数据位（Q0、Q2、Q4、Q6、Q8、Q10 和 Q12）。在 DCLK+ 为 “低电平” 时，出现奇编号数据位（Q1、Q3、Q5、Q7、Q9、Q11 和 Q13）。关于输出极性控制，请参见地址 0x65（寄存器 5-23）和 0x68（寄存器 5-26）。LVDS 输出时序图请参见图 2-2。
8. **OVR：**在检测到模拟输入超范围时， OVR 将保持 “高电平”。数字信号后处理（DSPP）会导致 OVR 相对于输出数据提前置为有效。这些位的 LVDS 时序请参见图 2-2。
   WCK：在 MCP37D20 中，仅对于 I/Q 输出模式可用。在 I/Q 输出模式下， WCK 通常为 “低电平”，在它输出同相 （I）数据时为 “高电平”。
   (a) MCP37220 和 MCP37D20 不在 I/Q 输出模式下工作：WCK/OVR+ 为 OVR，WCK/OVR- 为逻辑 0（不使用）。在 DDR LVDS 输出模式下， DCLK+ 的上升沿为 OVR。
   (b) MCP37D20 中的 I/Q 输出模式：在 CMOS 输出模式下， WCK/OVR+ 为 OVR， WCK/OVR- 为 WCK。WCK 与同相 （I）数据同步。在 DDR LVDS 输出模式下， WCK/OVR+ 和 WCK/OVR- 进行复用。 DCLK+ 的上升沿为 OVR，下降沿为 WCK。
9. 该引脚功能尚未发布。

© 2016 Microchip Technology Inc.

俯视图
（未按比例显示）

	1	2	3	4	5	6	7	8	9	10	11
A	SDIO	V_{CM}	REF+	REF-	V_{BG}	TP1	TP1	A_{IN-}	A_{IN+}	GND	GND
B	SCLK	$\overline{CS}$	GND	GND	SENSE	AV_{DD12}	AV_{DD12}	AV_{DD18}	AV_{DD18}	GND	GND
C	WCK/ OVR-（WCK）	WCK/ OVR+（OVR）	GND	GND	AV_{DD12}	AV_{DD12}	AV_{DD12}	GND	GND	GND	GND
D	Q12/Q6-	Q13/Q6+	GND	GND	AV_{DD12}	AV_{DD12}	AV_{DD12}	GND	GND	GND	GND
E	Q10/Q5-	Q11/Q5+	GND	GND	AV_{DD12}	AV_{DD12}	AV_{DD12}	GND	GND	GND	GND
F	Q8/Q4-	Q9/Q4+	DV_{DD18}	DV_{DD18}	AV_{DD12}	AV_{DD12}	AV_{DD12}	GND	GND	GND	GND
G	Q6/Q3-	Q7/Q3+	DV_{DD18}	DV_{DD18}	GND	GND	AV_{DD12}	AV_{DD12}	GND	GND	GND
H	Q4/Q2-	Q5/Q2+	DV_{DD12}	DV_{DD12}	GND	GND	GND	GND	GND	GND	GND
J	Q2/Q1-	Q3/Q1+	DV_{DD12}	DV_{DD12}	GND	GND	GND	GND	GND	GND	GND
K	Q0/Q0-	Q1/Q0+	TP2	DCLK-	CAL	GND	SLAVE	ADR0	ADR1	GND	GND
L	TP2	TP2	TP2	DCLK+	RESET	SYNC	GND	CLK+	CLK-	GND	AV_{DD18}

模拟
数字
所有其他： 供电电压

注：

- 裸片尺寸：8 mm x 8 mm x 1.08 mm。
- 球状引脚尺寸：(a) 球状引脚间距 = 0.65 mm，(b) 球状引脚直径 = 0.4 mm。
- 倒装焊芯片焊球成分：锡与银 1.8%。
- 焊球成分：SAC-405（锡 / 金 4%/ 铜 0.5%）。

*图*1-2： TFBGA-121 *封装。参考电压引脚和* V_{BG} *的去耦电容内嵌在封装中*

表 1-2：　TFBGA-121 的引脚功能表

球状引脚编号	名称	I/O 类型	说明
A1	SDIO	数字输入 / 输出	SPI 数据输入 / 输出
A2	V_{CM}	模拟输出	模拟输入信号的共模输出电压 连接一个去耦电容 （0.1 µF） (1)
A3	REF+		差分参考电压 （+/-）。去耦电容内嵌在 TFBGA 封装中。将这些引脚保留悬空。
A4	REF-		
A5	V_{BG}		内部带隙输出电压 去耦电容 （2.2　F）内嵌在 TFBGA 封装中。将该引脚保留悬空。
A6	TP1	模拟输出	模拟测试引脚。将这些引脚保留悬空。
A7			
A8	A_{IN-}	模拟输入	差分模拟输入 （-）
A9	A_{IN+}		差分模拟输入 （+）
A10	GND	供电	模拟和数字部分的公共地
A11			
B1	SCLK	数字输入	SPI 串行时钟输入
B2	$\overline{CS}$		SPI 片选输入
B3	GND	供电	模拟和数字部分的公共地
B4			
B5	SENSE	模拟输入	模拟输入范围选择。关于 SENSE 电压设置，请参见表 4-2。
B6	AV_{DD12}	供电	模拟部分的供电电压输入 （1.2V）
B7			
B8	AV_{DD18}		模拟部分的供电电压输入 （1.8V）
B9			
B10	GND	供电	模拟和数字部分的公共地
B11			
C1	WCK/OVR- （WCK）	数字输出	**OVR：**输入超范围指示数字输出 (2) **WCK：** - **MCP37220：**无输出 - **MCP37D20：**在 I/Q 数据模式下，字时钟与数字输出同步
C2	WCK/OVR+ （OVR）		
C3	GND	供电	模拟和数字部分的公共地
C4			
C5	AV_{DD12}		模拟部分的供电电压输入 （1.2V）
C6			
C7			
C8	GND		模拟和数字部分的公共地引脚
C9			
C10			
C11			

© 2016 Microchip Technology Inc.

表 1-2： TFBGA-121 的引脚功能表 （续）

球状引脚编号	名称	I/O 类型	说明
D1	Q12/Q6-	数字输出	数字数据输出 (3) CMOS = Q12 DDR LVDS = Q6-
D2	Q13/Q6+		数字数据输出 (3) CMOS = Q13 DDR LVDS = Q6+
D3	GND	供电	模拟和数字部分的公共地
D4			
D5	AV_{DD12}	供电	模拟部分的供电电压输入 （1.2V）
D6			
D7			
D8	GND	供电	模拟和数字部分的公共地
D9			
D10			
D11			
E1	Q10/Q5-	数字输出	数字数据输出 (3) CMOS = Q10 DDR LVDS = Q5-
E2	Q11/Q5+		数字数据输出 (3) CMOS = Q11 DDR LVDS = Q5+
E3	GND	供电	模拟和数字部分的公共地
E4			
E5	AV_{DD12}		模拟部分的供电电压输入 （1.2V）
E6			
E7			
E8	GND		模拟和数字部分的公共地
E9			
E10			
E11			
F1	Q8/Q4-	数字输出	数字数据输出 (3) CMOS = Q8 DDR LVDS = Q4-
F2	Q9/Q4+		数字数据输出 (3) CMOS = Q9 DDR LVDS = Q4+
F3	DV_{DD18}	供电	数字部分的供电电压输入 （1.8V）。 所有数字输入引脚通过相同的 DV_{DD18} 电势驱动。
F4			
F5	AV_{DD12}		模拟部分的供电电压输入 （1.2V）
F6			
F7			
F8	GND		模拟和数字部分的公共地
F9			
F10			
F11			

表 1-2： TFBGA-121 的引脚功能表 （续）

球状引脚编号	名称	I/O 类型	说明
G1	Q6/Q3-	数字输出	数字数据输出 (3) CMOS = Q6 DDR LVDS = Q3-
G2	Q7/Q3+		数字数据输出 (3) CMOS = Q7 DDR LVDS = Q3+
G3	DV_{DD18}	供电	数字部分的供电电压输入 （1.8V）。 所有数字输入引脚通过相同的 DV_{DD18} 电势驱动
G4			
G5	GND		模拟和数字部分的公共地
G6			
G7	AV_{DD12}	供电	模拟部分的供电电压输入 （1.2V）
G8			
G9	GND		模拟和数字部分的公共地
G10			
G11			
H1	Q4/Q2-	数字输出	数字数据输出 (3) CMOS = Q4 DDR LVDS = Q2-
H2	Q5/Q2+		数字数据输出 (3) CMOS = Q5 DDR LVDS = Q2+
H3	DV_{DD12}	供电	数字部分的供电电压输入 （1.2V）
H4			
H5	GND		模拟和数字部分的公共地
H6			
H7			
H8			
H9			
H10			
H11			
J1	Q2/Q1-	数字输出	数字数据输出 (3) CMOS = Q2 DDR LVDS = Q1-
J2	Q3/Q1+		数字数据输出 (3) CMOS = Q3 DDR LVDS = Q1+
J3	DV_{DD12}	供电	数字部分的直流供电电压输入引脚 （1.2V）
J4			
J5	GND		模拟和数字部分的公共地
J6			
J7			
J8			
J9			
J10			
J11			

© 2016 Microchip Technology Inc.

表 1-2： TFBGA-121 的引脚功能表 （续）

球状引脚编号	名称	I/O 类型	说明
K1	Q0/Q0-	数字输出	数字数据输出 (3) CMOS = Q0 DDR LVDS = Q0-
K2	Q1/Q0+		数字数据输出 (3) CMOS = Q1 DDR LVDS = Q0+
K3	TP2		输出测试引脚。 不要使用。不要接地或连接电源。总是将该引脚保留悬空。
K4	DCLK-		**LVDS：**差分数字时钟输出 （-） **CMOS：**未用 （保留悬空）
K5	CAL		校准状态标志数字输出 (4) **高电平：**校准已完成 **低电平：**校准未完成
K6	GND	供电	模拟和数字部分的公共地引脚
K7	SLAVE	数字输入	不使用。将该引脚连接到 GND(8)
K8	ADR0		SPI 地址选择引脚 （A0 位）。连接到 GND 或 DV_{DD18}(5)
K9	ADR1		SPI 地址选择引脚 （A1 位）。连接到 GND 或 DV_{DD18}(5)
K10	GND	供电	模拟和数字部分的公共地
K11			
L1	TP2	数字输出	输出测试引脚。不要使用。 不要接地或连接电源。总是将这些引脚保留悬空。
L2			
L3			
L4	DCLK+		**LVDS：**差分数字时钟输出 （+） **CMOS：**数字时钟输出 (6)
L5	$\overline{RESET}$	数字输入	复位控制输入： **高电平：**正常工作模式 **低电平：**复位模式 (7)
L6	SYNC	数字输入 / 输出	不使用。将该引脚保留悬空 (8)
L7	GND	供电	模拟和数字部分的公共地
L8	CLK+	模拟输入	差分时钟输入 （+）
L9	CLK-		差分时钟输入 （-）
L10	GND	供电	模拟和数字部分的公共地
L11	AV_{DD18}	模拟输入	模拟部分的供电电压输入 （1.8V）

注：

1. 当 V_{CM} 输出用作模拟输入的共模电压（即通过连接到巴伦变压器的中心抽头）时，V_{CM} 引脚应使用 0.1 µF 电容去耦。
2. **OVR：**在检测到模拟输入超范围时， OVR 将保持 “高电平”。数字信号后处理 （DSPP）会导致 OVR 相对于输出数据提前置为有效。这些位的 LVDS 时序请参见图 2-2。
   WCK：在 MCP37D20 中，仅对于 I/Q 输出模式可用。在 I/Q 输出模式下， WCK 通常为 “低电平”，而在它输出同相 （I）数据时为 “高电平”。
   (a) MCP37220 和 MCP37D20 不在 I/Q 输出模式下工作：WCK/OVR+ 为 OVR， WCK/OVR- 为逻辑 “0”（不使用）。在 DDR LVDS 输出模式下， DCLK+ 的上升沿为 OVR。
   (b) MCP37D20 中的 I/Q 输出模式：在 CMOS 输出模式下， WCK/OVR+ 为 OVR， WCK/OVR- 为 WCK。WCK 与同相 （I）数据同步。在 DDR LVDS 输出模式下， WCK/OVR+ 和 WCK/OVR- 进行复用。 DCLK+ 的上升沿为 OVR，下降沿为 WCK。
3. **DDR LVDS：**两个数据位在每个差分输出对上进行复用。在 DCLK+ 为 “高电平” 时，出现偶编号数据位 （Q0、Q2、Q4、Q6、Q8、Q10 和 Q12）。在 DCLK+ 为 “低电平” 时，出现奇编号数据位（Q1、Q3、Q5、Q7、Q9、Q11 和 Q13）。关于输出极性控制，请参见地址 0x65 （寄存器 5-23）和 0x68 （寄存器 5-26）。
   LVDS 输出时序图请参见图 2-2。
4. CAL 引脚在上电时保持 “低电平”，直到第一次上电校准完成为止。第一次校准完成时，该引脚具有 “高电平” 输出。它一直保持 “高电平”，直到硬件或软复位命令重新启动内部校准。在复位模式下，该引脚为 “低电平”。在待机和关断模式下，该引脚将保持先前的状态。
5. 如果动态控制 SPI 地址，在 $\overline{CS}$ 为 “低电平” 时，地址引脚必须保持不变。
6. 可以根据工作模式调整 DCLK 相对于数据输出位的相位。根据数字信号后处理 （DSPP）和 PLL （或 DLL）的配置，它以不同的方式控制。更多详细信息，另请参见地址 0x52、 0x64 和 0x6D （寄存器 5-7、寄存器 5-22 和寄存器 5-28）。
7. 该引脚保持 “低电平” 时，器件处于复位模式。在 $\overline{RESET}$ 的上升沿，器件会退出复位模式，将所有内部用户寄存器初始化为默认值并开始上电校准。
8. 该引脚功能尚未发布。

© 2016 Microchip Technology Inc.

2.0 电气特性

2.1 绝对最大值 †

模拟和数字供电电压 （AV_{DD12}，DV_{DD12}）..... -0.3V 至 1.32V
模拟和数字供电电压 （AV_{DD18}，DV_{DD18}）..... -0.3V 至 1.98V
所有输入和输出相对于 GND 的电压 ..... -0.3V 至 AV_{DD18} + 0.3V
差分输入电压 ..... $|AV_{DD18}$ - GND|
输入引脚上的电流 ..... ±2 mA
输出和电源引脚上的电流 ..... ±250 mA
储存温度 ..... -65°C 至 +150°C
环境温度 （施加电源时）（T_A）..... -55°C 至 +125°C
最高结温 （T_J）..... +150°C
所有引脚上的 ESD 保护 ..... 2 kV HBM
回流焊曲线 ..... 请参见 Microchip 应用笔记 AN233 （DS00233）

† 注：如果器件工作条件超过上述 “最大额定值”，可能引起器件永久性损坏。上述数值仅是工作条件最大值，我们建议不要使器件在最大值甚至超过最大值的条件下工作。器件长时间在最大值条件下工作，其可靠性可能受到影响。

2.2 电气规范

表 2-1：电气特性

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。

参数	符号	最小值	典型值	最大值	单位	条件
电源要求						
模拟供电电压	AV_{DD18}	1.71	1.8	1.89	V	
	AV_{DD12}	1.14	1.2	1.26	V	
数字供电电压	DV_{DD18}	1.71	1.8	1.89	V	注 1
	DV_{DD12}	1.14	1.2	1.26	V	
模拟供电电流						
模拟供电电流（转换期间）	I_{DD_A18}	—	1	1	mA	在 AV_{DD18} 引脚上
	I_{DD_A12}	—	141	159	mA	在 AV_{DD12} 引脚上
数字供电电流						
数字供电电流（转换期间）	I_{DD_D12}	—	72	109	mA	在 DV_{DD12} 引脚上
CMOS 输出模式下的数字 I/O 电流	I_{DD_D18}	—	27	—	mA	在 DV_{DD18} 引脚上 DCLK = 100 MHz
LVDS 模式下的数字 I/O 电流	I_{DD_D18}	**在 DV_{DD18} 引脚上测得**				
		—	50	75	mA	3.5 mA 模式
			35	—	mA	1.8 mA 模式
			62			5.4 mA 模式
节能模式期间的供电电流						
待机模式期间	$I_{STANDBY_AN}$	—	21	—	mA	地址 0x00<4:3> = 1，1(2)
	$I_{STANDBY_DIG}$	—	41	—		
关断模式期间	I_{DD_SHDN}	—	25	—	mA	地址 0x00<7,0> = 1，1(3)

表 2-1：　　电气特性（续）

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。

参数	符号	最小值	典型值	最大值	单位	条件
PLL 电路						
PLL 电路电流	I_{DD_PLL}	—	21	—	mA	使能 PLL。包含在模拟供电电流规范中。
总功耗 (4)						
转换期间的功耗，不包括数字 I/O	P_{DISS_ADC}	—	257	—	mW	
CMOS 输出模式下转换期间的总功耗	P_{DISS_CMOS}	—	306	—	mW	f_S = 200 Msps，DCLK = 100 MHz
LVDS 输出模式下转换期间的总功耗	P_{DISS_LVDS}	—	348	—	mW	3.5 mA 模式
			321			1.8 mA 模式
			369			5.4 mA 模式
待机模式期间	$P_{DISS_STANDBY}$	—	80	—	mW	地址 0x00<4:3> = 1，1 (2)
关断模式期间	P_{DISS_SHDN}	—	33	—	mW	地址 0x00<7,0> = 1，1 (3)
上电复位（POR）电压						
门限电压	V_{POR}	—	800	—	mV	仅适用于 AV_{DD12}（POR 跟踪 AV_{DD12}）
滞后	V_{POR_HYST}	—	40	—	mV	
SENSE 输入 (5,7,13)						
SENSE 输入电压	V_{SENSE}	GND	—	AV_{DD12}	V	V_{SENSE} 选择参考电压
SENSE 引脚输入电阻	R_{IN_SENSE}	—	694	—	Ω	V_{SENSE} = 0.8V
		—	154.8	—	kΩ	V_{SENSE} = 1.2V
进入 SENSE 引脚的灌电流	I_{SENSE}	—	360	—	µA	V_{SENSE} = 0.8V
		—	4.2	—	µA	V_{SENSE} = 1.2V
参考电压和共模电压						
内部参考电压 (7,8)	V_{REF}	—	0.4	—	V	V_{SENSE} = GND
		—	0.8	—		V_{SENSE} = AV_{DD12}
		—	V_{SENSE}	—		400 mV < V_{SENSE} < 800 mV
共模电压输出	V_{CM}	—	0.55	—	V	在 V_{CM} 引脚提供
带隙电压输出	V_{BG}	—	0.55	—	V	在 V_{BG} 引脚提供

© 2016 Microchip Technology Inc.

表 2-1： 电气特性 （续）

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。

参数	符号	最小值	典型值	最大值	单位	条件
模拟输入						
满量程差分模拟输入范围 (5,7)	A_{FS}	—	0.9	—	V_{P-P}	V_{SENSE} = GND
		—	1.8	—		V_{SENSE} = AV_{DD12}
		—	2.25 x V_{SENSE}	—		400 mV < V_{SENSE} < 800 mV
模拟输入带宽	f_{IN_3dB}	—	650	—	MHz	A_{IN} = -3 dBFS
差分输入电容	C_{IN}	—	1.6	—	pF	注 5，注 9
模拟输入泄漏电流（A_{IN}+ 和 A_{IN}- 引脚）	I_{LI_AH}	—	—	+50	µA	V_{IH} = AV_{DD12}
	I_{LI_AL}	-50	—	—	µA	V_{IL} = GND
ADC 转换速率						
转换速率	f_S		—	200	Msps	在 200 Msps 下测试
时钟输入 （CLK+ 和 CLK-） (10)						
时钟输入频率	f_{CLK}	—	—	250	MHz	注 5
差分输入电压	V_{CLK_IN}	300	—	800	mV_{P-P}	注 5
时钟抖动	CLK_{JITTER}	—	175	—	fS_{RMS}	注 5
时钟输入占空比 (5)		49	50	51	%	禁止占空比校正
		30	50	70	%	使能占空比校正
CLK 输入引脚上的输入泄漏电流	I_{LI_CLKH}	—	—	+110	µA	V_{IH} = AV_{DD12}
	I_{LI_CLKL}	-15	—	—	µA	V_{IL} = GND
转换器精度 (6)						
ADC 分辨率（无失码）		—	—	14	位	
失调误差		—	±15	±45	LSb	
增益误差	G_{ER}	—	±0.5	—	FS 的百分比	
积分非线性误差	INL	—	±1.5	—	LSb	
微分非线性误差	DNL	—	±0.4	—	LSb	
模拟输入共模抑制比	$CMRR_{DC}$	—	70	—	dB	直流测量

表 2-1：　　电气特性 （续）

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。

参数	符号	最小值	典型值	最大值	单位	条件
动态精度 [6,14]						
无杂散动态范围	SFDR	82	96	—	dBc	f_{IN} = 15 MHz
		—	80	—	dBc	f_{IN} = 70 MHz
信噪比（对于所有分辨率）	SNR	66.1	67.8	—	dBFS	f_{IN} = 15 MHz
		—	67.2	—		f_{IN} = 70 MHz
有效位数（ENOB） [11]	ENOB	—	10.9	—	位	f_{IN} = 15 MHz
		—	10.9	—		f_{IN} = 70 MHz
总谐波失真（前 13 次谐波）	THD	83	89	—	dBc	f_{IN} = 15 MHz
			81	—	dBc	f_{IN} = 70 MHz
最大二次或三次谐波失真	HD2 或 HD3	—	95.8	—	dBc	f_{IN} = 15 MHz
		—	82	—	dBc	f_{IN} = 70 MHz
双音调互调失真 f_{IN1} = 15 MHz，f_{IN2} = 17 MHz	IMD	—	92.7	—	dBc	A_{IN} = -7 dBFS，使用两种输入频率
数字逻辑输入和输出 （LVDS 输出除外）						
施密特触发器高电平输入电压	V_{IH}	0.7 DV_{DD18}	—	DV_{DD18}	V	
施密特触发器低电平输入电压	V_{IL}	GND	—	0.3 DV_{DD18}	V	
施密特触发器输入的滞后 （所有数字输入）	V_{HYST}	—	0.05 DV_{DD18}	—	V	
低电平输出电压	V_{OL}	—	—	0.3	V	I_{OL} = -3 mA，所有数字 I/O 引脚
高电平输出电压	V_{OH}	DV_{DD18} – 0.5	1.8	—	V	I_{OL} = + 3mA，所有数字 I/O 引脚
数字数据输出 （CMOS 模式）						
最大外部负载电容	C_{Load}	—	10	—	pF	从输出引脚到 GND
内部 I/O 电容	C_{INT}	—	4	—	pF	**注 5**
数字数据输出 （LVDS 模式） [5]						
LVDS 高电平差分输出电压	V_{H_LVDS}	200	300	400	mV	100Ω 差分端电阻，LVDS 偏置 = 3.5 mA
LVDS 低电平差分输出电压	V_{L_LVDS}	-400	-300	-200	mV	100Ω 差分端电阻，LVDS 偏置 = 3.5 mA
LVDS 共模电压	V_{CM_LVDS}	1	1.15	1.4	V	
输出电容	C_{INT_LVDS}	—	4	—	pF	从输出引脚到 GND 的内部电容

© 2016 Microchip Technology Inc.

表 2-1： 电气特性 （续）

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。						
参数	符号	最小值	典型值	最大值	单位	条件
差分负载电阻（LVDS）	R_{LVDS}	—	100	—	Ω	在 LVDS 输出对上
数字 I/O 引脚上的输入泄漏电流						
数据输出引脚	I_{LI_DH}	—	—	+1	µA	V_{IH} = DV_{DD18}
	I_{LI_DL}	-1	—	—	µA	V_{IL} = GND
除数据输出引脚之外的 I/O 引脚	I_{LI_DH}	—	—	+6	µA	V_{IH} = DV_{DD18}
	I_{LI_DL}	-35	—	—	µA	V_{IL} = GND(12)

注：

1. 该 1.8V 数字供电电压用于数字 I/O 电路，包括 SPI、 CMOS 和 LVDS 数据输出驱动器。
2. 待机模式：内部参考电压、时钟、偏置电路和 SPI 接口除外，大多数内部电路都被关闭。
3. 关断模式：除 SPI 接口之外的所有电路 （包括参考电压和时钟）都被关闭。
4. 总功耗可由以下公式计算：
   $P_{DISS} = V_{DD18} \times (I_{DD_A18} + I_{DD_D18}) + V_{DD12} \times (I_{DD_A12} + I_{DD_D12})$；其中， I_{DD_D18} 是 LVDS 或 CMOS 输出的数字 I/O 电流。典型值计算使用 V_{DD18} = 1.8V 和 V_{DD12} = 1.2V。
5. 该参数由设计确保，但未在生产中完全测试。
6. 该参数由特性确保，但未在生产中完全测试。
7. 详情请参见表 4-1。
8. REF+/REF- 引脚上的差分参考电压输出。 $V_{REF} = V_{REF^+} – V_{REF^-}$。
9. 输入电容指的是差分输入引脚对之间的有效电容。
10. 关于时钟输入电路的详细信息，请参见图 4-8。
11. ENOB = (SINAD - 1.76)/6.02。
12. 该泄漏电流是由于内部上拉电阻而产生的。
13. R_{IN_SENSE} 的计算条件是从 SENSE 引脚到 0.55V 虚拟地， 400 mV < V_{SENSE} < 800 mV。
    $R_{SENSE} = (V_{SENSE} - 0.55V)/I_{SENSE}$。
14. 动态性能是 DIG_GAIN<7:0> = `0011-1000` 时的特性值。

表 2-2： 时序要求 ——LVDS 和 CMOS 输出

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}） = -1 dBFS 正弦波， f_{IN} = 70 MHz，时钟输入 = 200 MHz， f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。

参数	符号	最小值	典型值	最大值	单位	条件
孔径延时	t_A	—	1	—	ns	注 1
超范围恢复时间	t_{OVR}	—	1	—	时钟	注 1
输出时钟占空比		—	50	—	%	注 1
流水线延时	$T_{LATENCY}$	—	23	—	时钟	注 2，注 4
系统校准 (1)						
上电校准时间	T_{PCAL}	—	3×2^{26}	—	时钟	上电后的前 3×2^{26} 个采样时钟
后台校准更新速率	T_{BCAL}	—	2^{30}	—	时钟	T_{PCAL} 后的每 2^{30} 个采样时钟
$\overline{\text{RESET}}$ 低电平时间	T_{RESET}	5	—	—	ns	详情请参见图 2-6(1)
LVDS 数据输出模式						
输入时钟到输出时钟的传播延时	t_{CPD}	—	—	3.2	ns	
输出时钟到数据的传播延时	t_{DC}	-0.25	—	+0.25	ns	注 1
输入时钟到输出数据的传播延时	t_{PD}	—	—	3.25	ns	
上升时间 （输出幅值的 20% 至 80%） (2,3)	t_{RISE_DATA}	—	0.25	0.5	ns	
	t_{RISE_CLK}	—	0.25	0.5	ns	
下降时间 （输出幅值的 80% 至 20%） (2,3)	t_{FALL_DATA}	—	0.25	0.5	ns	
	t_{FALL_CLK}	—	0.25	0.5	ns	
CMOS 数据输出模式						
输入时钟到输出时钟的传播延时	t_{CPD}	—	6	—	ns	DCLK = 100 MHz
输出时钟到数据的传播延时	t_{DC}	—	0.25	—	ns	DCLK = 100 MHz
输入时钟到输出数据的传播延时	t_{PD}	—	6.25	—	ns	DCLK = 100 MHz
上升时间 （输出幅值的 20% 至 80%）	t_{RISE_DATA}	TBD			ns	DCLK = 100 MHz
	t_{RISE_CLK}	TBD			ns	DCLK = 100 MHz
下降时间 （输出幅值的 80% 至 20%）	t_{FALL_DATA}	TBD			ns	DCLK = 100 MHz
	t_{FALL_CLK}	TBD			ns	DCLK = 100 MHz

注 1： 该参数由设计确保，但未在生产中完全测试。

2： 该参数由特性确保，但未在生产中完全测试。

3： t_{RISE} = 约小于占空比的 10%。

4： 输出延时是在不使用抽取滤波器和数字下变频器选项的条件下测得的。

© 2016 Microchip Technology Inc.

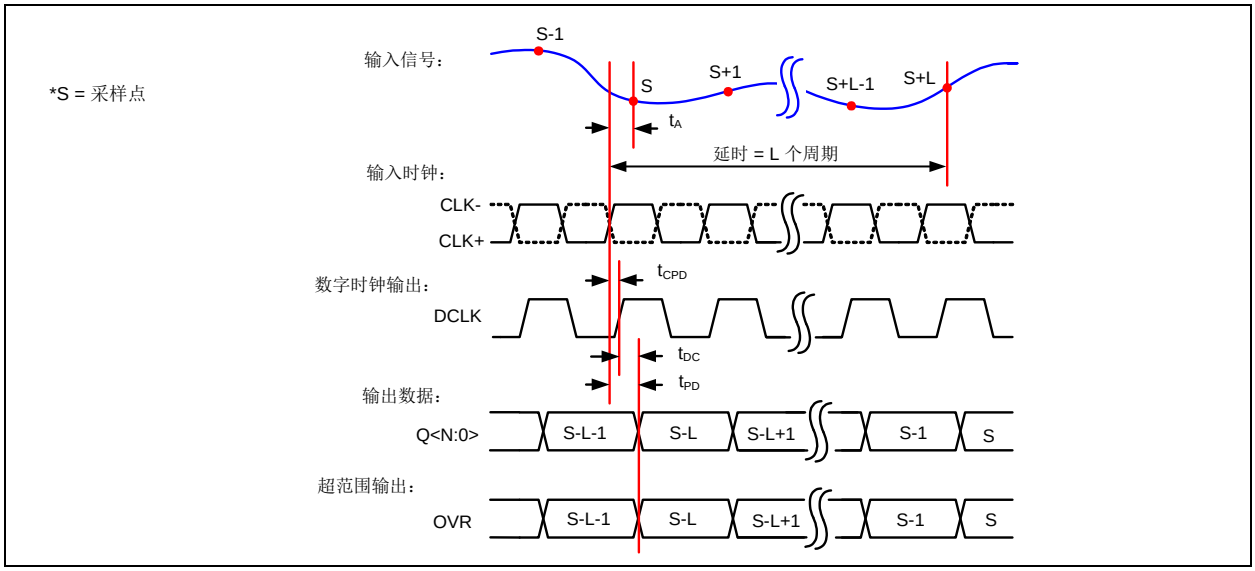
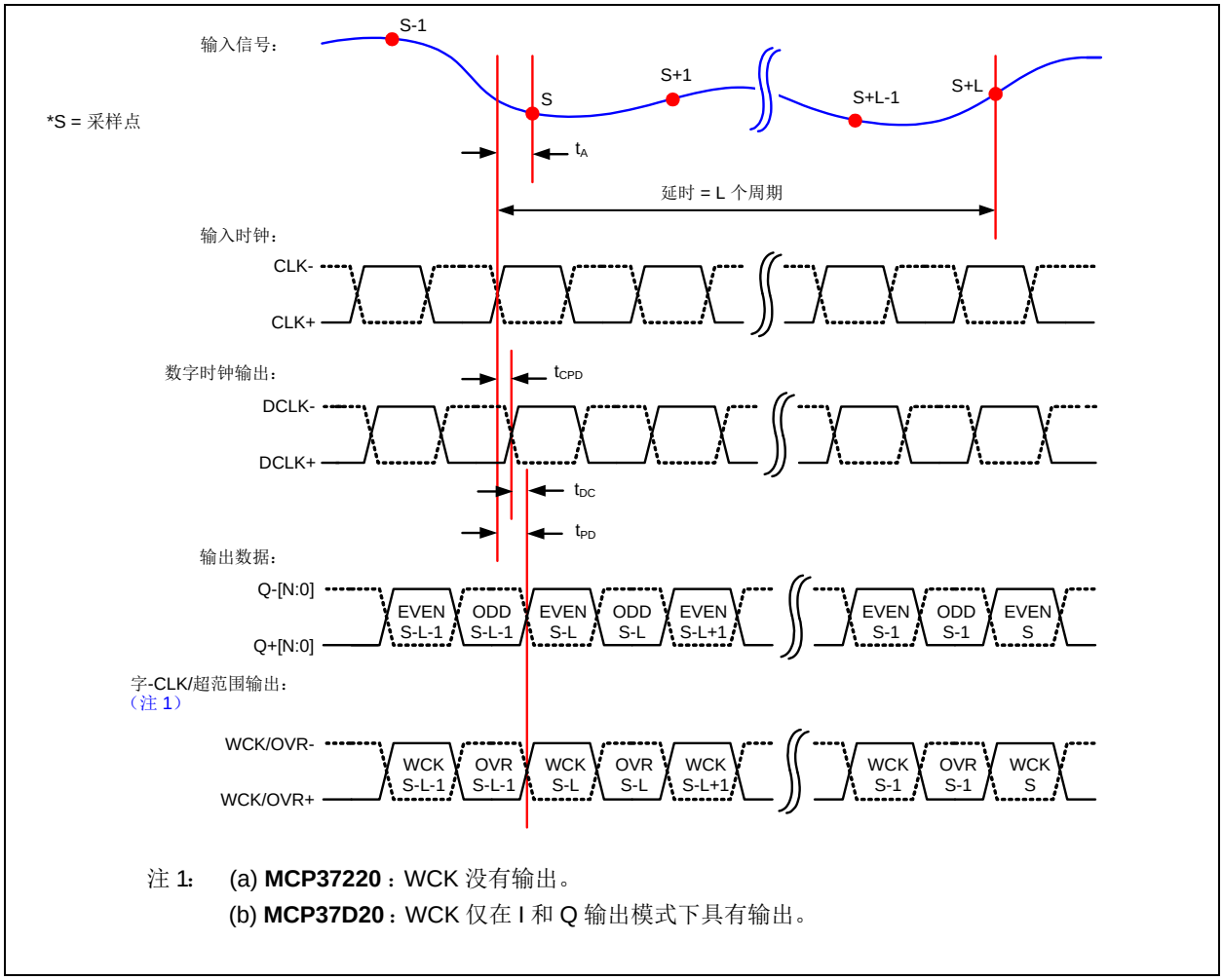


图 2-1： *时序图——CMOS 输出*



注 1： (a) **MCP37220**：WCK 没有输出。

(b) **MCP37D20**：WCK 仅在 I 和 Q 输出模式下具有输出。

图 2-2： *时序图—— 偶编号位优先时的 LVDS 输出*

表 2-3： SPI 串行接口时序规范

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入 （A_{IN}） = -1 dBFS 正弦波， f_{IN} = 70 MHz，时钟输入 = 200 MHz， f_S = 200 Msps（ADC 内核）， PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。所有时间都是在 50% 下测得的。						
参数	符号	最小值	典型值	最大值	单位	条件
串行时钟频率 f_{SCK} = 50 MHz						
$\overline{CS}$ 建立时间	t_{CSS}	10	—	—	ns	
$\overline{CS}$ 保持时间	t_{CSH}	20	—	—	ns	
$\overline{CS}$ 禁止时间	t_{CSD}	20	—	—	ns	
数据建立时间	t_{SU}	2	—	—	ns	
数据保持时间	t_{HD}	4	—	—	ns	
串行时钟高电平时间	t_{HI}	8	—	—	ns	
串行时钟低电平时间	t_{LO}	8	—	—	ns	注 1
串行时钟延时	t_{CLD}	20	—	—	ns	
串行时钟使能时间	t_{CLE}	20	—	—	ns	
从 SCK 低电平到输出有效的时间	t_{DO}	—	—	20	ns	
输出禁止时间	t_{DIS}	—	—	10	ns	注 1

注 1： 该参数由设计确保，但未在生产中完全测试。

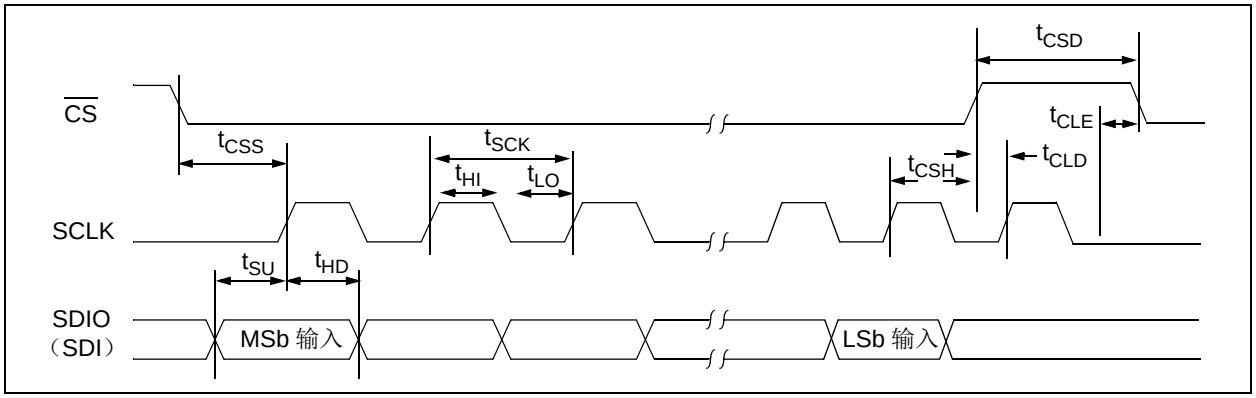


图 2-3： SPI *串行输入时序图*

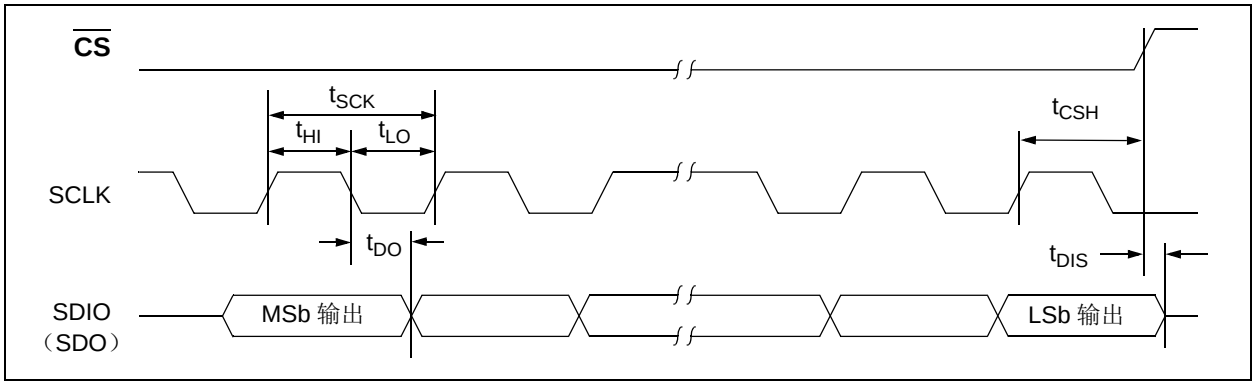


图 2-4： SPI *串行输出时序图*

© 2016 Microchip Technology Inc.

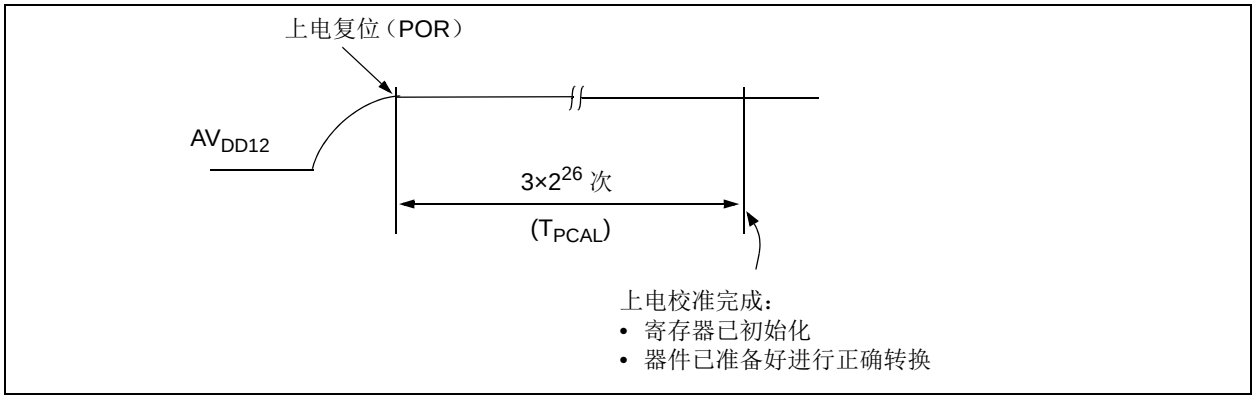


图 2-5： POR *相关事件：寄存器初始化和上电校准*

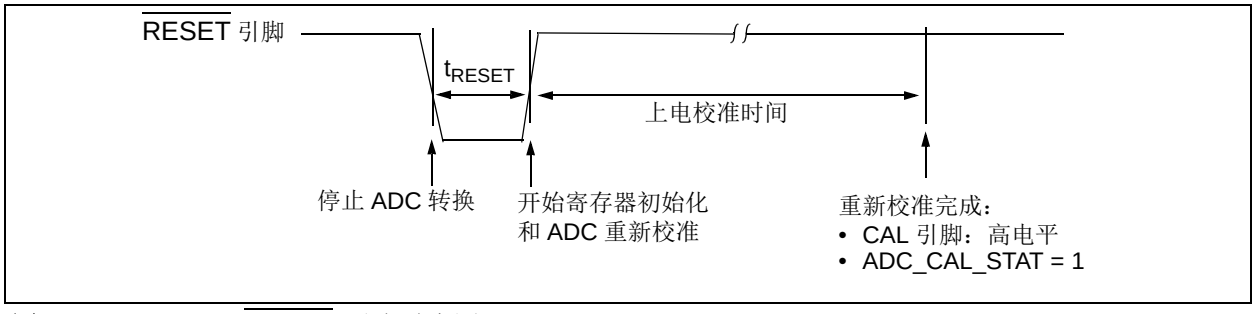


图 2-6： RESET *引脚时序图*

表 2-4： 温度特性

电气规范：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V，GND = 0V， SENSE = AV_{DD12}，差分模拟输入 （A_{IN}） = -1 dBFS 正弦波， f_{IN} = 70 MHz，时钟输入 = 200 MHz， f_S = 200 Msps，PLL 和抽取滤波器被禁止，输出负载：CMOS 数据引脚 = 10 pF， LVDS = 100Ω 端电阻， LVDS 驱动电流设置 = 3.5 mA，典型值的温度条件为 +25°C。

参数		符号	最小值	典型值	最大值	单位	条件
温度范围 (1)							
工作温度范围		T_A	-40	—	+85	°C	
封装热阻 (2)							
121 球状引脚 TFBGA (8 mm x 8 mm)	结点到环境的热阻	θ_{JA}	—	40.2	—	°C/W	
	结点到外壳的热阻	θ_{JC}	—	8.4	—	°C/W	
124 引脚 VTLA （9 mm x 9 mm)	结点到环境的热阻	θ_{JA}	—	21	—	°C/W	
	结点到外壳 （顶部）的热阻	θ_{JC}	—	8.7	—	°C/W	

注 1： 最大允许功耗 （P_{DMAX}） = $(T_{JMAX} – T_A)/\theta_{JA}$。

2： 该参数值通过封装模拟获得。

注：

© 2016 Microchip Technology Inc.

3.0 典型性能曲线

注：	以下图表为基于有限数量样本的统计结果，仅供参考。此处列出的特性未经测试，不做任何担保。一些图表中列出的数据可能超出规定的工作范围（例如，超出了规定的电源范围），因此不在担保范围内。

注：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V， GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止， DIG_GAIN<7:0> = 0011-1000。

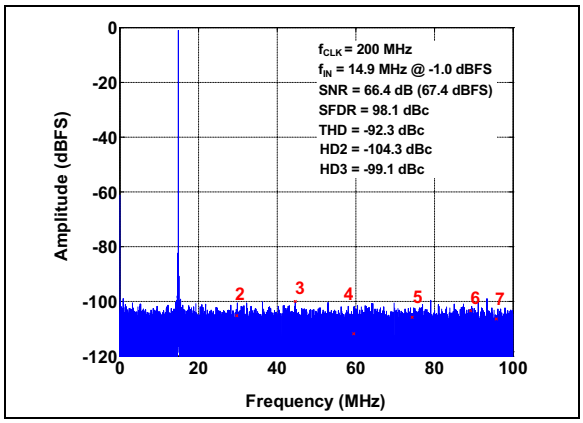


*图*3-1： 14.9 MHz *输入信号的*FFT：
f_S = 200 Msps， A_{IN} = -1 dBFS

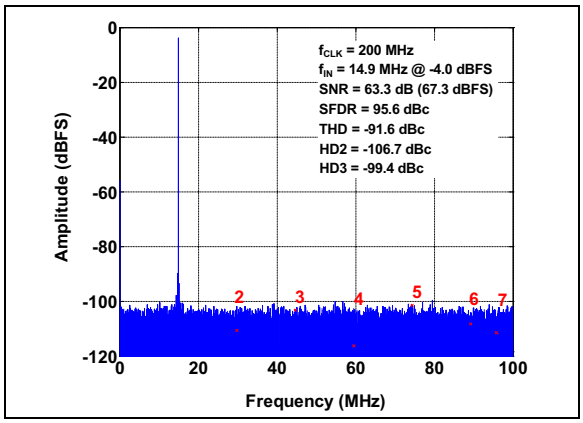


*图*3-4： 14.9 MHz *输入信号的*FFT：
f_S = 200 Msps， A_{IN} = -4 dBFS

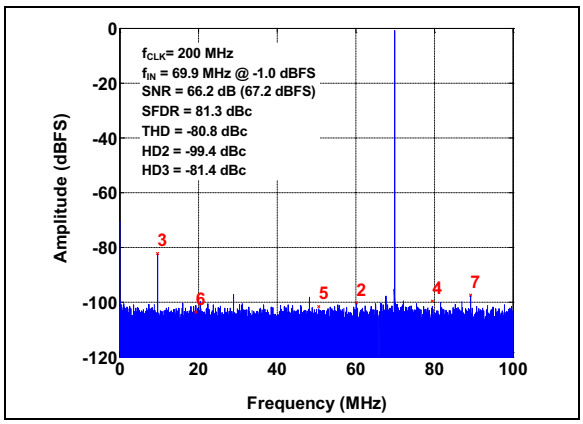


*图*3-2： 69.9 MHz *输入信号的*FFT：
f_S = 200 Msps， A_{IN} = -1 dBFS

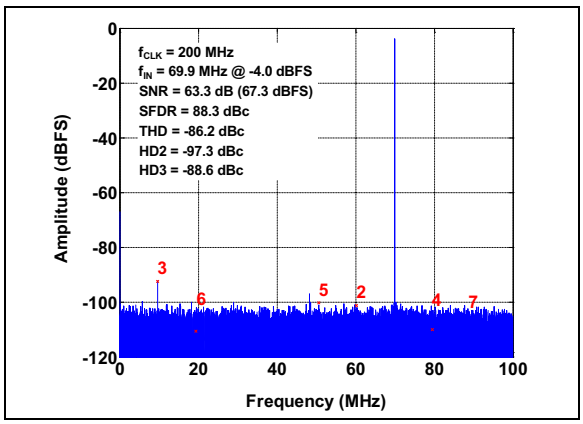


*图*3-5： 69.9 MHz *输入信号的*FFT：
f_S = 200 Msps， A_{IN} = -4 dBFS

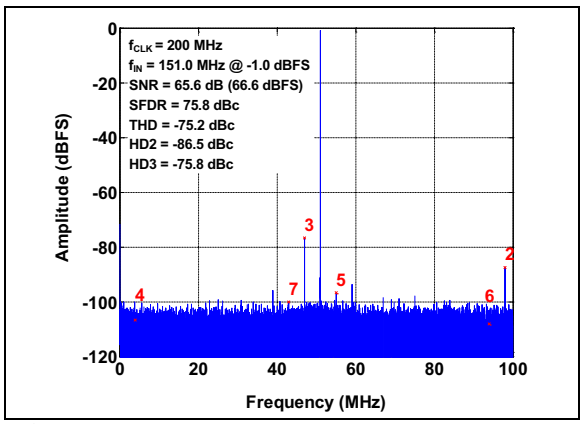


*图*3-3： 151 MHz *输入信号的*FFT：
f_S = 200 Msps， A_{IN} = -1 dBFS

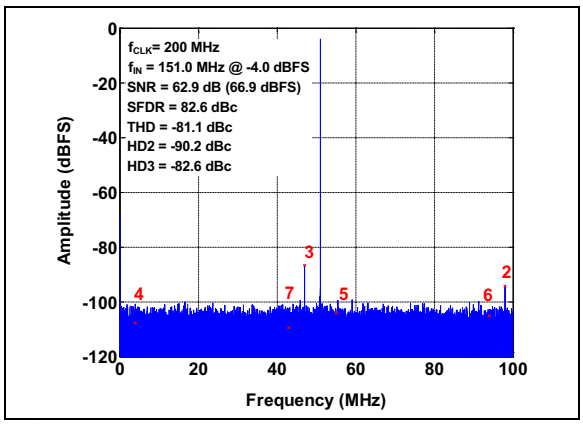


*图*3-6： 151 MHz *输入信号的*FFT：
f_S = 200 Msps， A_{IN} = -4 dBFS

注：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V， GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps， PLL 和抽取滤波器被禁止， DIG_GAIN<7:0> = 0011-1000。

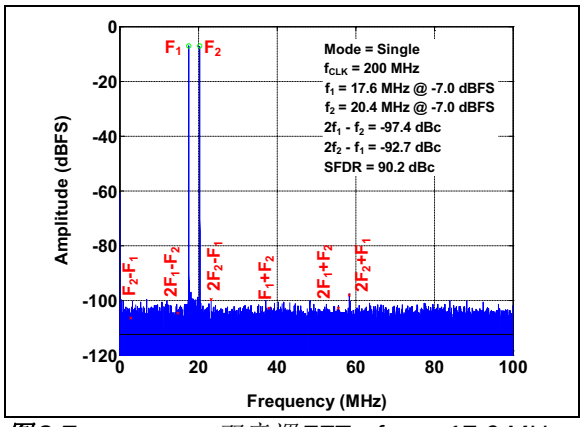


图 3-7：双音调 FFT：f_{IN1} = 17.6 MHz，f_{IN2} = 20.4 MHz，每种音调的 A_{IN} = -7 dBFS，f_S = 200 Msps

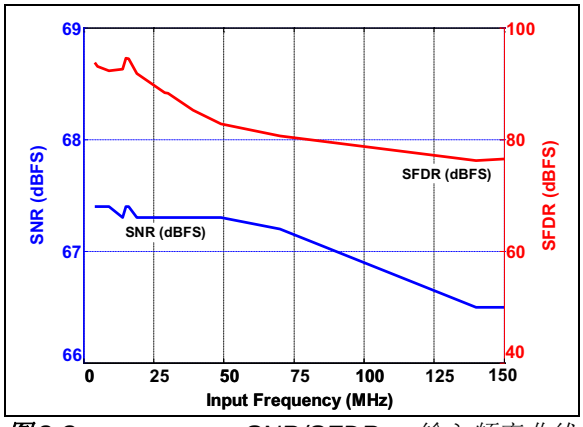


图 3-8：SNR/SFDR— 输入频率曲线

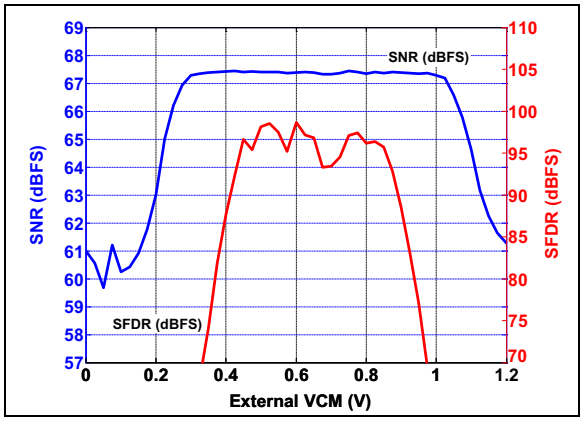


图 3-9：SNR/SFDR—V_{CM} 电压（外部施加）曲线：f_S = 200 Msps，f_{IN} = 15 MHz

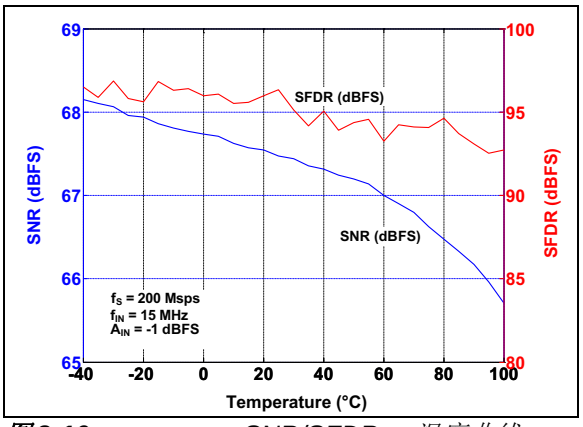


图 3-10：SNR/SFDR— 温度曲线：f_S = 200 Msps， f_{IN} = 15 MHz

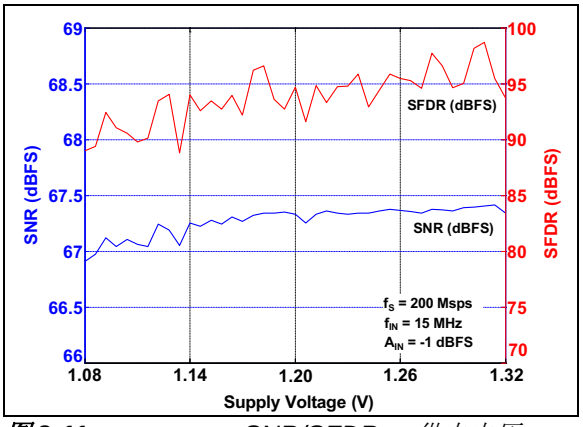


图 3-11：SNR/SFDR— 供电电压曲线：f_S = 200 Msps， f_{IN} = 15 MHz

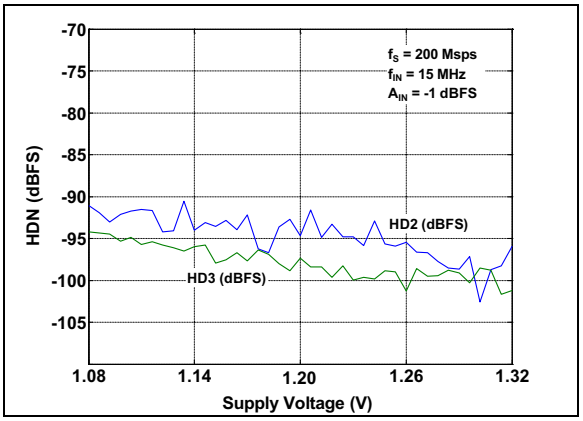


图 3-12：HD2/HD3— 供电电压曲线：f_S = 200 Msps， f_{IN} = 15 MHz

© 2016 Microchip Technology Inc.

注：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V， GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止， DIG_GAIN<7:0> = 0011-1000。

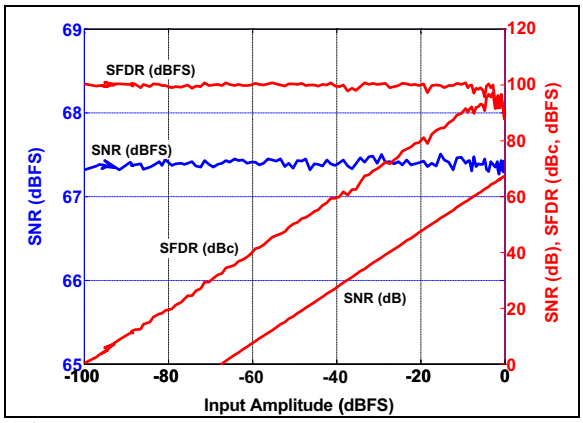


图 3-13：　SNR/SFDR— 模拟输入幅值曲线：f_S = 200 Msps， f_{IN} = 15 MHz

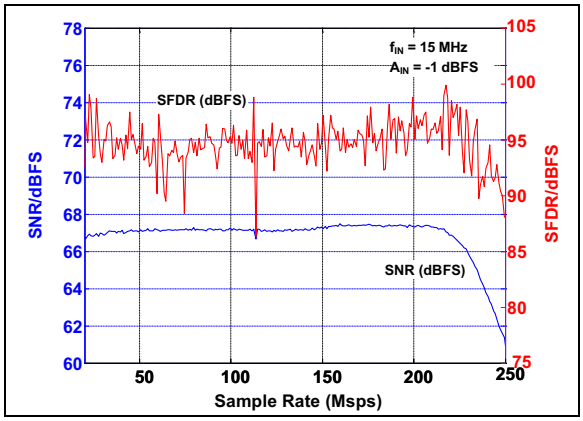


图 3-14：　SNR/SFDR— 采样速率（Msps）曲线：f_{IN} = 15 MHz

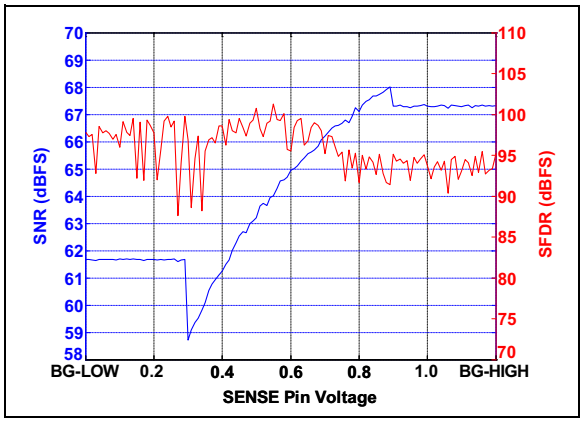


图 3-15：　SNR/SFDR—SENSE 引脚电压曲线：f_S = 200 Msps， f_{IN} = 15 MHz

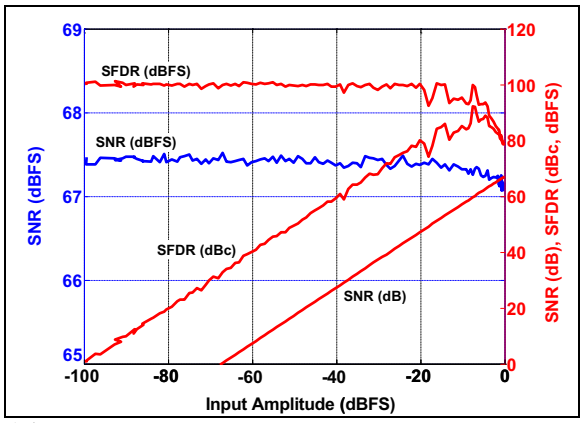


图 3-16：　SNR/SFDR— 模拟输入幅值曲线：f_S = 200 Msps， f_{IN} = 70 MHz

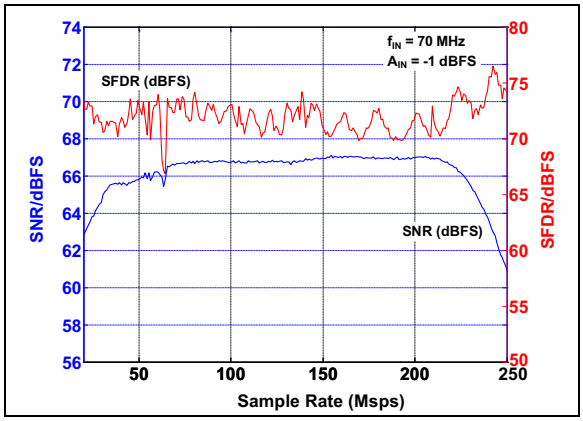


图 3-17：　SNR/SFDR— 采样速率（Msps）曲线：f_{IN} = 70 MHz

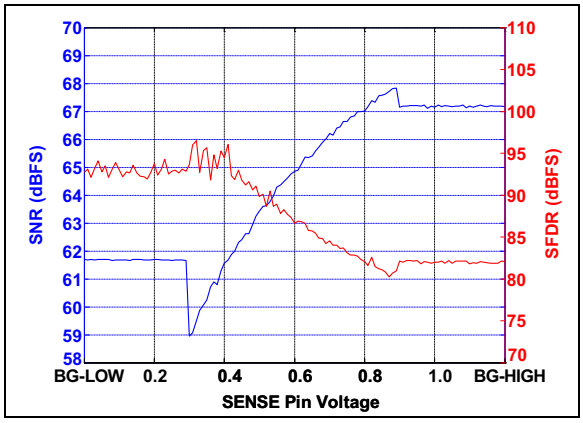


图 3-18：　SNR/SFDR—SENSE 引脚电压曲线：f_S = 200 Msps， f_{IN} = 70 MHz

注：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V， GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps， PLL 和抽取滤波器被禁止， DIG_GAIN<7:0> = 0011-1000。

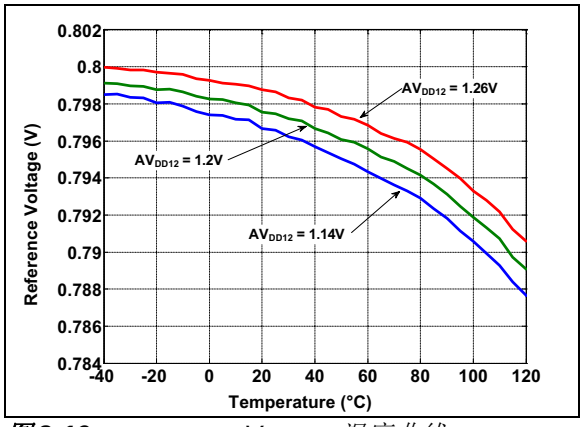


图3-19：　　V_{REF}— 温度曲线

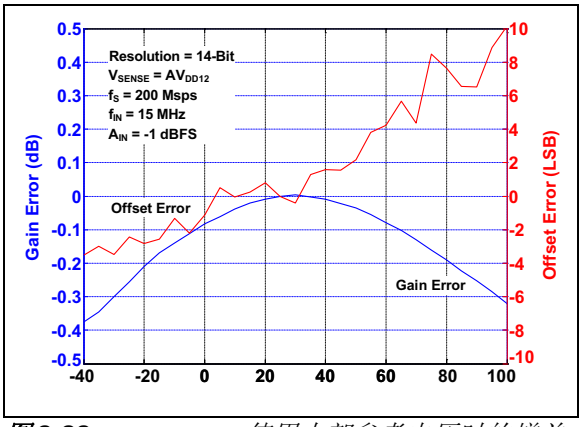


图3-22：　　使用内部参考电压时的增益和失调误差漂移— 温度（相对于 25 °C）曲线：f_S = 200 Msps

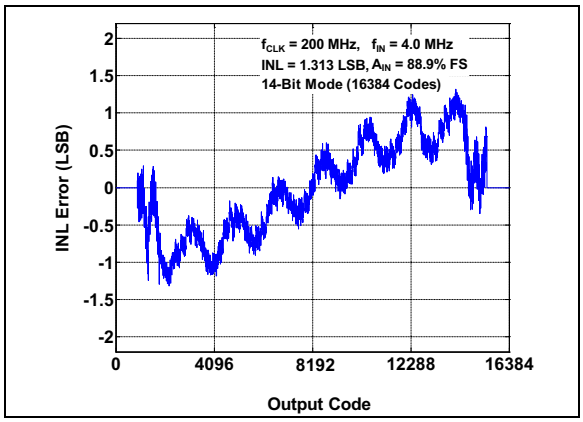


图3-20：　　INL 误差— 输出编码曲线：f_S = 200 Msps， f_{IN} = 4 MHz

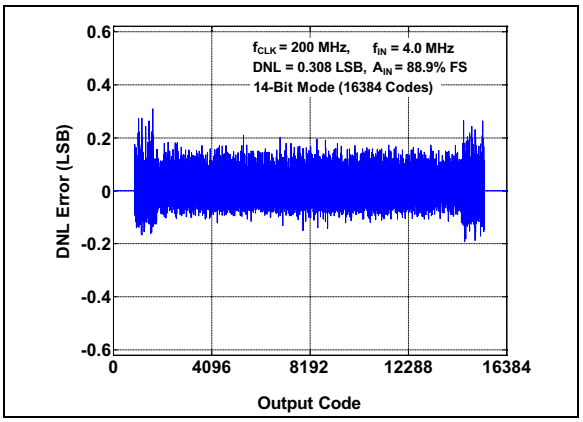


图3-23：　　DNL 误差— 输出编码曲线：f_S = 200 Msps， f_{IN} = 4 MHz

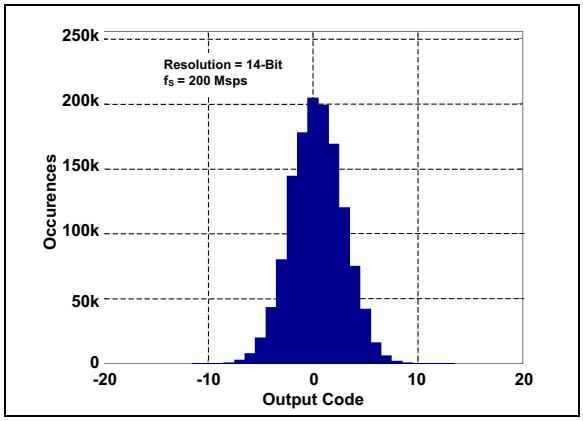


图3-21：　　短路输入直方图：f_S = 200 Msps

© 2016 Microchip Technology Inc.

注：除非另外说明，否则所有参数值的条件均为 T_A = -40°C 至 +85°C， AV_{DD18} = DV_{DD18} = 1.8V， AV_{DD12} = DV_{DD12} = 1.2V， GND = 0V， SENSE = AV_{DD12}，差分模拟输入（A_{IN}）= 幅值为 -1 dBFS 的正弦波，f_{IN} = 70 MHz，时钟输入 = 200 MHz，f_S = 200 Msps，PLL 和抽取滤波器被禁止， DIG_GAIN<7:0> = `0011-1000`。

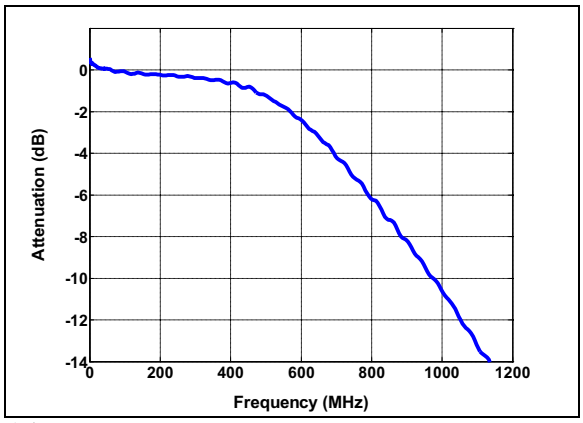


图 3-24： *输入带宽曲线*

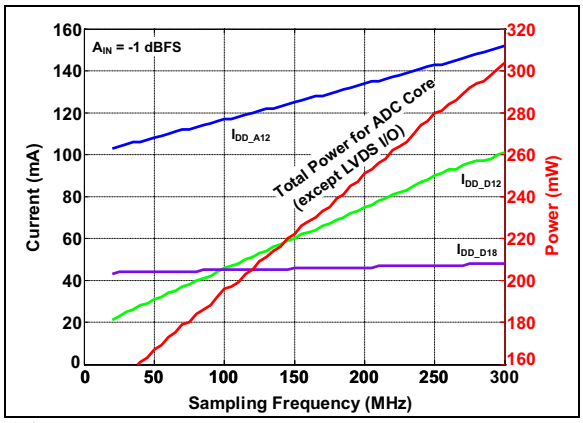


图 3-25： *功耗 — 采样频率曲线（LVDS 模式）*

注：

© 2016 Microchip Technology Inc.

4.0 工作原理

MCP37220-200 和 MCP37D20-200 器件是低功耗的单通道 14 位 200 Msps 模数转换器 （Analog-to-Digital Converters， ADC），具有可最大程度提高性能的内置专利功能。这些功能包括谐波失真校正（HDC）、DAC 噪声消除 （DNC） 、动态元件匹配 （DEM）和闪存误差校准。

这些器件包含了各种内置的数字信号后处理功能。MCP37220-200 包含了 FIR 抽取滤波器， MCP37D20-200 包含了 FIR 抽取滤波器和数字下变频 （DDC）功能。此外，这两款器件还提供了数字增益和失调校正功能。这些内置的高级数字信号后处理子模块是单独使能和控制的，可用于各种特殊应用，例如 I/Q 解调、数字下变频和成像。

当器件第一次上电时，它会自行执行内部校准，并使用默认设置运行。从此时开始，用户可以使用 SPI 命令配置器件寄存器。

器件在时钟的上升沿对模拟输入进行采样。数字输出编码在 23 个时钟周期的数据延时后可用。如果使能了任何数字信号后处理 （DSPP）选项，延时将会增加。

输出数据可以编码为二进制补码或偏移二进制格式，并可以使用用户选项进行随机化。输出数据通过 CMOS 或 LVDS （低电压差分信号）接口提供。

4.1 ADC 内核架构

图 4-1 给出了 ADC 内核的简化框图。 ADC 内核包含 6 个流水线级。所有流水线级都包含多级闪存 ADC 和 DAC。除了最后一级，其他所有流水线级都具有增益为 4 的余量放大器。在前两个流水线级中都会加入抖动。来自全部 6 个流水线级的数字输出在数字误差校正逻辑模块中进行组合和数字处理，得到最终的 14 位输出。

前两个流水线级包含获得专利的数字校准功能：

- 谐波失真校正 （HDC）算法，它以数字方式测量并消除由余量放大器引入的失真产生的 ADC 误差
- DAC 噪声消除 （DNC）算法，它可以校正 DAC 的非线性误差
- 动态元件匹配 （DEM），它可以使 DAC 误差随机化，从而将谐波失真转换为白噪声

这些数字校正算法在上电复位序列期间第一次应用，然后在流水线 ADC 正常工作期间在后台运行。这些算法会自动跟踪并校正 ADC 中的任何环境变化。**第 4.10 节 “系统校准”** 给出了系统校正算法的更多详细信息。

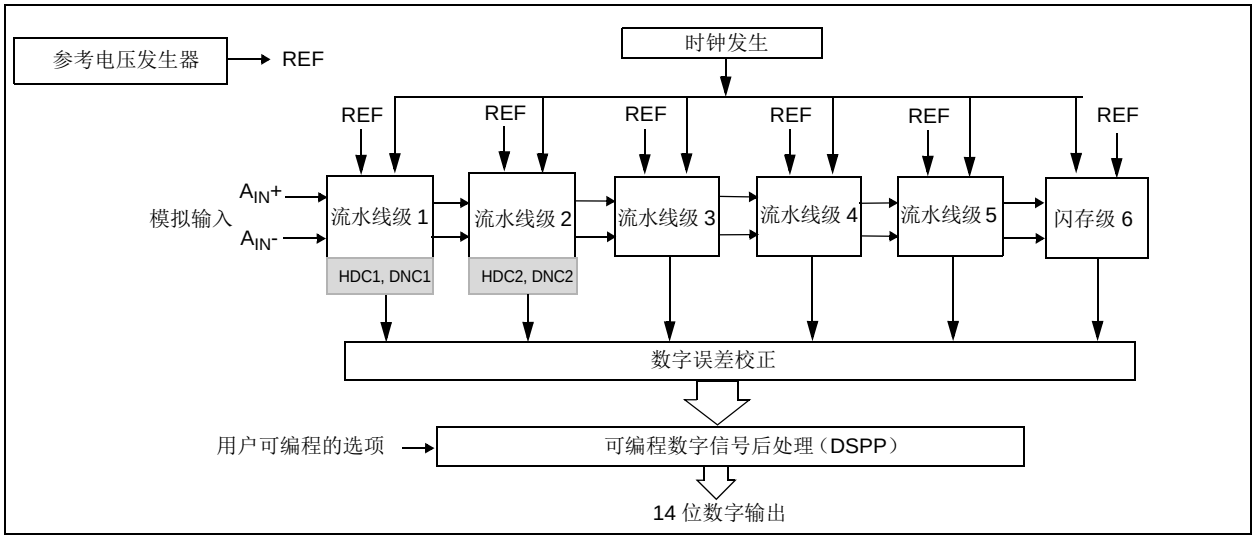


图 4-1： ADC *内核框图*

4.2 供电电压（DV_{DD}、AV_{DD} 和 GND）

器件使用两组电源和一个公共地工作：

- 用于数字部分的数字电源（DV_{DD}）：1.8V 和 1.2V
- 用于模拟部分的模拟电源（AV_{DD}）：1.8V 和 1.2V
- 地（GND）：用于数字和模拟部分的公共地。

电源引脚需要适当的旁路电容（陶瓷），用于衰减大多数应用环境中存在的高频噪声。地引脚提供电流回路。这些地引脚必须通过低阻抗连接来连到PCB地平面。如果对模拟和数字部分使用一个公共电源，可以使用铁氧体磁珠来分隔模拟和数字电源线。

每个电源的稳压器需要具有足够的输出电流能力，以支持稳定的 ADC 操作。

4.3 模拟输入电路

所有MCP37XXX器件的模拟输入（A_{IN}）都是差分CMOS开关电容采样 / 保持电路。图 4-2 给出了器件的等效输入结构。

器件的输入阻抗主要由输入采样电容（C_S = 1.6 pF）和输入采样频率（f_S）决定。器件的性能会受输入信号调理网络影响（见图 4-3）。为了在一个时钟周期内对采样电容（C_S = 1.6 pF）充电，模拟输入信号源的输出阻抗必须足够低。建议在每个输入上串联一个很小的外部电阻（例如 5 ），因为它有助于降低瞬变电流和抑制振铃行为。可以在电阻的芯片侧使用一个很小的差分并联电容来提供动态充电电流，并且这可能会提高性能。这些电阻与电容构成一个低通滤波器，需要根据应用要求和输入频率确定其值。

V_{CM} 引脚提供共模参考电压（0.55V），它可以用作 RF 变压器（巴伦变压器）的中心抽头电压。如果不使用 V_{CM} 引脚电压，用户可以通过其他电源提供共模电压（0.55V）。

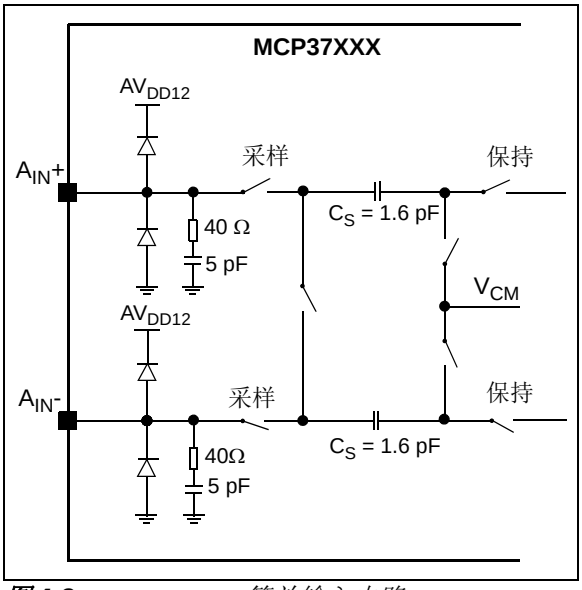


图 4-2：等效输入电路

© 2016 Microchip Technology Inc.

4.3.1 模拟输入驱动电路

4.3.1.1 差分输入配置

以差分方式驱动输入时，器件达到最佳性能，此时抗共模噪声能力和偶数阶谐波抑制能力会显著提高。如果输入是单端的，则必须将它转换为差分信号，以正确驱动 ADC 输入。差分转换和共模应用可以通过使用带中心抽头的 RF 变压器（巴伦变压器）实现。此外，为实现最佳的噪声性能，可以添加一个或多个抗混叠滤波器，并对它们进行适当调节，使角频率适合于系统。

图 4-3 给出了使用变压器的差分输入电路的示例。请注意，输入驱动电路以靠近 ADC 侧的 50Ω 电阻（从每个输入连接到器件共模引脚（V_{CM}）的一对 25Ω 电阻）终止。 RF 变压器必须精心挑选，以避免人为的高谐波失真。如果施加强 RF 输入或在 MCP37XXX 掉电时施加 RF 输入，变压器可能会损坏。所选变压器必须能够处理足够的 RF 输入功率。

图 4-4 给出了一个使用差分输出放大器的输入配置示例。

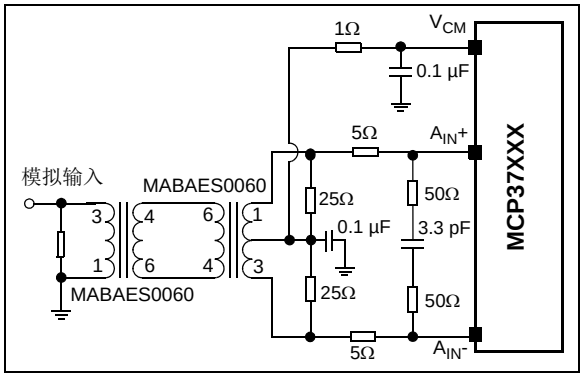


图 4-3：　　变压器耦合的输入配置

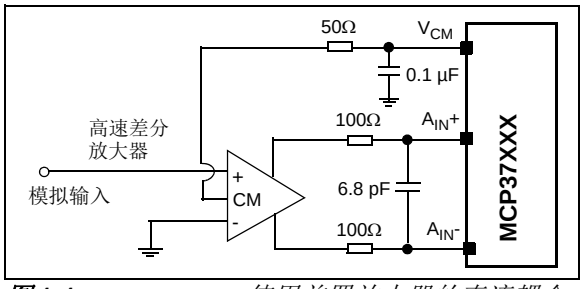


图 4-4：　　使用前置放大器的直流耦合输入配置：外部信号调理电路和关联的元件值仅供参考。通常情况下，放大器制造商会提供参考电压电路和元件值。

4.3.1.2 单端输入配置

图 4-5 给出了一个单端输入配置的示例。当器件在单端配置下工作时， SNR 和 SFDR 性能会显著下降。未用的输入负极应使用一个电容对地交流耦合。

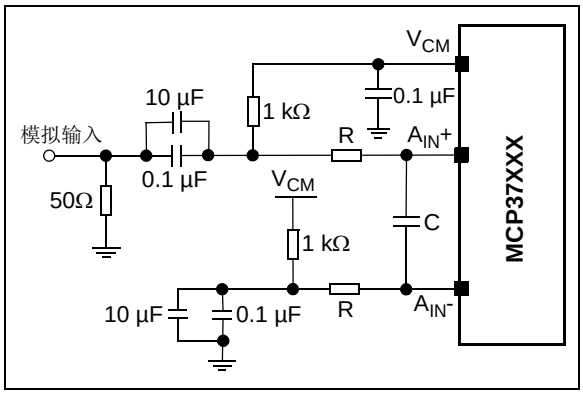


图 4-5：　　单端输入配置

4.3.2 检测电压和输入满量程范围

器件具有基于带隙的差分内部参考电压。 SENSE 引脚电压用于选择参考电压源和配置输入满量程范围。一个比较器会检测 SENSE 引脚电压并将满量程输入范围配置为三种可行模式之一，表 4-1 汇总了这些模式。图 4-6 给出了一个说明应如何驱动 SENSE 引脚的示例。

在所有工作条件下， SENSE 引脚上的灌电流或拉电流最高可以为 360 µA。因此，除非 SENSE 参考电压源提供足够的输出电流，否则它可能需要驱动电路。

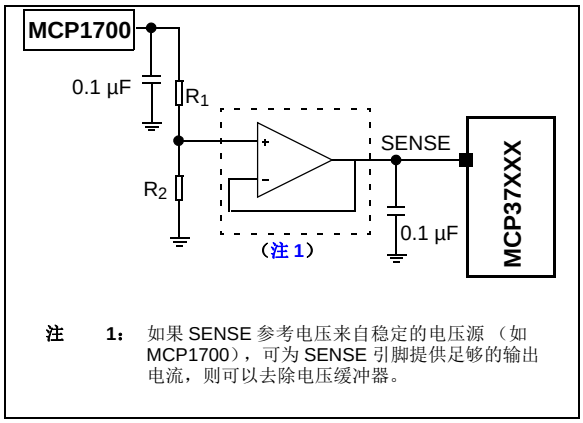


图 4-6：　　SENSE 引脚电压设置

表 4-1： SENSE 引脚电压和输入满量程范围

SENSE 引脚电压（V_{SENSE}）	选定的参考电压（V_{REF}）	满量程输入电压范围（A_{FS}）	LSb 大小（$A_{FS}/2^{14}$）	条件
连接到 GND	0.4V	0.9 V_{P-P}	54.93 µV	低参考电压模式 (2)
0.4V – 0.8V	0.4V – 0.8V	0.9 V_{P-P} 至 1.8 V_{P-P} (1)	可调	检测模式 (3)
连接到 AV_{DD12}	0.8V	1.8 V_{P-P}	109.86 µV	高参考电压模式 (2)

注 1： A_{FS} = 2.25 V_{P-P} x (V_{SENSE}) = 0.9 V_{P-P} 至 1.8 V_{P-P}
2： 基于内部带隙电压
3： 基于 V_{SENSE}

4.3.2.1 SENSE 选择与 SNR/SFDR 性能

SENSE 引脚用于配置 ADC 的满量程输入范围。根据应用条件，SNR、SFDR 和动态范围性能会受 SENSE 引脚配置影响。表 4-2 汇总了这些设置。

- **高参考电压模式**

该模式通过将 SENSE 引脚设置为 AV_{DD12}（1.2V）来使能。该模式提供最高的输入满量程范围（1.8V_{P-P}）和最佳 SNR 性能。图 3-15 和图 3-18 给出了在高参考电压模式下的 SNR/SFDR— 输入幅值曲线。

- **低参考电压模式**

该模式通过将 SENSE 引脚接地来使能。该模式适合于具有较小输入满量程范围的应用。

该模式可提供更好的 SFDR 特性，但 SNR 与高参考电压模式相比下降 -6 dB。

- **检测模式**

该模式通过使用介于 0.4V 和 0.8V 之间的外部电压源驱动 SENSE 引脚来使能。该模式使用户可以调整输入满量程范围，从而在给定应用系统环境中优化 SNR 和动态范围。

表 4-2： SENSE 与 SNR/SFDR 性能

SENSE	说明
高参考电压模式（SENSE 引脚 = AV_{DD12}）	高输入满量程范围（1.8 V_{P-P}）， SNR 最佳
低参考电压模式（SENSE 引脚 = 地）	低输入满量程范围（0.9 V_{P-P}）， SNR 下降，但 SFDR 最佳
检测模式（SENSE 引脚 = 0.4V 至 0.8V）	可调输入满量程范围（0.9 V_{P-P} - 1.8 V_{P-P}）。可以使用介于高参考电压模式和低参考电压模式之间的动态权衡。

© 2016 Microchip Technology Inc.

4.3.3 内部参考电压和带隙输出的去耦电路

4.3.3.1 REF 引脚的去耦电路

内部参考电压在 REF 引脚上提供。为了稳定工作，该内部参考电压需要外部电容。

VTLA-124 封装器件：图 4-7 给出了 REF 引脚的建议电路。建议在正参考引脚和负参考引脚之间使用一个 2.2 µF 陶瓷电容和两个可选电容 （22 nF 和 220 nF）。然后，通过一个 220 nF 电容将负参考引脚 （REF-）接地。这些电容应使用短而粗的走线放置在尽量靠近 ADC 的位置。建议不要对该参考引脚电路使用 PCB 上的过孔。

TFBGA-121 封装器件：去耦电容内嵌在封装中。因此，PCB 上不需要外部电路。

4.3.3.2 V_{BG} 引脚的去耦电路

带隙电路是参考电压电路的一部分，其输出在 V_{BG} 引脚上提供。

VTLA-124 封装器件：V_{BG} 引脚需要一个外部去耦电容（2.2 µF），如图 4-7 所示。

TFBGA-121 封装器件：去耦电容内嵌在封装中。因此，PCB 上不需要外部电路。

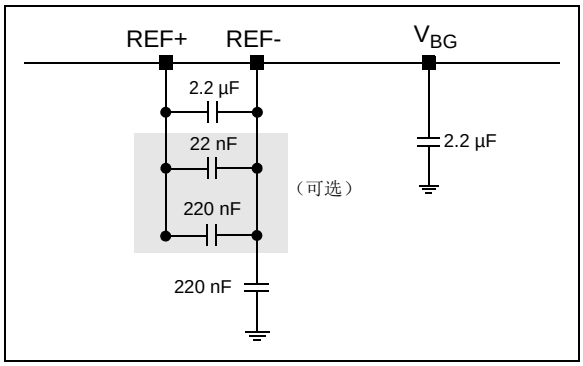


图 4-7：用于 VTLA-124 封装的参考电压和 V_{BG} 引脚的外部电路。请注意，TFBGA-121 封装不需要该外部电路。

注：	不应驱动内部参考输出 （REF+/REF-）和带隙电压输出 （V_{BG}）。

4.4 外部时钟输入

为获得最佳性能，MCP37XXX 需要在 CLK+ 和 CLKí 引脚上使用低抖动差分时钟输入。图 4-8 给出了等效的时钟输入电路。

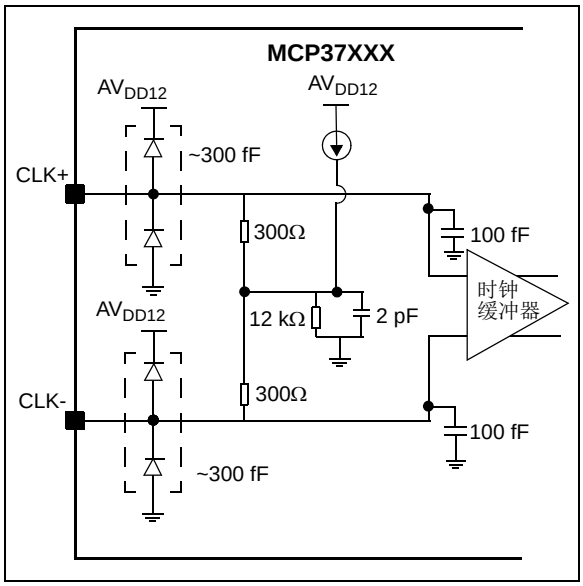


图 4-8：等效时钟输入电路

时钟输入幅值范围介于 300 mV_{P-P} 至 800 mV_{P-P} 之间。使用单端时钟源时，可以使用 RF 变压器（巴伦变压器）将时钟转换为差分信号，以获得最佳的 ADC 性能。图 4-9 给出了一个时钟输入电路示例。共模电压是内部产生的，不需要中心抽头。变压器次级上的背靠背肖特基二极管会对时钟幅值进行限幅，使差值约为 0.8 V_{P-P}。该限幅器有助于防止输入时钟发生电压大波动，同时保持对于低抖动来说非常关键的高压摆率。

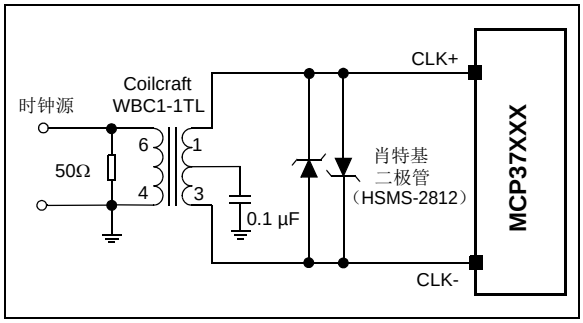


图 4-9：变压器耦合的差分时钟输入配置

4.4.1 时钟抖动和 SNR 性能

在高速流水线 ADC 中，热噪声和时钟抖动会直接限制 SNR 性能。热噪声与输入时钟无关，在低输入频率下它是主导因素。另一方面，随着输入频率升高，时钟抖动会成为主导因素。公式 4-1 显示了 SNR 抖动成分，它以输入频率（f_{IN}）和时钟抖动总量（T_{Jitter}）的形式表示；其中，T_{Jitter} 是以下两种成分之和：

- 输入时钟抖动（相位噪声）
- 内部孔径抖动（由于时钟输入缓冲器的噪声而产生）。

公式 4-1： SNR 与时钟抖动

$$SNR_{Jitter}(dBc) = -20 \times \log_{10}(2\pi \times f_{IN} \times T_{Jitter})$$

其中，总抖动项（T_{jitter}）可由以下公式得到：

$$T_{Jitter} = \sqrt{(t_{Jitter,\ Clock\ Input})^2 + (t_{Aperture,\ ADC})^2}$$

通过使用高质量时钟源和抖动消除器，以及在外部时钟输入上使用带通滤波器，可以最大限度地减小时钟抖动，而更快的时钟压摆率则会增大 ADC 孔径抖动。

时钟抖动量固定时， SNR 会随着输入频率的升高而降低。如图 4-10 所示。如果输入频率从 10 MHz 上升到 20 MHz，最大可实现 SNR 会降低约 6 dB。对于每个十倍频（例如 10 MHz 至 100 MHz），由于时钟抖动，最大可实现 SNR 会降低 20 dB。

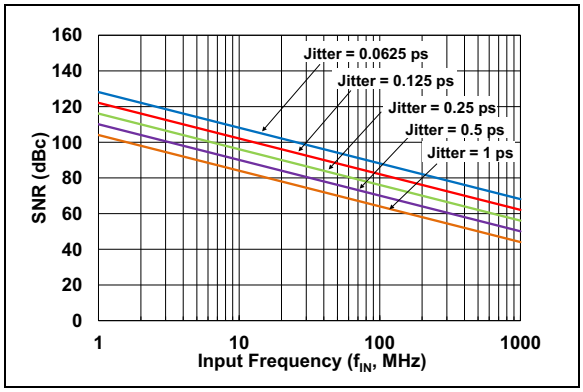


图 4-10： SNR— *时钟抖动曲线*

© 2016 Microchip Technology Inc.

4.5 ADC 时钟选择

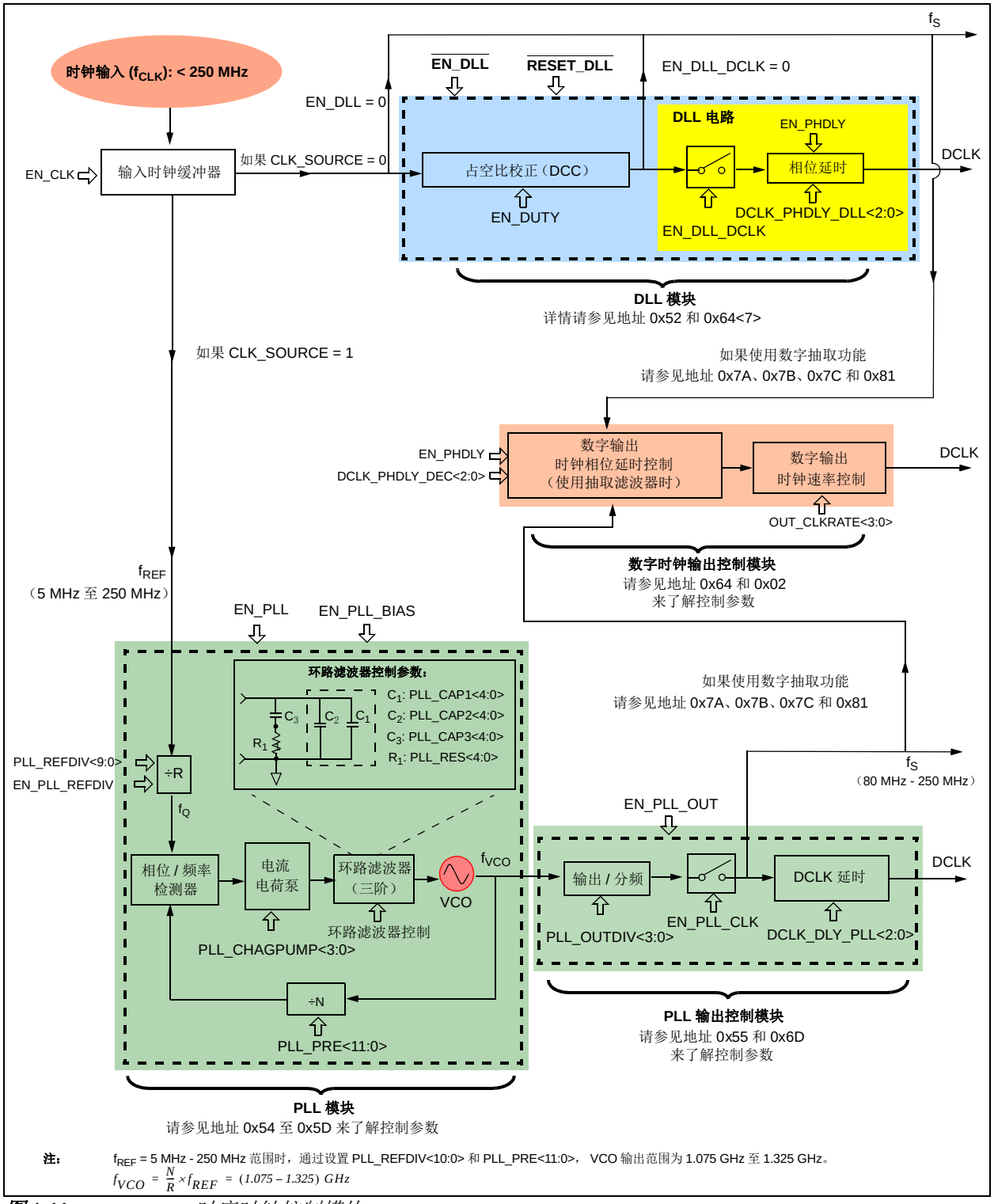
本节介绍 ADC 时钟选择以及如何使用内置的延时锁定环（Delay-Locked Loop， DLL）和锁相环（Phase-Locked Loop， PLL）模块。

在器件第一次上电时，默认情况下直接使用外部时钟输入（CLK+/-）来提供 ADC 时序。在此之后，用户可以通过设置寄存器位来使能 DLL 或 PLL 电路。图 4-11 显示了时钟控制模块。表 4-3 给出了说明如何根据工作条件选择 ADC 时钟的示例。

表 4-3： ADC 时钟选择（示例）

工作条件	控制位设置 (1)	特性	
		输入时钟占空比校正	DCLK 输出相位延时控制
CLK_SOURE = 0（默认）(2)			
• 不使用 DLL 输出 • 不使用抽取功能（默认）(3)	EN_DLL = 0 EN_DLL_DCLK = 0 EN_PHDLY = 0	不可用	不可用
	EN_DLL = 1 EN_DLL_DCLK = 0 EN_PHDLY = 0	可用	
• 使用 DLL 输出 • 使用抽取功能	EN_DLL = 1 EN_DLL_DCLK = 1 EN_PHDLY = 1	可用	可用
• 不使用 DLL 输出 • 使用抽取功能 (4)	EN_DLL = 0 EN_DLL_DCLK = X EN_PHDLY = 1	不可用	
	EN_DLL = 1 EN_DLL_DCLK = 0 EN_PHDLY = 1	可用	
CLK_SOURCE = 1(5)			
• 使用抽取功能	EN_DLL = X EN_DLL_DCLK = X EN_PHDLY = 0	不可用	可用
• 使用抽取功能 (4)	EN_DLL = X EN_DLL_DCLK = X EN_PHDLY = 1		

注 1： 关于位设置，请参见地址 0x52、 0x53 和 0x64。
2： ADC 内核的采样频率（f_S）直接来自输入时钟缓冲器
3： 输出数据与输出数据时钟（DCLK）同步，该时钟直接来自输入时钟缓冲器。
4： 使用抽取功能时，输出时钟速率和相位延时由数字时钟输出控制模块控制
5： 采样频率（f_S）由 PLL 电路产生。外部时钟输入用作 PLL 模块的参考输入时钟。



注： f_{REF} = 5 MHz - 250 MHz 范围时，通过设置 PLL_REFDIV<10:0> 和 PLL_PRE<11:0>， VCO 输出范围为 1.075 GHz 至 1.325 GHz。

$$f_{VCO} = \frac{N}{R} \times f_{REF} = (1.075 - 1.325)\ GHz$$

图 4-11：　　时序时钟控制模块

© 2016 Microchip Technology Inc.

4.5.1 使用 DLL 模式

在需要输出时钟相位控制，但不需要时钟倍频和数字抽取时，使用 DLL 模块是最好的选择。使能 DLL 模块时，用户可以控制输入时钟占空比校正（Duty Cycle Correction，DCC）和输出时钟相位延时。

详情请参见图 4-11 中的 DLL 模块。表 4-4 汇总了 DLL 控制寄存器位。关于输出时钟相位控制，另请参见表 4-15。

表 4-4： DLL 控制寄存器位

控制参数	寄存器	说明
CLK_SOURCE	0x53	CLK_SOURCE = 0：外部时钟输入成为 DLL 模块的输入
EN_DLL	0x52	EN_DLL = 1：使能 DLL 模块
EN_DUTY	0x52	输入时钟占空比校正控制位 (1)
EN_DLL_DCLK	0x52	DLL 输出时钟使能位
EN_PHDLY	0x64	使能数字输出时钟相位延时控制。
DCLK_PHDLY_DLL<2:0>	0x52	使用 DLL 时数字输出时钟 （DCLK）的相位延时控制位 (2)
$\overline{\text{RESET_DLL}}$	0x52	DLL 模块的复位控制位

注 1： 使用高质量外部时钟时，建议不要进行占空比校正。
2： 如果使用抽取功能，则输出时钟相位延时使用地址 0x64 中的 DCLK_PHDLY_DEC<2:0> 控制。

4.5.1.1 输入时钟占空比校正

ADC 性能对时钟占空比非常敏感。使用 50% 占空比时，ADC 达到最佳性能，占空比处于 50%±1% 容差范围内时，可以确保获得所有性能特性。

当 CLK_SOURCE = 0 时，外部时钟用作 ADC 内核的采样频率 （f_S）。当外部输入时钟质量不高时 （例如，占空比不是 50%），用户可以通过将地址 0x52 （寄存器 5-7）中的 EN_DUTY 位置 1 来使能内部时钟占空比校正电路。使能占空比校正 （EN_DUTY = 1）时，只会修改时钟信号的下降沿 （上升沿不受影响）。

占空比校正过程会在时钟信号中加入额外的抖动噪声。因此，只有在不对称输入时钟源导致性能显著下降或输入时钟源不稳定时，才建议使用该选项。

> **注：** 时钟占空比校正只有在使能 DLL 模块（EN_DLL = 1）时才适用。它不适用于 PLL 输出。

4.5.1.2 DLL 模块复位事件

如果时钟被移除或时钟频率发生变化，则必须复位DLL。DLL 复位使用地址 0x52（寄存器 5-7）中的 $\overline{\text{RESET_DLL}}$ 位进行控制。发生以下事件时， DLL 会自动复位：

- 上电期间：保持在复位状态，直到 $\overline{\text{RESET_DLL}}$ 位清零。
- 在使能 DLL 时发出 $\overline{\text{SOFT_RESET}}$ 命令：$\overline{\text{RESET_DLL}}$ 位在复位后自动清零。

4.5.2 使用 PLL 模式

PLL 模块主要在需要时钟倍频时使用。当 CLK_SOURCE = 1 时，ADC 内核的采样频率（f_S）来自内部 PLL 模块。

建议的 PLL 输出时钟范围为 80 MHz 至 250 MHz。外部时钟输入用作 PLL 参考频率。时钟输入频率的范围为 5 MHz 至 250 MHz。

> **注：** PLL 模式仅支持介于 80 MHz 和 250 MHz 之间的采样频率。

4.5.2.1 PLL 输出频率和输出控制参数

内部 PLL 可以提供从 80 MHz 至 250 MHz 的稳定时序输出。图 4-11 显示了采用基于电荷泵的整数 N PLL 的 PLL 模块和 PLL 输出控制模块。PLL 模块包含用于设置所需输出频率的各种用户控制参数。表 4-5 汇总了 PLL 控制寄存器位，表 4-6 给出了 PLL 电荷泵和环路滤波器的寄存器位设置示例。

PLL 模块包含：

- 参考频率分频器 （R）
- 预分频器 —— 它是一个反馈分频器 （N）
- 相位 / 频率检测器 （Phase/Frequency Detector，PFD）
- 电流电荷泵
- 环路滤波器 ——3 阶 RC 低通滤波器
- 压控振荡器（Voltage-Controlled Oscillator，VCO）

CLK+ 和 CLK- 引脚上的外部时钟是送至 PLL 的输入频率。输入频率（f_{REF}）的范围为 5 MHz 至 250 MHz。该输入频率由参考频率分频器 （R）进行分频，其分频比由 10 位宽的 PLL_REFDIV<9:0> 设置控制。在反馈环路中， VCO 频率由预分频器 （N）根据 PLL_PRE<11:0> 进行分频。

ADC 内核采样频率（f_S）（范围为 80 MHz 至 250 MHz）在输出频率分频器 （PLL_OUTDIV<3:0>）之后得到。为了稳定工作，用户需要在以下限制下配置 PLL：

- 输入时钟频率 （f_{REF}） = 5 MHz 至 250 MHz
- 电荷泵输入频率 （在 PLL 参考频率分频器之后） = 4 MHz 至 50 MHz
- VCO 输出频率 = 1.075 至 1.325 GHz
- 输出分频器之后的PLL输出频率 = 80 MHz 至 250 MHz

电荷泵由 PFD 控制，并强制在环路滤波器中产生灌电流（DOWN）或拉电流 （UP） 。电荷泵偏置电流由 PLL_CHAGPUMP<3:0> 位控制，每个步阶约为 25 µA。环路滤波器包含一个三阶无源 RC 滤波器。表 4-6 给出了根据电荷泵输入频率范围 （参考频率分频器的输出），建议使用的电荷泵和环路滤波器参数设置。

当 PLL 被锁定时，它会使用分频比 （N/R）跟踪输入频率 （f_{REF}）。 PLL 工作状态通过 PLL 状态指示位监视：地址 0xD1 （寄存器 5-68）中的 <PLL_VCOL_STAT> 和 <PLL_VCOH_STAT>。

公式 4-2 以两个分频比和参考频率的函数的形式给出了 VCO 输出频率 （f_{VCO}）：

公式 4-2： VCO 输出频率

$$f_{VCO} = \left(\frac{N}{R}\right) f_{REF} = 1.075\ (GHz) \text{ 至 } 1.325\ (GHz)$$

其中：

N = 1 至 4095，由 PLL_PRE<11:0> 控制

R = 1 至 1023，由 PLL_REFDIV<9:0> 控制

关于这些位设置，请参见地址 0x54 至 0x57 （寄存器 5-9 至寄存器 5-12）。

VCO 的调节范围为 1.075 GHz 至 1.325 GHz。选择的 N 值和 R 值必须使 VCO 处于该范围内。通常，应选择较低的 VCO 频率（f_{VCO}）值和较高的电荷泵频率（f_Q）值，以优化时钟抖动。在确定 VCO 输出频率处于该范围内之后，用户需要使用 PLL_OUTDIV<3:0> 通过 PLL 输出分频器设置最终的 ADC 采样频率 （f_S）。公式 4-3 说明如何获得 ADC 内核采样频率：

公式 4-3： 采样频率

$$f_S = \left(\frac{f_{VCO}}{PLL_OUTDIV}\right) = 80\ MHz \text{ 至 } 250\ MHz$$

表 4-7 给出了使用 PLL 控制参数产生 f_S = 200 MHz 输出的示例。

4.5.2.2 PLL 校准

在更改时钟输入频率或 PLL 配置寄存器位设置 （地址 0x54 至 0x57 ；寄存器 5-9 至寄存器 5-12）之后，应重新校准 PLL。

通过翻转地址0x6B（寄存器5-27）中的PLL_CAL_TRIG 位或发送 SOFT_RESET 命令 （见地址 0x00，寄存器 5-1），可以校准 PLL。PLL 校准状态可以通过地址 0xD1（寄存器 5-68）中的 PLL_CAL_STAT 位查看。

4.5.2.3 PLL 漂移监视

可以使用地址 0xD1 （寄存器 5-68）中的状态监视位来监视 PLL 漂移。在正常工作时，PLL 可以在所有温度范围内保持锁定。除非预计供电电压会发生极端变化或输入参考时钟频率发生变化，否则不需要主动监视 PLL。

© 2016 Microchip Technology Inc.

表 4-5： PLL 控制寄存器位

控制参数	寄存器	说明
PLL 校准和状态指示位		
PLL 全局控制位		
EN_PLL	0x59	PLL 电路的主使能位
EN_PLL_OUT	0x5F	PLL 输出的主使能位
EN_PLL_BIAS	0x5F	PLL 偏置的主使能位
EN_PLL_REFDIV	0x59	PLL 参考频率分频器的主使能位
PLL 模块设置位		
PLL_REFDIV<9:0>	0x54-0x55	PLL 参考频率分频比 （R）（见表 4-7）
PLL_PRE<11:0>	0x56-0x57	PLL 预分频比 （N）（见表 4-7）
PLL_CHAGPUMP<3:0>	0x58	PLL 电荷泵偏置电流控制：从 25 µA 至 375 µA，每个步阶 25 µA
PLL_RES<4:0>	0x5A	PLL 环路滤波器电阻值选择 （见表 4-6）
PLL_CAP3<4:0>	0x5B	PLL 环路滤波器电容 3 值选择 （见表 4-6）
PLL_CAP2<4:0>	0x5D	PLL 环路滤波器电容 2 值选择 （见表 4-6）
PLL_CAP1<4:0>	0x5C	PLL 环路滤波器电容 1 值选择 （见表 4-6）
PLL 输出控制位		
PLL_OUTDIV<3:0>	0x55	PLL 输出分频比 （见表 4-7）
DCLK_DLY_PLL<2:0>	0x6D	将 DCLK 输出最高延迟 15 个 VCO 时钟周期
EN_PLL_CLK	0x6D	EN_PLL_CLK = 1 会使能送至 ADC 电路的 PLL 输出时钟
PLL 漂移监视位		
PLL_VCOL_STAT	0xD1	PLL 漂移状态监视位
PLL_VCOH_STAT	0xD1	PLL 漂移状态监视位
PLL 模块校准位		
PLL_CAL_TRIG	0x6B	强制重新校准 PLL
$\overline{\text{SOFT_RESET}}$	0x00	在退出软复位模式时校准 PLL
PLL_CAL_STAT	0xD1	PLL 自动校准状态指示

表 4-6： 建议的 PLL 电荷泵和环路滤波器位设置

PLL 电荷泵和环路滤波器参数	$f_Q = f_{REF}$/PLL_REFDIV		
	f_Q < 5 MHz	5 MHz ≤ f_Q < 25 MHz	f_Q ≥ 25 MHz
PLL_CHAGPUMP<3:0>	0x04	0x04	0x04
PLL_RES<4:0>	0x1F	0x1F	0x07
PLL_CAP3<4:0>	0x07	0x02	0x07
PLL_CAP2<4:0>	0x07	0x01	0x08
PLL_CAP1<4:0>	0x07	0x01	0x08

表 4-7： f_S = 200 MHz， f_{REF} = 100 MHz 时的 PLL 控制位设置示例

PLL 控制参数	值	说明
f_{REF}	100 MHz	f_{REF} 来自外部时钟输入
目标 f_S(1)	200 MHz	ADC 采样频率
目标 f_{VCO}(2)	1.2 MHz	f_{VCO} 的范围 = 1.0375 GHz – 1.325 GHz
目标 f_Q(3)	10 MHz	$f_Q = f_{REF}$/PLL_REFDIV （见表 4-6）
PLL 参考频率分频比 （R）	10	PLL_REFDIV<9:0> = 0x0A
PLL 预分频比 （N）	120	PLL_PRE<11:0> = 0x78
PLL 输出分频比	6	PLL_OUTDIV<3:0> = 0x06

注 1： $f_S = f_{VCO}$/PLL_OUTDIV = 1.2 GHz/6 = 200 MHz

2： f_{VCO} = (N/R) x f_{REF} = (12) x 100 MHz = 1.2 GHz

3： 为了获得最佳的噪声性能，应最大程度提高 f_Q

© 2016 Microchip Technology Inc.

4.6 数字信号后处理 （DSPP）选项

在器件将模拟输入信号转换为数字输出编码时，用户可以针对特殊应用使能各种数字信号后处理 （DSPP）选项。这些选项通过设置配置位来独立地使能或禁止。表 4-8 总结了可用于每款器件的 DSPP 选项。

表 4-8： 数字信号后处理 （DSPP）选项

数字信号后处理选项	对应器件
FIR 抽取滤波器	MCP37220-200 MCP37D20-200
数字增益和失调校正	
数字下变频 （DDC）	MCP37D20-200

4.6.1 抽取滤波器

图 4-12 给出了简化的抽取滤波器框图，表 4-10 汇总了使用抽取滤波器的相关控制参数。

- **MCP37220-200：** 抽取率由地址 0x7A 和 0x7B（寄存器 5-34 和寄存器 5-35）中的 FIR_A<8:0> 控制。FIR_A<8:0> 使用 9 个级联抽取级提供最高 512x 的可编程抽取率。
- **MCP37D20-200：** (a) 不需要 DDC 模式时，仅使用 FIR A。 (b) 当数字下变频 （DDC）用于 I 和 Q 数据滤波时，使用 FIR A 和 FIR B 滤波器（见图 4-12）。在这种情况下，两个滤波器设置为相同的抽取率。请注意，FIR A 中的抽取级 1A 是未用的：用户必须清零地址 0x7A （寄存器 5-34）中的 FIR_A<0>。

使用较高的抽取率可以改善总体 SNR 性能。理论上，对于每个连续抽取级 （2x 每级）预期的提高量为 3 dB，但由于FIR滤波器中的衰减有限，实际提高量约为2.5 dB每级。

4.6.1.1 使用抽取功能时的输出数据速率和时钟相位控制

使用抽取功能时，它还会降低输出时钟速率和输出带宽，下降因数等于所采用的抽取率：因而输出时钟速率不再等于 ADC 采样时钟。用户需要基于所采用的抽取率在地址 0x02（寄存器 5-3）中调整输出时钟和数据速率。这可以使输出数据与输出数据时钟同步。

可以使用地址 0x64 （寄存器 5-22）中的 DCLK_PHDLY_DEC<2:0> 来实现输出时钟的相移。使用 2x 抽取率时，只有 4 个输出采样相位可用；对于其他抽取率，所有 8 个时钟相位都可用。更多详细信息，请参见**第 4.9.8 节 “输出数据和时钟速率”**。

4.6.1.2 使用抽取与数字下变频 （MCP37D20-200）

在 MCP37D20 中，抽取功能可以与 DDC 一起配合使用。使能 DDC 时，可以使用 I 和 Q 通道来抽取 I 和 Q 输出。由于半带滤波器已经包含 2x 抽取，使用 FIR A 和 FIR B 滤波器的情况下每个 I 和 Q 数据的最大可能抽取率为 256x （FIR A 和 B 各 128x）。

> **注：** 数字增益 / 失调调整和 I/Q 数据的 DDC 选项出现在抽取滤波器之前（如果使能它们）。

表 4-9： 抽取率与 SNR 性能 (1)

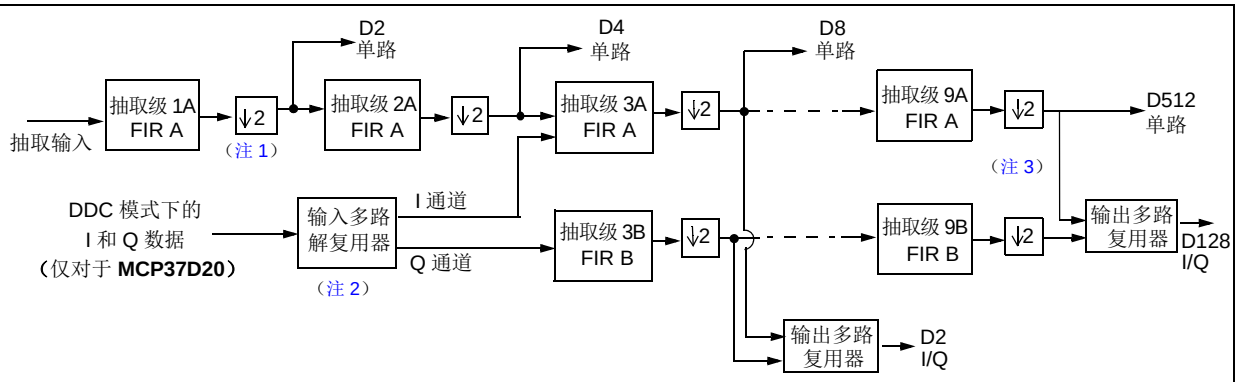
抽取率	SNR （dBFS）
1x	67.8
2x	68.9
4x	71.8
8x	74.3
16x	76.8
32x	79
64x	81
128x	82.1
256x	82.7
512x	83.9

注 1： 以上数据的有效条件为 f_S = 200 Msps，f_{IN} = 1 MHz， A_{IN} = -1 dBFS。

表 4-10： 抽取滤波器的寄存器控制参数

控制参数	寄存器	说明
抽取滤波器设置		
FIR_A<8:0>	0x7A, 0x7B	FIR A 配置
FIR_B<7:0>	0x7C	Q 通道的 FIR B 配置
输出数据速率和时钟速率设置 (1)		
OUT_DATARATE<3:0>	0x02	输出数据速率：等于抽取率
OUT_CLKRATE<3:0>	0x02	输出时钟速率：等于抽取率
输出时钟相位控制设置 (2)		
EN_PHDLY	0x64	在使用抽取滤波器时使能数字输出相位延时
DCLK_PHDLY_DEC<2:0>	0x64	数字输出时钟相位延时控制

注 1： 当抽取率改变时，必须更新输出数据和时钟速率。
2： 在输出时钟按 OUT_CLKRATE<3:0> 位设置分频时，使用输出时钟 （DCLK）相位控制。



注 1： 抽取级 1A FIR 是 FIR A 滤波器的第一级
2： (a) 抽取输入 （不处于 DDC 模式）：仅使用 FIR_A<8:0>
(b) DDC 模式下用于 I/Q 滤波的 DDC 输入：使用用于 I 数据的 FIR_A<8:1> 和用于 Q 数据的 FIR_B<7:0>
3： 最大抽取率：
(a) 不使用 DDC 时：512x
(b) 使用 DDC 时：FIR A 和 FIR B 各为 128x

图 4-12： 抽取滤波器的简化框图

© 2016 Microchip Technology Inc.

4.6.2 数字下变频 （仅对于 MCP37D20-200）

MCP37D20-200 提供了数字下变频 （DDC）功能。可以选择将该功能与抽取滤波器配合使用，并用于：

- 将输入频谱转换到较低频带
- 去除不需要的带外部分
- 以 I/Q 数据的形式或中心位于输出数据速率 ¼ 处的实信号的形式输出所产生的信号。

图 4-13 显示了 DDC 配置。DDC 包含 32 位复数数控振荡器 （NCO）、可选择的 （高 / 低）半带滤波器、可选的抽取滤波器和两种输出模式 （I/Q 或 f_S/8）。

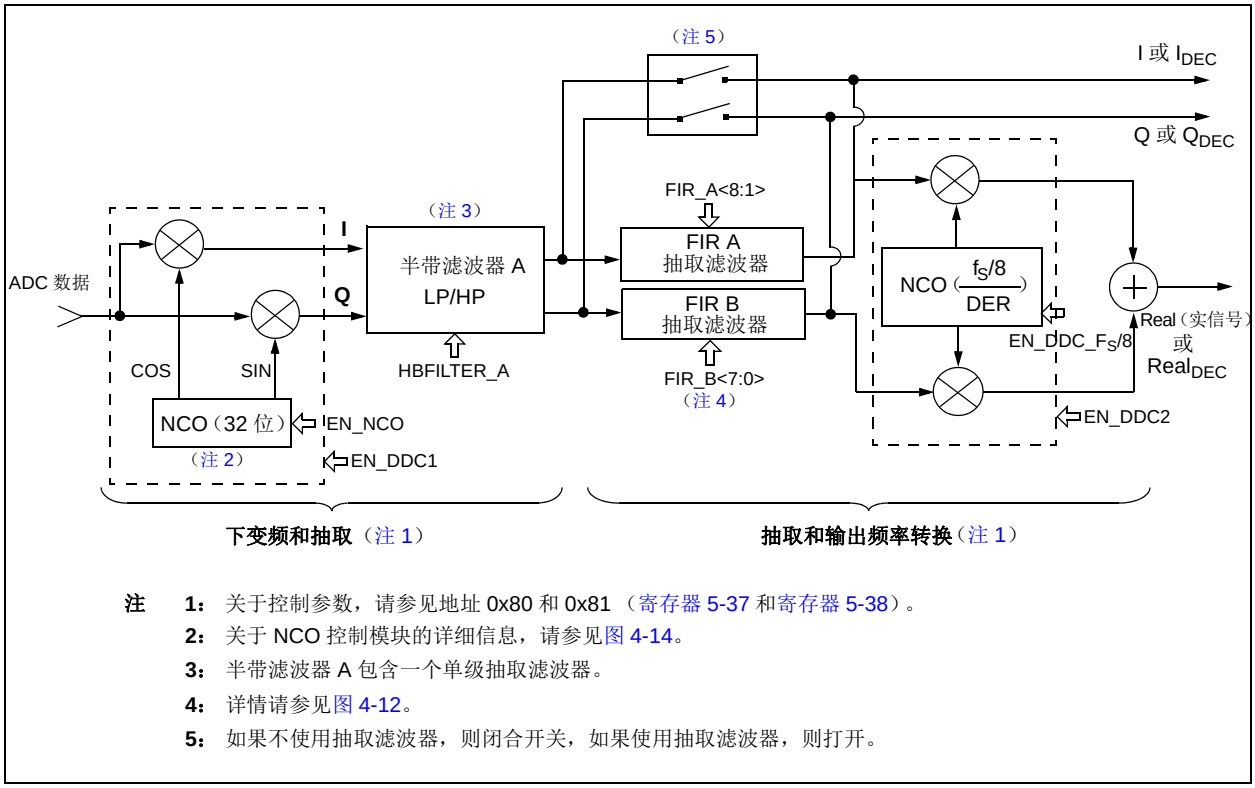
频率转换使用 NCO 来完成。 NCO 频率可设定为 0 Hz 至 f_S。可以通过使能相位和幅值抖动来改善 NCO 的杂散性能。

每个处理子模块均单独控制。**第 4.6.3 节 “DDC 和抽取的寄存器设置示例”** 中的表 4-11 和表 4-12 给出了针对所选输出类型设置寄存器的示例。

这种 DDC 功能可以用于各种高速信号处理应用，包括数字无线电、无线基站、雷达、电缆调制解调器、数字视频、 MRI 成像等。

示例：

如果 ADC 以 200 Msps 对输入进行采样，但用户只对中心处于 67 MHz 处的 5 MHz 跨度感兴趣，可以使用数字下变频将采样的 ADC 数据与 67 MHz 混频，将其转换到直流处。然后，可以按 16x 抽取率对产生的信号进行抽取，使 ADC 输出的带宽为 6.25 MHz（200 Msps/16x 抽取得到 12.5 Msps 与 6.25 MHz 奈奎斯特带宽）。如果选择了 f_S/8 模式，则单个 25 Msps 通道作为输出，输出数据中的 6.25 MHz 对应于 ADC 输入的 67 MHz。如果选择了 I/Q 模式，则两个 12.5 Msps 通道作为输出，此时直流对应于 67 MHz，两个通道代表下变频的同相（I）和正交 （Q）分量。



注 1： 关于控制参数，请参见地址 0x80 和 0x81 （寄存器 5-37 和寄存器 5-38）。
2： 关于 NCO 控制模块的详细信息，请参见图 4-14。
3： 半带滤波器 A 包含一个单级抽取滤波器。
4： 详情请参见图 4-12。
5： 如果不使用抽取滤波器，则闭合开关，如果使用抽取滤波器，则打开。

图 4-13： *简化 DDC 框图。关于使用该 DDC 模块的信息，请参见表 4-11 和表 4-12。*

4.6.2.1 数控振荡器 （NCO）

板载数控振荡器 （NCO）为数字下变频器 （DDC）中的同相和正交混频器提供参考频率。

NCO 用作正交本地振荡器，能够产生介于 0 Hz 和 f_S 之间的 NCO 频率，其分辨率为 $f_S/2^{32}$，其中的 f_S 是 ADC 内核采样频率。

图 4-14 显示了与 NCO 关联的控制信号。

注： NCO 仅用于 DDC。在不使用时，应禁止它。

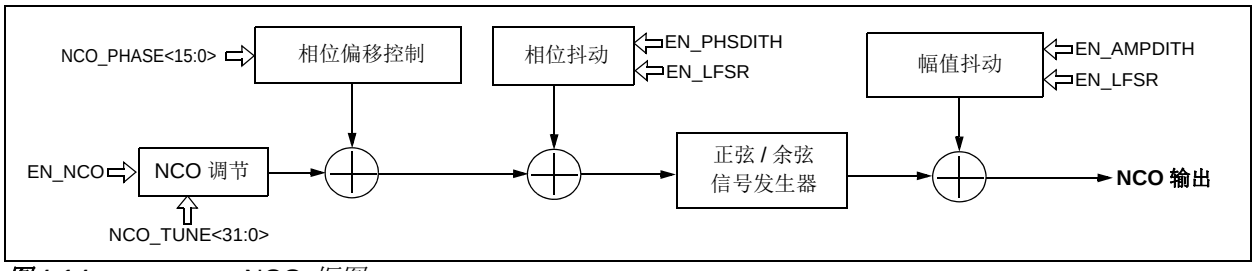


图 4-14： NCO *框图*

- **NCO 频率控制：**

使用地址 0x82 至 0x85 （寄存器 5-39 至寄存器 5-42）中的 32 位宽无符号寄存器变量 NCO_TUNE<31:0>，可将 NCO 频率设定为 0 Hz 至 f_S。

以下公式用于设置 NCO_TUNE<31:0> 寄存器：

公式 4-4： NCO 频率

$$NCO_TUNE<31:0> = round\left(2^{32} \times \frac{Mod(f_{NCO}, f_S)}{f_S}\right)$$

其中：

f_S = 采样频率 （Hz）

f_{NCO} = 所需的 NCO 频率 （Hz）

Mod (f_{NCO}, f_S) = 得到 f_{NCO}/f_S 的余数

Mod() 是余数函数。例如， Mod(5, 2) = 1，Mod(1.999, 2) = 1.999。

例 1：

如果 f_{NCO} 为 100 MHz， f_S 为 200 MHz：

$$Mod(f_{NCO}, f_S) = Mod(100, 200) = 100$$

$$NCO_TUNE<31:0> = round\left(2^{32} \times \frac{Mod(100, 200)}{200}\right) = 0x8000\ \ 0000$$

例 2：

如果 f_{NCO} 为 199.99999994 MHz， f_S 为 200 MHz：

$$Mod(f_{NCO}, f_S) = Mod(199.99999994, 200) = 199.99999994$$

$$NCO_TUNE<31:0> = round\left(2^{32} \times \frac{Mod(199.99999994, 200)}{200}\right) = 0xFFFF\ \ FFFF$$

4.6.2.2 NCO 幅值和相位抖动

地址 0x80 （寄存器 5-37）中的 EN_AMPDITH 和 EN_PHSDITH 参数可以分别用于幅值和相位抖动。在原则上，它们会抖动由于在混频器和本地振荡器中使用数字电路而产生的量化误差，从而减少杂散信号，代价是噪声增加。在实践中，DDC 电路被设计为对于大多数应用来说具有足够的噪声和杂散性能。在最坏情况下，使能幅值抖动时 NCO 的 SFDR 大于 116 dB，禁止时为 112 dB。虽然抖动选项不会显著影响 DDC 的 SNR （≈ 93 dB），但总是建议在使能抖动选项的情况下使用 NCO，以获得最佳性能。

4.6.2.3 NCO 输出 $f_S/8$ 和 $f_S/(8xDER)$

第一个下变频模块 （DDC1）的输出是一个复信号 （包含 I 和 Q 数据），之后可以选择对它进一步进行最高 128x 的抽取，以提供更低输出数据速率和输入通道滤波。如果使能了 $f_S/8$ 模式，第二个混频器级 （DDC2）会将来自 DDC1 的 I/Q 信号转换为中心位于当前奈奎斯特频率一半处的实信号；即，如果 I 和 Q 的当前输出数据速率各为 25 Msps（12.5 MHz 奈奎斯特），则在 $f_S/8$ 模式下，输出数据速率将为 50 Msps （25 Msps x2，I 和 Q 各为 25 Msps），组合这两个信号所产生的实信号的中心变为约 12.5 MHz。由 DDC2 进行的第二次频率转换在抽取滤波器 （如使用）之后完成，如图 4-13 所示。

当使能抽取时， I/Q 输出会按 $f_S/(8xDER)$ 系数被放大，其中 DER 是由 FIR 抽取滤波器增加的额外抽取率。这会产生在频率域中中心处于 $f_S/8$ 或 $f_S/(8xDER)$ 处的抽取输出信号。

© 2016 Microchip Technology Inc.

4.6.2.4 NCO 相位偏移控制

用户可以使用 NCO 相位偏移控制寄存器（地址 0x86 和 0x87—— 寄存器 5-43 和寄存器 5-44）为 NCO 频率加上相位偏移。NCO_PHASE<15:0> 是 16 位宽的 NCO 相位偏移控制参数。相位偏移可以控制为从 0° 至 359.995°，每个步阶对应 0.005°。以下公式用于设定 NCO 相位偏移寄存器：

公式 4-5： NCO 相位偏移

$$NCO_PHASE<15:0> = 2^{16} \times \frac{\text{偏移值 } (\phi)}{360}$$

其中：

偏移值（ϕ） = 所需的相位偏移值（以度为单位）

对 NCO_PHASE<15:0> 的二进制内容使用了十进制数。

4.6.2.5 同相和正交信号

使能第一个下变频时，它会产生以下公式给出的同相（I）和正交（Q）分量：

公式 4-6： I 和 Q 信号

$$I = ADC \times COS(2\pi f_{NCO} t + \phi)$$

$$Q = ADC \times SIN(2\pi f_{NCO} t + \phi)$$

其中：

$$\phi = 360 \times \frac{NCO_PHASE<15:0>}{2^{16}}$$

$$= 0.005493164° \times NCO_PHASE<15:0>$$

其中：

ADC = ADC 模块的输出

ϕ = 由地址 0x86 中的 NCO_PHASE<15:0> 定义的 NCO 相位偏移

t = k/f_S，k =1, 2, 3,..., n

f_{NCO} = NCO 频率

I 和 Q 数据以交替方式输出，其中 I 数据在 WCK 的上升沿输出。

4.6.2.6 半带滤波器

频率转换后跟一个半带数字滤波器，它用于降低采样速率（因数为 2），同时抑制落入感兴趣频带内的混叠信号。

用户可以使用地址 0x80（寄存器 5-37）中的 HBFILTER_A 位选择高通或低通半带滤波器。图 4-15 和图 4-16 给出了滤波器的传递函数。这些滤波器可在衰减频带内提供大于 90 dB 的衰减，而在输入采样速率 20% 的通带区域内产生的波纹小于 1 mdB（10^{-3} dB）。

例如， ADC 采样速率为 200 Msps 时，这些滤波器在 40 MHz 带宽内产生的波纹小于 1 mdB。

图 4-15 和图 4-16 所示的滤波器响应显示了 0.5 mdB 的波纹和 90 dB 的混叠抑制性能。半带滤波器的输出是一个以直流为中心的复信号（I 和 Q）。如果使能了 DDC，之后该 I 和 Q 信号会被送至下一个下变频级（DDC2）进行频率转换（上变频）。

注： 半带滤波器会使数据输出延迟 80 个时钟周期：2（由于抽取）x 40 个周期（由于滤波器群延时）

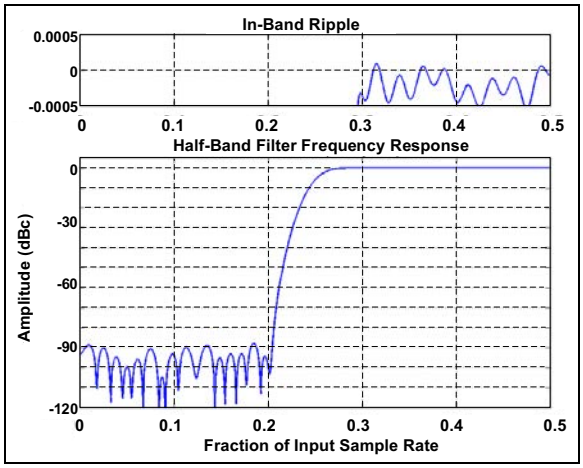


图 4-15： 半带滤波器的高通（HP）响应

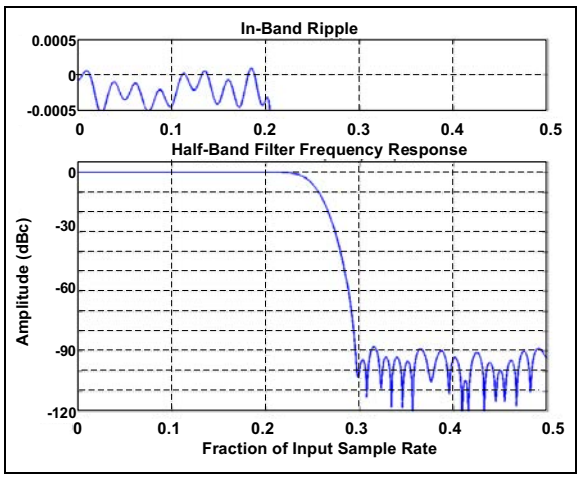


图 4-16： 半带滤波器的低通（LP）响应

4.6.3 DDC 和抽取的寄存器设置示例

下表列出了根据输出类型选择，通过设置寄存器来使用数字下变频（DDC）和抽取的示例。该功能仅在 MCP37D20-200 器件上可用。

表 4-11： DDC 和抽取选项的寄存器设置 —— 示例

抽取率（由 FIR A 和 FIR B 进行）(1)	DDC 模式	地址 0x02(2)	FIR A 滤波器		FIR B 滤波器	DDC1	DDC2	输出
			0x7A<6>（FIR_A<0>）	0x7B（FIR_A<8:1>）	0x7C（FIR_B<7:0>）	0x80<5,1,0>(3)	0x81<6>(4)	
0	禁止	0x00	0	0x00	0x00	0,0,0	0	ADC
8	禁止	0x33	1	0x03	0x00	0,0,0	0	进行抽取的 ADC 输出 （÷8）
512	禁止	0x99	1	0xFF	0x00	0,0,0	0	进行抽取的 ADC 输出 （÷512）
0	I/Q	0x00(5)	0	0x00	0x00	1,0,1	0	I/Q 数据
8	I/Q	0x33	0	0x07	0x07	1,0,1	0	抽取后的 I/Q （÷8）
0	$f_S/8$	0x11(6)	0	0x00	0x00	1,1,1	0	不进行额外抽取的实信号
8	$f_S/8$	0x44	0	0x07	0x07	1,0,1	1	进行抽取的实信号 （÷16）

注 1： 使用 DDC 时，实际的总抽取率为原先的 2 倍，因为 DDC 半带滤波器中包含了 2x 的抽取率。示例：抽取率 = 8x 并使用 DDC-IQ 选项时，实际抽取率为 16x， 8x 由抽取滤波器提供， 2x 来自 DDC 半带滤波器。

2： 输出数据和时钟速率控制寄存器。

3： 0x80<5,1,0> = <EN_NCO, EN_DDC_FS/8, EN_DDC1>。

4： 0x81<6> = <EN_DDC2>。

5： I/Q 中每个信号的带宽均为 f_S 带宽的 1/2。组合后的带宽等于 f_S 带宽。因此，不需要进行数据速率调整。

6： 半带滤波器 A 包含了 2x 抽取率。

© 2016 Microchip Technology Inc.

表 4-12：　输出类型与 DDC 的控制参数 —— 示例

输出类型	控制参数	寄存器	说明
复信号：I 和 Q	EN_DDC1 = 1	0x80	使能 DDC1 模块
	EN_NCO = 1	0x80	使能 32 位 NCO
	HBFILTER_A = 1	0x80	使能半带滤波器 A，包含 2x 抽取率
	EN_DDC_FS/8 = 0	0x80	禁止 NCO （f_S/8/DER）
	EN_DDC2 = 0	0x81	禁止 DDC2
	FIR_A<8:1> = 0x00	0x7B	禁止 FIR A 抽取滤波器
	FIR_B<7:0> = 0x00	0x7C	禁止 FIR B 抽取滤波器
	OUT_CLKRATE<3:0>	0x02	输出时钟速率不受影响 （无需更改）
抽取后的 I 和 Q：I_{DEC} 和 Q_{DEC}	EN_DDC1 = 1	0x80	使能 DDC1 模块
	EN_NCO = 1	0x80	使能 32 位 NCO
	HBFILTER_A = 1	0x80	使能半带滤波器 A，包含 2x 抽取率
	EN_DDC_FS/8 = 0	0x80	禁止 NCO （f_S/8/DER）
	EN_DDC2 = 0	0x81	禁止 DDC2
	FIR_A<8:1>	0x7B	设置 FIR A 滤波器进行额外的抽取 (1)
	FIR_B<7:0>	0x7C	设置 FIR B 滤波器进行额外的抽取 (1)
	OUT_CLKRATE<3:0>	0x02	将输出时钟频率调整为抽取率
实信号：不使用抽取滤波器时经过 DDC(f_S/8/DER) 之后的 $Real_A$	EN_DDC1 = 1	0x80	使能 DDC1 模块
	EN_NCO = 1	0x80	使能 32 位 NCO
	HBFILTER_A = 1	0x80	使能半带滤波器 A，包含 2x 抽取率
	EN_DDC_FS/8 = 1	0x80	使能 NCO （f_S/8/DER）。这会将输入信号从直流处转换到 f_S/8 (2)
	EN_DDC2 = 1	0x81	使能 DDC2
	FIR_A<8:1> = 0x00	0x7B	禁止抽取滤波器 FIR A
	FIR_B<7:0> = 0x00	0x7C	禁止抽取滤波器 FIR B
	OUT_CLKRATE<3:0> = 0001	0x02	将输出时钟速率调整为 2 分频 (3)
抽取后的实信号：经过抽取滤波器和 DDC(fS/8/DER) 之后的 $Real_{A_DEC}$	EN_DDC1 = 1	0x80	使能 DDC1 模块
	EN_NCO = 1	0x80	使能 32 位 NCO
	HBFILTER_A = 1	0x80	使能半带滤波器 A，包含 2x 抽取率
	EN_DDC_FS/8 = 1	0x80	使能 NCO （f_S/8/DER）。这会将输入信号从直流处转换到 f_S/8/DER (2)
	EN_DDC2 = 1	0x81	使能 DDC2
	FIR_A<8:1>	0x7B	设置 FIR B 滤波器进行额外的抽取 (4)
	FIR_B<7:0>	0x7C	设置 FIR B 滤波器进行额外的抽取 (4)
	OUT_CLKRATE<3:0>	0x02	将输出时钟速率调整为总抽取率 （包括由半带滤波器 A 进行的 2x 抽取）

注
1： 对于 I/Q 抽取， FIR A 和 FIR B 滤波器的最大抽取率各为 128x，因为输入已经在半带滤波器中进行了 2x 抽取。详情请参见图 4-12。
2： DER 是 FIR A 和 FIR B 滤波器的抽取率设置。
3： 半带滤波器 A 包含了 2x 抽取率。
4： 使用该滤波器时，上变频频率会下降，下降率等于额外抽取率 （Extra Decimation Rates， DER）。

4.7 数字失调和数字增益设置

图 4-17 给出了数字失调和增益设置的简化框图。失调在增益之前应用。使用 DDC 或抽取功能时，要先执行失调和增益调整。

4.7.1 数字失调设置

可以使用两个组合的数字失调校正寄存器控制 ADC 数字失调：地址 0x66 和 0x67 中的 DIG_OFFSET<15:0>。

4.7.2 数字增益设置

可以使用地址 0x96 至 0x9D 中的 DIG_GAIN<7:0> 控制 ADC 数字增益。地址 0x96 至 0x9D 中的所有 DIG_GAIN<7:0> 必须设定为相同的值。

当器件第一次上电或发生硬件复位时， DIG_GAIN<7:0> 设置为默认设置 （0011-1100）。用户可以将 DIG_GAIN<7:0> 设定为 0011-1000 ，以实现最优的 SNR 性能 （比默认设置高 0.7 dB）。

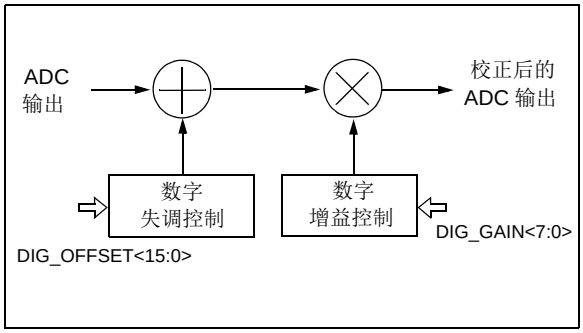


图 4-17：　数字失调和增益设置的简化框图

© 2016 Microchip Technology Inc.

4.8 输出数据格式

器件可以使用偏移二进制或二进制补码形式输出 ADC 数据。数据格式通过地址 0x62 （寄存器 5-20）中的 DATA_FORMAT 位选择。

表 4-13 列出了模拟输入电压、数字数据输出位和超范围位之间的关系。默认情况下，输出数据格式为二进制补码。

表 4-13： ADC 输出编码与输入电压

输入范围	偏移二进制 (1)	二进制补码 (1)	超范围 （OVR）
$A_{IN} > A_{FS}$	11-1111-1111-1111	01-1111-1111-1111	1
$A_{IN} = A_{FS}$	11-1111-1111-1111	01-1111-1111-1111	0
$A_{IN} = A_{FS} – 1$ LSb	11-1111-1111-1110	01-1111-1111-1110	0
$A_{IN} = A_{FS} – 2$ LSb	11-1111-1111-1100	01-1111-1111-1100	0
• • •			
$A_{IN} = A_{FS}/2$	11-0000-0000-0000	01-0000-0000-0000	0
$A_{IN} = 0$	10-0000-0000-0000	00-0000-0000-0000	0
$A_{IN} = -A_{FS}/2$	00-1111-1111-1111	10-1111-1111-1111	0
• • •			
$A_{IN} = -A_{FS} + 2$ LSb	00-0000-0000-0010	10-0000-0000-0010	0
$A_{IN} = -A_{FS} + 1$ LSb	00-0000-0000-0001	10-0000-0000-0001	0
$A_{IN} = -A_{FS}$	00-0000-0000-0000	10-0000-0000-0000	0
$A_{IN} < -A_{FS}$	00-0000-0000-0000	10-0000-0000-0000	1

注 1： MSb 为符号位。

4.9 数字输出

MCP37220-200 和 MCP37D20-200 可以在以下其中一种数字输出模式下工作：

- 全速率 CMOS
- 双倍数据速率 （DDR） LVDS

输出由 DV_{DD18} 和 GND 供电。数据速率高于 80 Msps 时，建议使用 LVDS 模式。数字输出模式通过地址 0x62 （寄存器 5-20）中的 OUTPUT_MODE<1:0> 位进行选择。图 2-1 和图 2-2 给出了数字输出的时序图。

4.9.1 全速率 CMOS 模式

在全速率 CMOS 模式下，数据输出 （Q13 至 Q0）、超范围指示位 （OVR）、字时钟 （WCK）和数据输出时钟 （DCLK+ 和 DCLK-）具有 CMOS 输出电平。在 MCP37D20 中， I/Q 数据输出模式除外， WCK 会被禁止。数字输出应驱动最低限度的容性负载。如果负载电容大于 10 pF，则应使用数字缓冲器。

4.9.2 双倍数据速率 LVDS 模式

双倍数据速率 （DDR） LVDS 模式是一种并行数据流，它会在输出时钟的每个边沿发生变化。详情请参见图 2-2。

在 MCP37D20-200 中，在 I/Q 数据输出模式下， I 和 Q 数据随与 I 数据同步的 WCK 按顺序送出。OVR 和 WCK 是 LVDS 对。

器件会输出以下 LVDS 输出对：

- 输出数据：Q6+/Q6- 至 Q0+/Q0-
- 输出时钟：DCLK+/DCLK-
- OVR/WCK

请注意，在 I/Q 模式下除外， WCK 为逻辑 0。

每个LVDS输出引脚对需要一个100 的差分终结电阻。终结电阻应放置在尽可能靠近 LVDS 接收器的位置。默认情况下，输出为标准 LVDS 电平：在 100Ω 差分负载上输出 3.5 mA 输出电流与 1.15V 输出共模电压。关于 LVDS 模式控制的更多详细信息，请参见地址 0x63（寄存器 5-21）。

> **注：** 每个 LVDS 对的 LVDS 输出极性可以独立控制。请参见地址 0x65 （寄存器 5-23）中的 POL_LVDS<6:0> 设置

4.9.3 超范围位 （OVR）

当模拟输入在正或负方向超出ADC的满量程范围时，输入超范围状态位会置为有效（逻辑高电平）。OVR 位的流水线延时与 ADC 数据位相同。关于 OVR 控制选项，请参见地址 0x68 （寄存器 5-26）。

如果使能了 DSPP 选项，OVR 流水线延时不会受影响；但是，数据将会产生额外的延时。其效果是使 OVR 指示位先于受影响数据输出。

4.9.3.1 LVDS DDR 输出模式下的 OVR 位

(a) 正常 ADC 输出模式：

器件在数据输出时钟的下降沿输出 OVR 位。

(b) MCP37D20-200 中的 I 和 Q 输出模式：

OVR 位与字时钟 （WCK）输出位进行复用，使 OVR 在数据输出时钟的下降沿输出， WCK 在上升沿输出。

4.9.4 字时钟 （WCK）

- MCP37220-200：禁止 WCK。
- MCP37D20-200：WCK 仅在 I/Q 数据输出模式下可用。WCK 与 I 数据同时置为有效。关于 OVR 和 WCK控制选项，请参见地址0x68（寄存器5-26）。

4.9.5 LVDS 输出极性控制

在 LVDS 模式下，可以独立控制每个 LVDS 对的输出极性。表 4-14 汇总了 LVDS 输出极性控制寄存器位。

表 4-14： LVDS 输出极性控制

控制参数	寄存器	说明
POL_LVDS<6:0>	0x65	控制 LVDS 数据对的极性
POL_OVR_WCK	0x68	控制 OVR 和 WCK 位对的极性

4.9.6 可编程 LVDS 输出电流

在 LVDS 模式下，默认输出驱动电流为 3.5 mA。该电流可以通过使用地址 0x63 （寄存器 5-21）中的 LVDS_IMODE<2:0> 位设置进行调整。可用的输出驱动电流包括 1.8 mA、 3.5 mA、 5.4 mA 和 7.2 mA。

4.9.7 可选的 LVDS 驱动器内部终结

在大多数情况下，使用外部 100 终结电阻可以提供优良的 LVDS 信号完整性。此外，可以通过将地址 0x63（寄存器 5-21）中的 LVDS_LOAD 位置 1 来使能可选的内部 100 终结电阻。内部终结有助于吸收由于接收器阻抗终结不良导致的任何反射。

4.9.8 输出数据和时钟速率

用户可以使用地址 0x02（寄存器 5-3）降低输出数据和输出时钟速率。当使用抽取或数字下变频 （DDC）时，必须降低输出数据速率，使之与降低的输出时钟速率同步。

4.9.9 输出时钟 （DCLK）相移

在全速率 CMOS 模式下，数据输出位跳变在 DCLK+ 的上升沿发生，所以可以使用 DCLK+ 的下降沿来锁存输出数据。

在双倍数据速率 LVDS 模式下，在 DCLK+ 的上升沿和下降沿都会发生数据跳变。为了在将数据锁存到外部主机器件中时可以有充足的建立和保持时间，用户可以相对于数据输出位使数字时钟输出 （DCLK+/DCLK-）发生相移。

输出相移（延时）通过每个唯一寄存器控制，具体取决于使用哪个时序源或是否使用抽取功能。表 4-15 列出了每种配置模式的输出时钟相位控制寄存器：(a) 使用 DLL 时， (b) 使用抽取功能时，以及 (c) 使用 PLL 时。

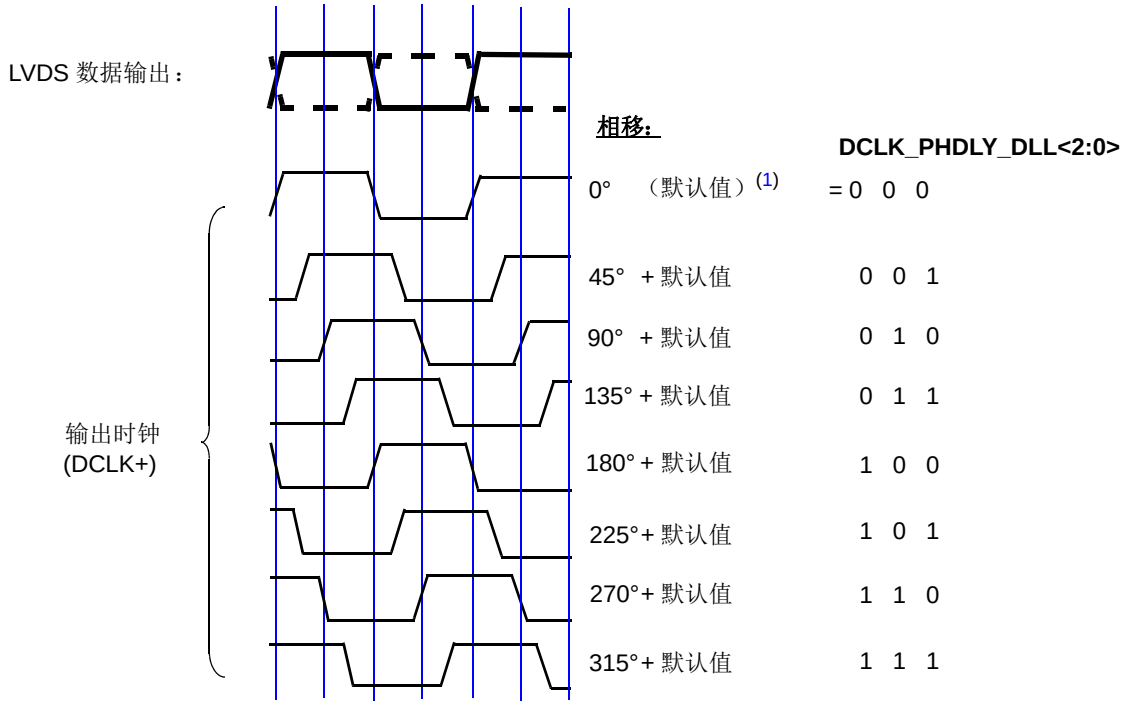
图 4-18 给出了在使用 DLL 时，使用 DCLK_PHDLY_DLL <2:0> 进行输出时钟相位延时控制的示例。

© 2016 Microchip Technology Inc.

表 4-15： 输出时钟 （DCLK）相位控制参数

控制参数	寄存器	工作条件 (1)
使用 DLL 时：		
EN_PHDLY	0x64	EN_PHDLY = 1：使能输出时钟相位延时控制
DCLK_PHDLY_DLL<2:0>	0x52	使用 DLL 时的 DCLK 相位延时控制。不使用抽取功能。
使用抽取功能时：		
EN_PHDLY	0x64	EN_PHDLY = 1：使能输出时钟相位延时控制
DCLK_PHDLY_DEC<2:0>		使用抽取滤波器时的 DCLK 相位延时控制。相位延时在数字时钟输出控制模块中控制。
使用 PLL 时：		
DCLK_DLY_PLL<2:0>	0x6D	使用 PLL 时的 DCLK 延时控制。

注 1： 详情请参见图 4-11。



注 1： 可能并非所有工作条件下的默认值都为 0°

图 4-18： 使用 DLL 时的数字输出时钟 （DCLK+ ）相移的示例

4.9.10 数字输出随机数发生器

根据 PCB 布线注意事项和电源耦合，可能可通过去除ADC输入与ADC数字输出数据的相关性来提高SFDR。器件包含一个输出数据随机数发生器选项。使能该选项时，会通过在 LSb （D0）和所有其他数据输出位之间应用异或逻辑运算来使数字输出随机化。

要解码随机化后的数据，可以应用逆运算：在 LSb（D0）和所有其他位之间应用异或运算。DCLK、OVR、WCK 和 LSb （D0）输出不受影响。图 4-19 给出了数据随机数发生器和解码器逻辑的框图。输出随机数发生器通过将地址 0x07 （寄存器 5-5）中的 EN_OUT_RANDOM 位置 1 来使能。

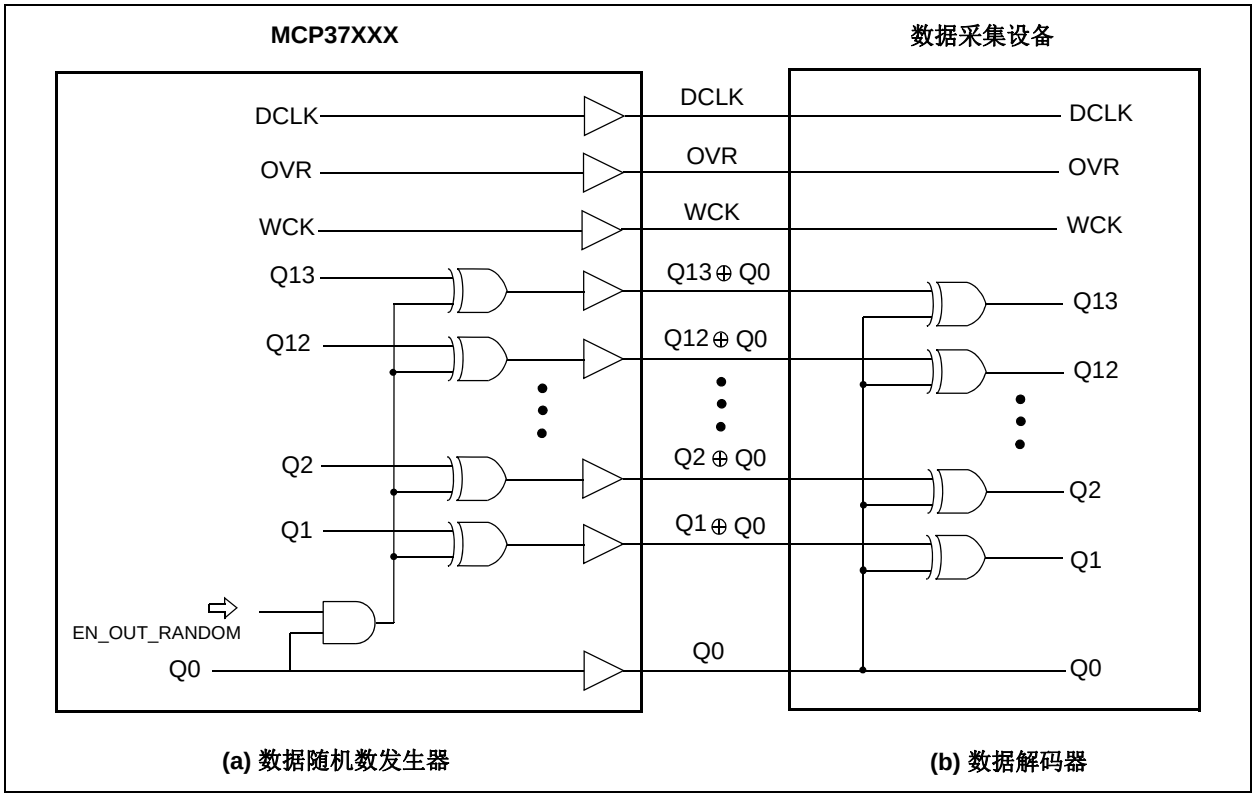


图 4-19：数字输出随机数发生器和解码器的逻辑图

4.9.11 输出禁止

通过将地址0x62（寄存器5-20）中的OUTPUT_MODE<1:0>位设置为 00，可以禁止数字输出。所有数字输出都会被禁止，包括 OVR、 DCLK 等。

4.9.12 输出测试模式

为了方便测试 I/O 接口，器件可以在数字输出上产生各种预定义的或用户定义的模式。关于预定义的测试模式，请参见地址 0x62 （寄存器 5-20）中的 TEST_PATTERNS<2:0>。对于用户定义的测试模式，可以使用地址0x74至0x77（寄存器5-29至寄存器5-32）。使能输出测试模式时， ADC 的模拟部分仍可以正常工作，但不会驱动数字输出。只会在输出上驱动选定的测试模式。

由于输出测试引脚（TP、TP1 和 TP2）可能在该测试期间翻转，所以请总是将这些测试引脚保留悬空 （不连接），以避免争用和过多的电流消耗。

4.9.12.1 伪随机数 （PN）序列输出

当 TEST_PATTERNS<2:0> = 111 时，器件会输出由 16 次多项式定义的伪随机数 （Pseudo-random Number，PN）序列，如公式 4-7 所示。图 4-20 给出了用于产生 PN 序列的 16 位线性反馈移位寄存器（Linear Feedback Shift Register， LFSR）的框图。

公式 4-7： 用于产生 PN 的多项式

$$P(x) = 1 + x^4 + x^{13} + x^{15} + x^{16}$$

© 2016 Microchip Technology Inc.

输出 PN[15:2] 直接应用到输出引脚 Qn[13:0] 上。除了 Qn[13:0]引脚上的输出之外，还会将PN[15]复制到OVR 引脚，将 PN[14] 复制到 WCK 引脚。在 CMOS 输出模式下，总是对所有 CMOS I/O 引脚应用测试模式，无论是否使能它们。在 LVDS 输出模式下，测试模式仅应用于已使能的 LVDS 对。

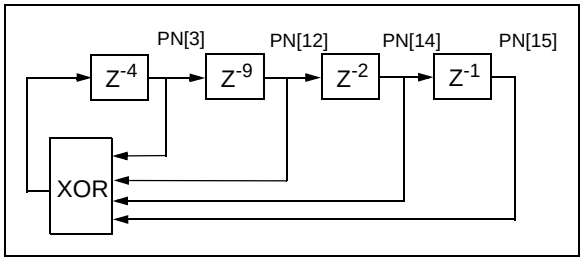


图 4-20：为输出测试模式产生伪随机数（PN）序列的 16 位 LFSR 的框图

4.10 系统校准

内置系统校准算法包括：

- 谐波失真校正（HDC）
- DAC 噪声消除（DNC）
- 动态元件匹配（DEM）

HDC 和 DNC 分别用于校正余量放大器和 DAC 中的非线性。系统校准在进行以下校准时执行：

- 上电校准，它在上电复位序列（需要 3×2^{26} 个时钟周期）期间发生
- 后台校准，它在正常工作期间发生（每隔 2^{30} 个时钟周期）。

后台校准时间对于用户是不可见的，并且它主要影响的是 ADC 跟踪环境温度变化的能力。

校准状态通过 CAL 引脚或地址 0xC0（寄存器 5-67）中的 ADC_CAL_STAT 位监视。关于自动校准的延时控制，另请参见地址 0x07（寄存器 5-5）和 0x1E（寄存器 5-6）。表 4-16 列出了对应于各种 ADC 内核采样速率的校准时间。

表 4-16：校准时间与 ADC 内核采样速率

f_S（Msps）	200	150	100	70	50
上电校准时间（s）	1.01	1.34	2.01	2.88	4.03
后台校准时间（s）	5.37	7.16	10.73	15.34	21.48

4.10.1 复位命令

虽然后台校准会跟踪温度或供电电压的变化，但在时钟频率或寄存器配置改变之后还是应重新校准ADC。这可以通过硬复位或软复位命令来完成。重新校准时间与上电校准时间相同。在经过较长时间后退出关断或待机模式时，强烈建议复位器件。在复位期间，器件具有以下状态：

- 无 ADC 输出
- 内部参考电压的上电条件不发生变化
- 不输送大部分的内部时钟
- 内部用户寄存器的内容：
  - 不受软复位影响
  - 发生硬件复位时会复位为默认值
- 数字部分的电流消耗可以忽略不计，但模拟部分不发生变化。

4.10.1.1 硬件复位

硬复位通过翻转 $\overline{\text{RESET}}$ 引脚来触发。在上升沿，会将所有内部校准寄存器和用户寄存器初始化为其默认状态，并开始重新校准 ADC。重新校准时间与上电校准时间相同。关于硬件 $\overline{\text{RESET}}$ 引脚的时序详细信息，请参见图 2-6。

4.10.1.2 软复位

用户可以通过将地址 0x00（寄存器 5-1）中的 SOFT_RESET位设置为0来发出软复位命令，实现ADC 快速重新校准。在软复位期间，会将所有内部校准寄存器初始化为其初始默认状态。用户寄存器不受影响。在退出软复位（从 0 变为 1）时，会发生自动器件校准。

4.11 功耗和节能

ADC 内核的功耗与采样速率（f_S）成正比。 CMOS 输出的数字功耗主要由数字驱动器的强度和每个输出引脚上的负载条件决定。最大数字负载电流（I_{LOAD}）可以计算如下：

公式 4-8： CMOS 输出负载电流

$$I_{LOAD} = DV_{DD1.8} \times f_{DCLK} \times N \times C_{LOAD}$$

其中：

N = 位数

C_{LOAD} = 输出引脚的容性负载

为了最大程度降低功耗，需要最大程度降低输出引脚上的容性负载。LVDS 输出的输出负载电流是恒定的，因为它由地址 0x63（寄存器 5-21）中的 LVDS_IMODE<2:0> 设置。

4.11.1 节能模式

该器件具有两种节能模式：

- 关断
- 待机

它们通过地址 0x00 （寄存器 5-1）中的 SHUTDOWN 和 STANDBY 位设置。

在关断模式下，除 SPI 接口之外的大部分内部电路（包括参考电压和时钟）都会被关闭。在关断模式期间，器件功耗为 25 mA （典型值），主要是数字泄漏电流。退出关断模式时，强烈建议在同一时间发出软复位。这将会执行 ADC 快速重新校准。内部寄存器的内容不受软复位影响。

在待机模式下，除参考电压、时钟和 SPI 接口外的大部分内部电路都会被禁止。如果器件长时间处于待机状态，则当前的校准值可能会不准确。因此，在退出待机模式时，强烈建议在同一时间执行器件软复位。

© 2016 Microchip Technology Inc.

注：

5.0 串行外设接口 （SPI）

通过串行外设接口（Serial Peripheral Interface， SPI），用户可以通过设置器件的内部寄存器，将 ADC 配置为特定功能或最优性能。 SPI 通信使用 3 个引脚：$\overline{CS}$、SCLK 和 SDIO。表 5-1 总结了 SPI 引脚功能。SCLK 用作串行时序时钟，使用时的最高频率可以为 50 MHz。SDIO （串行数据输入 / 输出）是一个两用引脚，用于向内部寄存器发送或从内部寄存器中读取数据。片选（Chip Select，$\overline{CS}$）引脚在低电平有效时使能 SPI 通信。$\overline{CS}$ 下降沿后跟随 SCLK 上升沿决定 SPI 通信开始。当 $\overline{CS}$ 为高电平时，SPI 通信会被禁止，SPI 引脚会被置为高阻抗模式。内部寄存器可以通过它们的地址访问。

图 5-1 和图 5-2 分别显示了器件使用 MSb 优先和 LSb 优先选项时的 SPI 数据通信协议。它包含：

- 16 位宽指令头 + 数据字节 1 + 数据字节 2 +...+ 数据字节 N

表 5-2 汇总了位功能。指令头的 R/$\overline{W}$ 位指示命令是读 （1）还是写 （0）：

- 如果 R/$\overline{W}$ 位为 1，则在 16 位宽的指令头之后，SDIO 引脚方向会从输入 （SDI）变为输出 （SDO）。

通过选择 R/$\overline{W}$ 位，用户可以写入寄存器或读回寄存器内容。指令头中的 W1 和 W2 位指示要在随后的数据帧中发送或接收的数据字节数。

A2-A0 位是 SPI 器件地址位。当同一 SPI 总线上使用多个器件时，将使用这些位。 A2 内部硬编码为 0。 A1 和 A0 位分别对应于 ADR1 和 ADR0 引脚的逻辑电平。

> **注：** 在 VTLA-124 封装中， ADR1 在内部接地（逻辑 0）。

R9-R0 位代表要写入或读取的配置寄存器的起始地址。指令头之后的数据字节是寄存器数据。所有寄存器数据都是 8 位宽。数据可以按 MSb 优先模式（默认）或 LSb 优先模式发送，这由地址 0x00 （寄存器 5-1）中的 <LSB_FIRST> 位设置决定。在写模式下，数据在 SCLK 的上升沿送入。在读模式下，数据在 SCLK 的下降沿送出。

表 5-1： SPI 引脚功能

引脚名称	说明
$\overline{CS}$	片选引脚。 SPI 模式在下降沿启动。它需要在 SPI 通信的整个周期中保持低电平有效。器件在上升沿退出 SPI 通信。
SCLK	串行时钟输入引脚。 • 写入器件：数据在 SCLK 的上升沿锁存 • 读取器件：数据在 SCLK 的下降沿锁存
SDIO	串行数据输入 / 输出引脚。该引脚初始时在前 16 位指令头期间是输入引脚 （SDI）。在指令头之后，其 I/O 状态可根据 R/$\overline{W}$ 位更改： • 如果 R/$\overline{W}$ = 0：用于写入的数据输入引脚 （SDI） • 如果 R/$\overline{W}$ = 1：用于读取的数据输出引脚 （SDO）

表 5-2： SPI 数据协议位功能

位名称	说明
R/$\overline{W}$	1 = 读模式 0 = 写模式
W1, W0 （数据长度）	00 = 1 个寄存器的数据 （1 字节） 01 = 2 个寄存器的数据 （2 字节） 10 = 3 个寄存器的数据 （3 字节） 11 = 通过发送 SCLK 来连续读取或写入 (1)
A2 - A0	SPI 总线上的多个器件的器件 SPI 地址。 A2：内部硬编码为 0 A1：ADR1 引脚的逻辑电平 A0：ADR0 引脚的逻辑电平
R9 - R0	起始寄存器的地址。
D7 - D0	寄存器数据。 MSb 或 LSb 优先，取决于 0x00 中的 LSB_FIRST 位设置。

注 1： 寄存器地址计数器每一步递增 1。在达到最后一个地址 （0x15D）时，计数器不会自动复位为 0x00。请注意，用户寄存器不是按顺序分配的。

© 2016 Microchip Technology Inc.

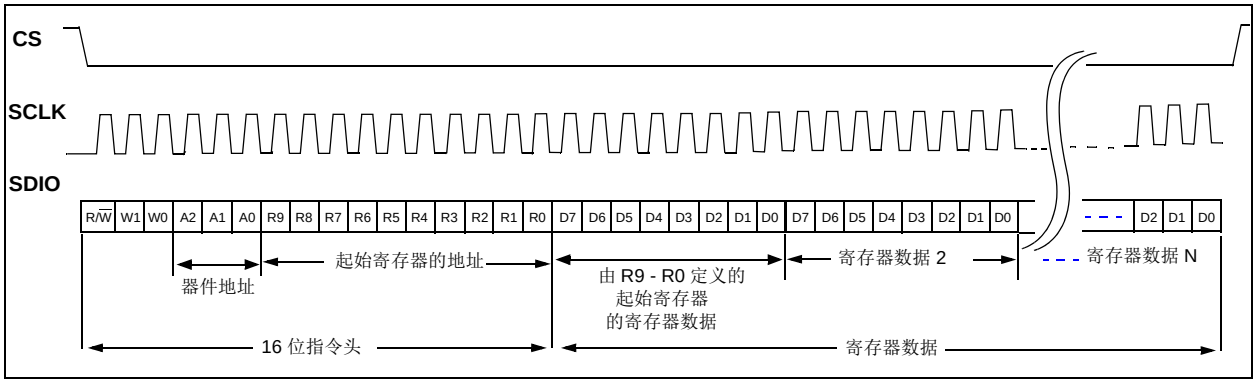


图 5-1：　MSb 优先时的 SPI 串行数据通信协议。关于时序规范，请参见图 2-5 和图 2-6。

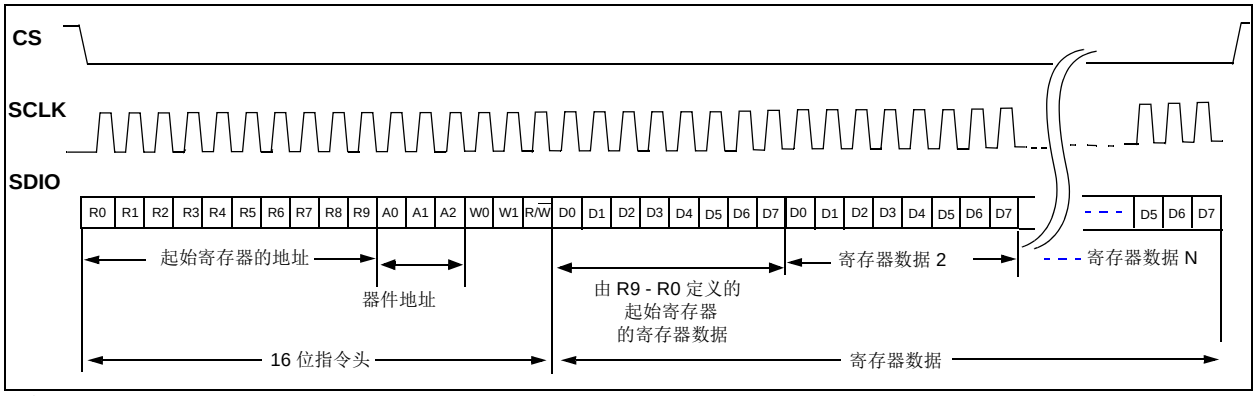


图 5-2：　LSb 优先时的 SPI 串行数据通信协议。关于时序规范，请参见图 2-5 和图 2-6。

5.1　寄存器初始化

内部配置寄存器通过两种不同方式初始化为其默认值：

- 上电复位（Power-on Reset，POR）时 2^{20} 个时钟周期的延时之后。
- 通过硬件复位引脚（$\overline{\text{RESET}}$）复位。

图 2-5 和图 2-6 给出了时序详细信息。

5.2　配置寄存器

内部寄存器被映射到地址 0x00 至 0x15D。这些用户寄存器不是按顺序分配位置的。

一些用户配置寄存器中包含了工厂控制位。用户不应覆盖这些工厂控制的寄存器位。

> **注　1：** 用户不应写入或修改未包含在以下寄存器映射表中的所有地址和位单元。
>
> **2：** 一些寄存器包含工厂控制位（Factory-controlled Bits，FCB）。请不要改写这些位。

除了最后 4 个寄存器（它们是只读的），所有用户配置寄存器都是可读 / 写的。每个寄存器都由 8 位宽的易失性存储器组成，在上电序列期间或通过使用硬件 $\overline{\text{RESET}}$ 引脚，会装入它们的默认值。所有寄存器都可通过 SPI 命令使用寄存器地址访问。表 5-3 给出了用户配置存储器映射，寄存器 5-1 至寄存器 5-70 给出了寄存器位功能的详细信息。

表 5-3：　　寄存器映射表

地址	寄存器名称	位								默认值
		b7	b6	b5	b4	b3	b2	b1	b0	
0x00	SPI 位顺序和 ADC 模式选择	SHUTDOWN 1 = 关断	LSb_First 1 = LSb 优先 0 = MSb 优先	$\overline{\text{SOFT_RESET}}$ 0 = 软复位	STANDBY 1 = 待机	STANDBY 1 = 待机	$\overline{\text{SOFT_RESET}}$ 0 = 软复位	LSb_First 1 = LSb 优先 0 = MSb 优先	SHUTDOWN 1 = 关断	0x24
0x01	输出数据和时钟分频器的独立性控制	EN_DATCLK_IND	FCB<6:0> = 000 1111							0x0F
0x02	输出数据和时钟速率控制	OUT_DATARATE<3:0>				OUT_CLKRATE<3:0>				0x00
0x04	SPI SDO 时序控制	SDO_TIME	FCB<6:0> = 0011111							0x9F
0x07	输出随机数发生器和 WCK 极性控制	POL_WCK	EN_AUTOCAL_TIMEDLY	FCB<4:0> = 10001					EN_OUT_RANDOM	0x62
0x1E	自动校准延时控制	AUTOCAL_TIMEDLY<7:0>								0x80
0x52	DLL 控制	EN_DUTY	DCLK_PHDLY_DLL<2:0>			EN_DLL_DCLK	EN_DLL	EN_CLK	$\overline{\text{RESET_DLL}}$	0x0A
0x53	时钟源选择	FCB<6:4>= 010			CLK_SOURCE	FCB<3:0>= 0101				0x45
0x54	PLL 参考频率分频器	PLL_REFDIV<7:0>								0x00
0x55	PLL 输出和参考频率分频器	PLL_OUTDIV<3:0>				FCB<1:0> = 10		PLL_REFDIV<9:8>		0x48
0x56	PLL 预分频器 （LSB）	PLL_PRE （LSB） <7:0>								0x78
0x57	PLL 预分频器 （MSB）	FCB<3:0> = 0100				PLL_PRE （MSB） <11:8>				0x40
0x58	PLL 电荷泵	FCB<2:0> = 000			PLL_BIAS	PLL_CHAGPUMP<3:0>				0x12
0x59	PLL 使能控制 1	U	FCB<4:3> = 10		EN_PLL_REFDIV	FCB<2:1> = 00		EN_PLL	FCB<0> = 1	0x41
0x5A	PLL 环路滤波器电阻	U	FCB<1:0> = 01		PLL_RES<4:0>					0x2F
0x5B	PLL 环路滤波器电容 3	U	FCB<1:0> = 01		PLL_CAP3<4:0>					0x27
0x5C	PLL 环路滤波器电容 1	U	FCB<1:0> = 01		PLL_CAP1<4:0>					0x27
0x5D	PLL 环路滤波器电容 2	U	FCB<1:0> = 01		PLL_CAP2<4:0>					0x27
0x5F	PLL 使能控制 2	FCB<5:2> = 1111				EN_PLL_OUT	EN_PLL_BIAS	FCB<1:0> = 01		0xF1
0x62	输出数据格式和输出测试模式	U	FCB<0> = 0	DATA_FORMAT	OUTPUT_MODE<1:0>		TEST_PATTERNS<2:0>			0x10
0x63	LVDS 输出负载和驱动电流控制	FCB<3:0> = 0000				LVDS_LOAD	LVDS_IMODE<2:0>			0x01
0x64	使用抽取滤波器时的输出时钟相位控制	EN_PHDLY	DCLK_PHDLY_DEC<2:0>			FCB<3:0> = 0011				0x03
0x65	LVDS 输出极性控制	POL_LVDS<6:0>							NO-EFFECT	0x00
0x66	数字失调校正 —— 低字节	DIG_OFFSET<7:0>								0x00

图注：　U = 未实现位，读为 0　FCB = 工厂控制位。不要编程　1 = 置 1　0 = 清零　x = 未知

注　1：　只读寄存器。在工厂中预先编程，供内部使用。

© 2016 Microchip Technology Inc.

表 5-3：　　寄存器映射表（续）

地址	寄存器名称	位								默认值
		b7	b6	b5	b4	b3	b2	b1	b0	
0x67	数字失调校正 —— 高字节	DIG_OFFSET<15:8>								0x00
0x68	OVR 和 WCK 位控制	FCB<5:2> = 0010				POL_OVR_WCK	EN_OVR_WCK	FCB<1:0> = 00		0x24
0x6B	PLL 校准	FCB<6:2> = 00001					PLL_CAL_TRIG	FCB<1:0> = 00		0x08
0x6D	PLL 输出和输出时钟相位	U<1:0>		EN_PLL_CLK	FCB<1> = 0	DCLK_DLY_PLL<2:0>			FCB<0> = 0	0x00
0x74	用户定义的输出模式 A—— 低字节	PATTERN A<5:0>						不要使用（请将这些位保留为 00）		0x00
0x75	用户定义的输出模式 A—— 高字节	PATTERN A<13:6>								0x00
0x76	用户定义的输出模式 B—— 低字节	PATTERN B<5:0>						不要使用（请将这些位保留为 00）		0x00
0x77	用户定义的输出模式 B—— 高字节	PATTERN B<13:6>								0x00
0x79	I/Q 通道 DSPP 控制	EN_DSPP_I/Q	FCB<6:0> = 000 0000							0x00
0x7A	FIR_A0 位控制	FCB<6> = 0	FIR_A<0>	FCB<5:0> = 00 0000						0x00
0x7B	FIR A 滤波器	FIR_A<8:1>								0x00
0x7C	FIR B 滤波器	FIR_B<7:0>								0x00
0x80	数字下变频器控制 1	FCB<0> = 0	HBFILTER_A	EN_NCO	EN_AMPDITH	EN_PHSDITH	EN_LFSR	EN_DDC_FS/8	EN_DDC1	0x00
0x81	数字下变频器控制 2	FCB<5> = 0	EN_DDC2	GAIN_HBF_DDC	FCB<4:0> = 0 0000					0x00
0x82	数控振荡器（NCO）调节 —— 低字节	NCO_TUNE<7:0>								0x00
0x83	数控振荡器（NCO）调节 —— 中低字节	NCO_TUNE<15:8>								0x00
0x84	数控振荡器（NCO）调节 —— 中高字节	NCO_TUNE<23:16>								0x00
0x85	数控振荡器（NCO）调节 —— 高字节	NCO_TUNE<31:24>								0x00
0x86	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>								0x00
0x87	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>								0x00
0x88	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00

图注：　U = 未实现位，读为 0　FCB = 工厂控制位。不要编程　1 = 置 1　0 = 清零　x = 未知

注　1：　只读寄存器。在工厂中预先编程，供内部使用。

© 2016 Microchip Technology Inc.

表 5-3：　　寄存器映射表 （续）

地址	寄存器名称	位								默认值
		b7	b6	b5	b4	b3	b2	b1	b0	
0x89	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x8A	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00
0x8B	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x8C	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00
0x8D	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x8E	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00
0x8F	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x90	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00
0x91	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x92	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00
0x93	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x94	DDC 模式下的 NCO 相位偏移 —— 低字节	NCO_PHASE<7:0>—— 重复地址 0x86								0x00
0x95	DDC 模式下的 NCO 相位偏移 —— 高字节	NCO_PHASE<15:8>—— 重复地址 0x87								0x00
0x96	数字增益控制	DIG_GAIN<7:0>								0x3C
0x97		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C
0x98		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C
0x99		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C
0x9A		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C
0x9B		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C
0x9C		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C
0x9D		DIG_GAIN<7:0>—— 重复地址 0x96								0x3C

图注：　U = 未实现位，读为 0　FCB = 工厂控制位。不要编程　1 = 置 1　0 = 清零　x = 未知

注　1：　只读寄存器。在工厂中预先编程，供内部使用。

© 2016 Microchip Technology Inc.

表 5-3：　　寄存器映射表（续）

地址	寄存器名称	位								默认值
		b7	b6	b5	b4	b3	b2	b1	b0	
0xC0	校准状态指示（只读）	ADC_CAL_STAT	FCB<6:0> = 000-0000							—
0xD1	PLL 校准状态和 PLL 漂移状态指示（只读）	FCB<4:3> = xx		PLL_CAL_STAT	FCB<2:1> = xx		PLL_VCOL_STAT	PLL_VCOH_STAT	FCB<0> = x	—
0x15C	芯片 ID—— 低字节 (1)（只读）	CHIP_ID<7:0>								—
0x15D	芯片 ID—— 高字节 (1)（只读）	CHIP_ID<15:8>								—

图注：　U = 未实现位，读为 0　FCB = 工厂控制位。不要编程　1 = 置 1　0 = 清零　x = 未知

注　1：　只读寄存器。在工厂中预先编程，供内部使用。

© 2016 Microchip Technology Inc.

寄存器 5-1：　地址 0X00——SPI 位顺序和 ADC 模式选择 (1)

R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0
SHUTDOWN	LSB_FIRST	$\overline{\text{SOFT_RESET}}$	STANDBY	STANDBY	$\overline{\text{SOFT_RESET}}$	LSB_FIRST	SHUTDOWN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**SHUTDOWN**：用于实现节能的关断模式设置 (2)
1 = ADC 处于关断模式
0 = 不处于关断模式 （默认）

bit 6　**LSB_FIRST**：选择 SPI 通信位顺序
1 = 以 LSb 优先方式启动 SPI 通信
0 = 以 MSb 优先方式启动 SPI 通信 （默认）

bit 5　**$\overline{\text{SOFT_RESET}}$**：软复位控制位 (3)
1 = 不处于软复位模式 （默认）
0 = ADC 处于软复位模式

bit 4　**STANDBY**：使器件进入节能待机模式 (4)
1 = ADC 处于待机模式
0 = 不处于待机模式 （默认）

bit 3　**STANDBY**：使器件进入节能待机模式 (4)
1 = ADC 处于待机模式
0 = 不处于待机模式 （默认）

bit 2　**$\overline{\text{SOFT_RESET}}$**：软复位控制位 (3)
1 = 不处于软复位模式 （默认）
0 = ADC 处于软复位模式

bit 1　**LSB_FIRST**：选择 SPI 通信位顺序
1 = 以 LSb 优先方式启动 SPI 通信
0 = 以 MSb 优先方式启动 SPI 通信 （默认）

bit 0　**SHUTDOWN**：用于实现节能的关断模式设置 (2)
1 = ADC 处于关断模式
0 = 不处于关断模式 （默认）

注

1： 高半字节和低半字节是互为镜像的，这使 MSb 优先和 LSb 优先模式可互换。当互为镜像的位具有不同值时，低半字节（bit <3:0>）的优先级较高。

2： 在关断模式期间，除 SPI 接口之外的大部分内部电路 （包括参考电压和时钟）都会被关闭。在退出关断模式 （从 1 变为 0）时，强烈建议同时执行器件软复位，以便快速重新校准 ADC。内部用户寄存器不受影响。

3： 该位会强制器件进入软复位模式，这会将内部校准寄存器初始化为其初始默认状态。用户寄存器不受影响。在退出软复位模式 （从 0 变为 1）时，器件会执行包括 PLL 校准在内 （如果使能了 PLL）的自动器件校准。如果使能了 DLL，则会将它复位。在软复位期间，器件具有以下状态：
- 无 ADC 输出
- 内部参考电压的上电条件不发生变化
- 不输送大部分的内部时钟
- 功耗：(a) 数字部分 —— 可忽略不计， (b) 模拟部分 —— 无变化。

4： 在待机模式期间，除参考电压、时钟和 SPI 接口外的大部分内部电路都会被关闭。在经过较长时间之后退出待机模式（从 1 变为 0）时，强烈建议同时执行软复位。内部用户寄存器不受影响。

© 2016 Microchip Technology Inc.

寄存器 5-2：　地址 0X01—— 输出数据和时钟分频器的独立性控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1
EN_DATCLK_IND	FCB<6:0>						
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**EN_DATCLK_IND：**独立使能数据和时钟分频器 (1)
1 = 使能
0 = 禁止（默认）

bit 6-0　**FCB<6:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

注　1：EN_DATCLK_IND = 1 使能地址 0x02（寄存器 5-3）中的 OUT_CLKRATE<3:0> 设置。

寄存器 5-3：　地址 0X02—— 输出数据和时钟速率控制 (1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OUT_DATARATE<3:0>				OUT_CLKRATE<3:0>			
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　**OUT_DATARATE<3:0>：**输出数据速率控制位
1111 = 输出数据为全 0
1110 = 输出数据为全 0
1101 = 输出数据为全 0
1100 = 仅供内部测试 (2)
1011 = 仅供内部测试 (2)
1010 = 仅供内部测试 (2)
1001 = 全速进行 512 分频
1000 = 全速进行 256 分频
0111 = 全速进行 128 分频
0110 = 全速进行 64 分频
0101 = 全速进行 32 分频
0100 = 全速进行 16 分频
0011 = 全速进行 8 分频
0010 = 全速进行 4 分频
0001 = 全速进行 2 分频
0000 = 全速速率 （**默认**）

bit 3-0　**OUT_CLKRATE<3:0>：**输出时钟速率控制位 (3, 4)
1111 = 全速速率
1110 = 无时钟输出
1101 = 无时钟输出
1100 = 无时钟输出
1011 = 无时钟输出
1010 = 无时钟输出
1001 = 全速进行 512 分频
1000 = 全速进行 256 分频
0111 = 全速进行 128 分频
0110 = 全速进行 64 分频
0101 = 全速进行 32 分频
0100 = 全速进行 16 分频
0011 = 全速进行 8 分频
0010 = 全速进行 4 分频
0001 = 全速进行 2 分频
0000 = 无时钟输出 （**默认**）

注
1： 使用抽取滤波器选择选项（见地址 0x7B 和 0x7C—— 寄存器 5-35 和寄存器 5-36）或数字下变频（DDC）选项（见地址 0x80—— 寄存器 5-37）时，应使用该寄存器。
2： 1100 - 1010 ：不要重新编程。这些设置仅用于内部测试。如果使用不同的设置重新编程这些位，输出将处于未定义状态。
3： 如果地址 0x01 （寄存器 5-2）中的 EN_DATCLK_IND = 1， bit <3:0> 会变为有效。
4： 选择无时钟输出 （这些位为 1110 - 1010 ）时：DCLK+/DCLK- 引脚上不提供时钟输出。

© 2016 Microchip Technology Inc.

寄存器 5-4：　　地址 0X04——SPI SDO 输出时序控制

R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
SDO_TIME	FCB<6:0>						
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**SDO_TIME：**SPI SDO 输出时序控制位
1 = SDO 输出处于时钟的下降沿 （默认）
0 = SDO 输出处于时钟的上升沿

bit 6-0　　**FCB<6:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

寄存器 5-5：　　地址 0X07—— 输出随机数发生器和 WCK 极性控制

R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0
POL_WCK	EN_AUTOCAL_TIMEDLY	FCB<4:0>					EN_OUT_RANDOM
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**POL_WCK：**DDC 模式下的 WCK 极性控制位 (1)
1 = 反相
0 = 同相 （默认）

bit 6　　**EN_AUTOCAL_TIMEDLY：**自动校准启动延时计数器控制位 (2)
1 = 使能 （默认）
0 = 禁止

bit 5-1　　**FCB<4:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 0　　**EN_OUT_RANDOM：**输出随机数发生器控制位
1 = 使能：使 ADC 数据输出随机化
0 = 禁止 （默认）

注　**1：**　仅适用于 MCP37D20-200。关于 OVR/WCK 对控制，请参见地址 0x68 （寄存器 5-26）。
　　2：　该位会使能 AUTOCAL_TIMEDLY<7:0> 设置。请参见地址 0x1E （寄存器 5-6）。

寄存器 5-6： 地址 0X1E—— 自动校准延时控制 (1)

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
AUTOCAL_TIMEDLY<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **AUTOCAL_TIMEDLY<7:0>：**自动校准启动延时控制位
1111-1111 = 最大值
• • •
1000-0000 = （默认值）
• • •
0000-0000 = 最小值

注 1： 地址 0x07 （寄存器 5-5）中的 EN_AUTOCAL_TIMEDLY 用于使能该寄存器设置。该寄存器控制自动校准开始之前的延时。其值随位设置从最小值到最大值线性递增。

寄存器 5-7： 地址 0X52——DLL 控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0
EN_DUTY	DCLK_PHDLY_DLL<2:0>			EN_DLL_DCLK	EN_DLL	EN_CLK	$\overline{\text{RESET_DLL}}$
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7 **EN_DUTY：**使能 DLL 电路来对输入时钟进行占空比校正 （DCC） (1)
1 = 使能校正
0 = 禁止校正 （默认）

bit 6-4 **DCLK_PHDLY_DLL<2:0>：**选择在使用 DLL 时数字时钟输出的相位延时 (2)
111 = 相对于默认值发生 +315° 的相移
110 = 相对于默认值发生 +270° 的相移
• • •
010 = 相对于默认值发生 +90° 的相移
001 = 相对于默认值发生 +45° 的相移
000 = （默认值）

bit 3 **EN_DLL_DCLK：**使能 DLL 数字时钟输出
1 = 使能 （默认）
0 = 禁止：关闭 DLL 数字时钟。使用 DLL 时， ADC 输出不可用

bit 2 **EN_DLL：**使能 DLL 电路来为数字输出时钟提供可选择的相位时钟
1 = 使能
0 = 禁止：禁止 DLL 模块 （默认）

bit 1 **EN_CLK：**使能时钟输入缓冲器
1 = 使能 （默认）
0 = 禁止：不为内部电路提供时钟， ADC 输出不可用

bit 0 **$\overline{\text{RESET_DLL}}$：**DLL 电路复位控制 (3)
1 = DLL 处于工作状态
0 = DLL 电路保持在复位状态 （默认）

注 1： 使能 DLL 电路进行占空比校正。
2： 只有 EN_PHDLY = 1，并且不使用抽取时，这些位才起作用。
3： DLL 复位控制过程：将该位设置为 0 （复位），然后设置为 1。

© 2016 Microchip Technology Inc.

寄存器 5-8：　地址 0X53—— 时钟源选择

R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1
FCB<6:4>			CLK_SOURCE	FCB<3:0>			
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-5　**FCB<6:4>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4　**CLK_SOURCE：**选择内部时序源
1 = 选择 PLL 输出作为时序源
0 = 选择外部时钟输入作为时序源 **（默认）**

bit 3-0　**FCB<3:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

寄存器 5-9：　地址 0X54——PLL 参考时钟分频器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PLL_REFDIV<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**PLL_REFDIV<7:0>：**PLL 参考时钟分频器控制位 (1)
1111-1111 = PLL 参考时钟 255 分频 （如果 PLL_REFDIV<9:8> = 00）
1111-1110 = PLL 参考时钟 254 分频 （如果 PLL_REFDIV<9:8> = 00）
• • •
0000-0011 = PLL 参考时钟 3 分频 （如果 PLL_REFDIV<9:8> = 00）
0000-0010 = **不要使用 （无作用）**
0000-0001 = PLL 参考时钟 1 分频 （如果 PLL_REFDIV<9:8> = 00）
0000-0000 = PLL 参考时钟不分频 （如果 PLL_REFDIV<9:8> = 00）**（默认）**

注　1： PLL_REFDIV 为 10 位宽设置。关于高两位，请参见地址 0x55（寄存器 5-10）；关于 PLL_REFDIV<9:0> 位设置，请参见表 4-5。该设置控制 PLL 参考时钟（时钟输入引脚上的外部时钟输入）在 PLL 相位频率检测器电路之前的时钟分频比。请注意，不支持分频比值 2。地址 0x59 （寄存器 5-14）中的 EN_PLL_REFDIV 必须置 1。

寄存器 5-10：　地址 0X55——PLL 输出和参考时钟分频器

R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
PLL_OUTDIV<3:0>				FCB<1:0>		PLL_REFDIV<9:8>	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　**PLL_OUTDIV<3:0>：**PLL 输出分频器控制位 (1)
1111 = PLL 输出 15 分频
1110 = PLL 输出 14 分频
• • •
0100 = PLL 输出 4 分频 （默认）
0011 = PLL 输出 3 分频
0010 = PLL 输出 2 分频
0001 = PLL 输出 1 分频
0000 = PLL 输出不分频

bit 3-2　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 1-0　**PLL_REFDIV<9:8>：**PLL_REFDIV<9:0> 的高 2 位 (2)
00 = 请参见表 5-4。（默认）

注　1：PLL_OUTDIV<3:0> 控制 PLL 输出时钟分频比：VCO 输出按 PLL_OUTDIV<3:0> 设置进行分频。
2：关于PLL_REFDIV<9:0>位设置，请参见地址0x54（寄存器5-9）和表5-4。地址0x59（寄存器5-14）中的EN_PLL_REFDIV必须置 1。

表 5-4：　示例 ——PLL 参考时钟分频器位设置与 PLL 参考输入频率

PLL_REFDIV<9:0>	PLL 参考频率
11-1111-1111	参考频率 1023 分频
11-1111-1110	参考频率 1022 分频
—	—
00-0000-0011	参考频率 3 分频
00-0000-0010	不要使用 （不支持）
00-0000-0001	参考频率 1 分频
00-0000-0000	参考频率 1 分频

© 2016 Microchip Technology Inc.

寄存器 5-11：　地址 0X56——PLL 预分频器 （LSB）

R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0
PLL_PRE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**PLL_PRE<7:0>：**PLL 预分频器选择 (1)
`1111-1111` = VCO 时钟 255 分频 （如果 PLL_PRE<11:8> = 0000）
• • •
`0111-1000` = VCO 时钟 120 分频 （如果 PLL_PRE<11:8> = 0000）**（默认）**
• • •
`0000-0010` = VCO 时钟 2 分频 （如果 PLL_PRE<11:8> = 0000 ）
`0000-0001` = VCO 时钟 1 分频 （如果 PLL_PRE<11:8> = 0000 ）
`0000-0000` = VCO 时钟不分频 （如果 PLL_PRE<11:8> =0000）

注　1： PLL_PRE 为 12 位宽设置。高 4 位 （PLL_PRE<11:8>）在地址 0x57 中定义。关于 PLL_PRE<11:0> 位设置，请参见表 4-5。 PLL 预分频器用于对 PLL 相位频率检测器环路中的 VCO 输出时钟进行分频。

寄存器 5-12：　地址 0X57——PLL 预分频器 （MSB）

R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FCB<3:0>				PLL_PRE<11:8>			
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　**FCB<3:0>：**工厂控制位。不供用户使用。请不要更改默认设置。
bit 3-0　**PLL_PRE<11:8>：**PLL 预分频器选择 (1)
`1111` = 2^{12} - 1 （最大值），如果 PLL_PRE<7:0> = 0xFF
• • •
`0000` = **（默认值）**

注　1： PLL_PRE 为 12 位宽设置。请参见地址 0x56（寄存器 5-11）中的低 8 位设置（PLL_PRE<7:0>）。关于 PLL 反馈频率，请参见表 5-5 中的 PLL_PRE<11:0> 位设置。

表 5-5：　示例：PLL 预分频器位设置和 PLL 反馈频率

PLL_PRE<11:0>	PLL 反馈频率
1111-1111-1111	VCO 时钟 4095 （2^{12} - 1）分频
1111-1111-1110	VCO 时钟 4094 （2^{12} - 2）分频
—	—
0000-0000-0011	VCO 时钟 3 分频
0000-0000-0010	VCO 时钟 2 分频
0000-0000-0001	VCO 时钟 1 分频
0000-0000-0000	VCO 时钟 1 分频

寄存器 5-13： 地址 0X58——PLL 电荷泵

R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0
FCB<2:0>			PLL_BIAS	PLL_CHAGPUMP<3:0>			
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-5 **FCB<2:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4 **PLL_BIAS：**PLL 电荷泵偏置电压源选择位
1 = 来自 AV_{DD} 的自偏置电压 （默认）
0 = 来自参考电压发生器的带隙电压 （1.2V）

bit 3-0 **PLL_CHAGPUMP<3:0>：**PLL 电荷泵偏置电流控制位 (1)
1111 = 最大电流
• • •
0010 = （默认值）
• • •
0000 = 最小电流

注 1： PLL_CHAGPUMP<3:0> 位应基于相位检测器比较频率设置。偏置电流幅值会随位设置值上升而线性上升。上升范围为大约 25 µA 至 375 µA，每个步阶 25 µA。关于 PLL 模块的更多详细信息，请参见第 4.5.2.1 节 “PLL 输出频率和输出控制参数”。

寄存器 5-14： 地址 0X59——PLL 使能控制 1

U-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
—	FCB<4:3>		EN_PLL_REFDIV	FCB<2:1>		EN_PLL	FCB<0>
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7 **未实现：**不使用。

bit 6-5 **FCB<4:3>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4 **EN_PLL_REFDIV：**使能 PLL 参考时钟分频器 （PLL_REFDIV<9:0>）。
1 = 使能 PLL_REFDIV<9:0> 寄存器
0 = 将参考时钟分频器旁路 （默认）

bit 3-2 **FCB<2:1>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 1 **EN_PLL：**PLL 电路的主使能位
1 = 使能 PLL 电路
0 = 禁止 PLL 电路 （默认）

bit 0 **FCB<0>：**工厂控制位。不供用户使用。请不要更改默认设置。

© 2016 Microchip Technology Inc.

寄存器 5-15：　地址 0X5A——PLL 环路滤波器电阻

U-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1
—	FCB<1:0>		PLL_RES<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**未实现：**不使用。

bit 6-5　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4-0　**PLL_RES<4:0>：**PLL 环路滤波器的电阻值选择位 (1)

11111 = 最大值
• • •
01111 = （默认值）
• • •
00000 = 最小值

注　1：PLL_RES<4:0> 位应基于相位检测器比较频率设置。电阻值随位设置从最小值到最大值线性递增。请参见**第 4.5.2.1 节 “PLL 输出频率和输出控制参数”**中的 PLL 环路滤波器章节。

寄存器 5-16：　地址 0X5B——PLL 环路滤波器电容 3

U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1
—	FCB<1:0>		PLL_CAP3<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**未实现：**不使用。

bit 6-5　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4-0　**PLL_CAP3<4:0>：**PLL 环路滤波器的电容 3 值选择位 (1)

11111 = 最大值
• • •
00111 = （默认值）
• • •
00000 = 最小值

注　1：该电容与分流电阻串联，该电阻由 PLL_RES<4:0> 位设置。电容值随位设置从最小值到最大值线性递增。该设置应基于相位检测器比较频率设置。

寄存器 5-17：　　地址 0X5C——PLL 环路滤波器电容 1

U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1
—	FCB<1:0>		PLL_CAP1<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**未实现：**不使用。

bit 6-5　　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4-0　　**PLL_CAP1<4:0>：**PLL 环路滤波器的电容 1 值选择位 (1)

11111 = 最大值
• • •
00111 = （默认值）
• • •
00000 = 最小值

注　1：该电容位于电荷泵输出和地之间，并与由 PLL_RES<4:0> 定义的分流电阻并联。电容值随位设置从最小值到最大值线性递增。该设置应基于相位检测器比较频率设置。

寄存器 5-18：　　地址 0X5D——PLL 环路滤波器电容 2

U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1
—	FCB<1:0>		PLL_CAP2<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**未实现：**不使用。

bit 6-5　　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 4-0　　**PLL_CAP2<4:0>：**PLL 环路滤波器的电容 2 值选择位 (1)

11111 = 最大值
• • •
00111 = （默认值）
• • •
00000 = 最小值

注　1：该电容位于电荷泵输出和地之间，并与由 PLL_CAP1<4:0> 定义的电容 1 并联。电容值随位设置从最小值到最大值线性递增。该设置应基于相位检测器比较频率设置。

© 2016 Microchip Technology Inc.

寄存器 5-19：　地址 0X5F——PLL 使能控制 2[1]

R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1
FCB<5:2>				EN_PLL_OUT	EN_PLL_BIAS	FCB<1:0>	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　**FCB<5:2>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 3　**EN_PLL_OUT：**使能 PLL 输出。
1 = 使能
0 = 禁止 （默认）

bit 2　**EN_PLL_BIAS：**使能 PLL 偏置
1 = 使能
0 = 禁止 （默认）

bit 1-0　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

注　1：　要使能 PLL 输出，必须将地址 0x59 （寄存器 5-14）中的 EN_PLL_OUT、 EN_PLL_BIAS 和 EN_PLL 置 1。

寄存器 5-20：　　地址 0X62—— 输出数据格式和输出测试模式

U-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
—	FCB<0>	DATA_FORMAT	OUTPUT_MODE<1:0>		TEST_PATTERNS<2:0>		
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　　**未实现：**未使用

bit 6　　**FCB<0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 5　　**DATA_FORMAT：**输出数据格式选择
1 = 偏移二进制 （无符号）
0 = 二进制补码 **（默认）**

bit 4-3　　**OUTPUT_MODE<1:0>：**输出模式选择 (1)
11 = 不要使用。输出是未定义的。
10 = DDR LVDS 输出模式与偶编号位优先 (2) **（默认）**
01 = CMOS 输出模式
00 = 禁止输出

bit 2-0　　**TEST_PATTERNS<2:0>：**测试输出数据模式选择 (3)
111 = 输出数据为伪随机数 （PN）序列 (4)
110 = LVDS 输出的同步模式：11111111 000000
101 = LVDS 模式的交替序列：01010101 101010
100 = CMOS 模式的交替序列：11111111 111111　与 00000000 000000　交替
011 = CMOS 模式的交替序列：01010101 010101　与 10101010 101010　交替
010 = 斜坡模式。输出 （Q0）每 16 个时钟周期递增 1 LSb
001 = 双重定制模式。
输出：交替定制模式 A （见地址 0X74 和 0X75—— 寄存器 5-29 和寄存器 5-30）和定制模式 B （见地址 0X76 和 0X77—— 寄存器 5-31 和寄存器 5-32(5)
000 = 正常工作。输出：ADC 数据 **（默认）**

注
1： 时序图请参见图 2-1 和图 2-2。
2： 上升沿：Q12, Q10...Q0。
下降沿： Q13, Q11...Q1。
3： 更多详细信息，请参见**第 4.9.12 节 “输出测试模式”**。
(a) 在 LVDS 模式下：只有有效引脚 （取决于寄存器设置）处于活动状态。无效输出引脚为高阻态。
(b) 在 CMOS 模式下：所有数据都输出引脚 （Q13-Q0）、输出测试引脚 （TP、 TP1 和 TP2）、 OVR 和 WCK 引脚都处于活动状态，即使它们依据寄存器设置被禁止。由于输出测试引脚 （TP、 TP1 和 TP2）可能在该测试期间翻转，所以如果输出测试引脚与电源引脚或地连接，它们可能消耗额外的电流。为避免额外的电流消耗，请总是将测试引脚保留悬空（不连接）。
4： 伪随机数 （PN）编码由线性反馈移位寄存器 （LFSR）生成。更多详细信息，请参见**第 4.9.12.1 节 “伪随机数 （PN）序列输出”**。
5： 模式 A<13:0> 和 B<13:0> 会被应用到 Q<13:0>。 Q13 = OVR， Q12 = WCK。

© 2016 Microchip Technology Inc.

寄存器 5-21：　地址 0X63——LVDS 输出负载和驱动电流控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
FCB<3:0>				LVDS_LOAD	LVDS_IMODE<2:0>		
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　**FCB<3:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 3　**LVDS_LOAD：**使能内部 LVDS 负载端子
1 = 使能
0 = 禁止 （默认）

bit 2-0　**LVDS_IMODE<2:0>：**LVDS 驱动电流控制位
111 = 7.2 mA
011 = 5.4 mA
001 = 3.5 mA （默认）
000 = 1.8 mA
不要使用以下设置 (1):
110, 101, 100, 010

注　1：这些设置可能导致未知的输出电流。

寄存器 5-22：　地址 0X64—— 使用抽取滤波器时的输出时钟相位控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
EN_PHDLY	DCLK_PHDLY_DEC<2:0>			FCB<3:0>			
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**EN_PHDLY：**使用 DLL 或抽取滤波器时使能数字输出时钟相位延时控制。
1 = 使能
0 = 禁止 （默认）

bit 6-4　**DCLK_PHDLY_DEC<2:0>：**使用抽取滤波器时的数字输出时钟相位延时控制 (1)
111 = 相对于默认值发生 +315° 的相移 (2)
110 = 相对于默认值发生 +270° 的相移
101 = 相对于默认值发生 +225° 的相移 (2)
100 = 相对于默认值发生 +180° 的相移
011 = 相对于默认值发生 +135° 的相移 (2)
010 = 相对于默认值发生 +90° 的相移
001 = 相对于默认值发生 +45° 的相移 (2)
000 = 默认值 (3)

bit 3-0　**FCB<3:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

注　1：只有 EN_PHDLY = 1 时，这些位才起作用。关于使用 DLL 时的相同功能，请参见地址 0x52 （寄存器 5-7）。
2：仅在抽取滤波器设置大于 2 时才可用。当 FIR_A/B<8:1> = 0 （默认）， FIR_A 6 = 0 时，只有 4 种相对于默认值的相移可用 （+45°、 +135°、 +225° 和 +315°）。请参见地址 0x7A、 0x7B 和 0x7C （寄存器 5-34 至寄存器 5-36）。关于其他模式的 DCLK 相移，请参见地址 0x6D 和 0x52 （寄存器 5-28 和寄存器 5-7）。
3：所有其他设置的相位延时都以该默认相位作为参考。

寄存器 5-23：　地址 0X65——LVDS 输出极性控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
POL_LVDS<6:0>							NO-EFFECT<0>
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-1　**POL_LVDS<6:0>：**控制 LVDS 数据对的极性
`111-1111` = 所有 LVDS 对反相
`111-1110` = 除 LSb 对之外的所有 LVDS 对反相
• • •
`100-0000` = MSb LVDS 对反相
• • •
`000-0001` = LSb LVDS 对反相
`000-0000` = LVDS 位对不反相 （**默认**）

bit 6-0　**NO EFFECT<0>：**无作用位。

寄存器 5-24：　地址 0X66—— 数字失调校正 （低字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIG_OFFSET <7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_OFFSET <7:0>：**DIG_OFFSET<15:0> 的低字节 (1)
`0000-0000` = **默认值**

注　1：　该失调值会与 ADC 输出相加。该设置是使用两个组合寄存器 （16 位宽）的二进制补码。
- 如果 DIG_OFFSET<15:0> = 0x0000，则为 0 LSb
- 步阶大小：每个位设置对应 0.25 LSb
- 设置范围：$(-2^{15}$ 至 $2^{15} - 1) \times 0.25$ LSb 或 (-32768 至 +32767) × 0.25 LSb

寄存器 5-25：　地址 0X67—— 数字失调校正 （高字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIG_OFFSET<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_OFFSET <15:8>：**DIG_OFFSET<15:0> 的高字节 (1)
`0000-0000` = **默认值**

注　1：　请参见地址 0x66 （寄存器 5-24）中的**注 1**。

© 2016 Microchip Technology Inc.

寄存器 5-26：　　地址 0X68——OVR 和 WCK 位控制

R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0
FCB<5:2>				POL_OVR_WCK	EN_OVR_WCK	FCB<1:0>	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-4　**FCB<5:2>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 3　**POL_OVR_WCK：**LVDS 模式下 OVR 和 WCK 位对的极性控制
1 = 反相
0 = 同相（默认）

bit 2　**EN_OVR_WCK：**使能 OVR 和 WCK 输出位对
1 = 使能（默认）
0 = 禁止

bit 1-0　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

寄存器 5-27：　　地址 0X6B——PLL 校准

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
FCB<6:2>					PLL_CAL_TRIG	FCB<1:0>	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-3　**FCB<6:2>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 2　**PLL_CAL_TRIG：**手动强制在发生位跳变时重新校准 PLL[(1)]
从 1 翻转为 0 或从 0 翻转为 1 = 开始 PLL 校准

bit 1-0　**FCB<1:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

注　1：　关于校准状态指示，请参见地址 0xD1（寄存器 5-68）中的 PLL_CAL_STAT。

寄存器 5-28： 地址 0X6D——PLL 输出和输出时钟相位 (1)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—		EN_PLL_CLK	FCB<1>	DCLK_DLY_PLL<2:0>			FCB<0>
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-6 **未实现：**未使用

bit 5 **EN_PLL_CLK：**使能 PLL 输出时钟
1 = 使能 PLL 输出时钟，送至 ADC 内核
0 = 禁止 PLL 时钟输出 （默认）

bit 4 **FCB<1>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 3-1 **DCLK_DLY_PLL<2:0>：**来自标称 PLL 输出的输出时钟被延迟的 VCO 时钟周期数 (2)
111 = 延时为 15 个周期
110 = 延时为 14 个周期
• • •
001 = 延时为 1 个周期
000 = 无延时 （默认）

bit 0 **FCB<0>：**工厂控制位。不供用户使用。请不要更改默认设置。

注 1： 只有地址 0x53（寄存器 5-8）中的 CLK_SOURCE 位选择了 PLL 时钟，并且地址 0x59（寄存器 5-14）中的 EN_PLL 位使能了 PLL 电路时，该寄存器才起作用。
2： 该位设置用于使能输出时钟相位延时。该相位延时控制选项的适用条件为：PLL 用作时钟源，并且不使用抽取功能。

寄存器 5-29： 地址 0X74—— 用户定义的输出模式 A （低字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PATTERN_A<5:0>						不要使用 （保留为 00）	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-2 **PATTERN_A<5:0>：**PATTERN_A<13:0> 的低位部分 (1)

bit 1-0 **不要使用：**将这些位保留为默认设置 （00） (2)

注 1： 请参见地址 0x75 （寄存器 5-30）中的 PATTERN_A<13:6> 和地址 0x62 （寄存器 5-20）中的 TEST_PATTERNS<2:0>。
2： 来自这些位设置的输出处于 “未用输出模式测试引脚”上，建议不要将它们连接到主机器件上。因此，这些位设置的效果是不会被监视的。请总是将这些位保留为默认设置 （00）。

© 2016 Microchip Technology Inc.

寄存器 5-30：　地址 0X75—— 用户定义的输出模式 A （高字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PATTERN_A<13:6>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**PATTERN_A<13:6>：**PATTERN_A<15:0> 的高字节 (1)

注　1：请参见地址 0x74（寄存器 5-29）中的 PATTERN_A<5:0> 和地址 0x62（寄存器 5-20）中的 TEST_PATTERNS<2:0>。

寄存器 5-31：　地址 0X76—— 用户定义的输出模式 B （低字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PATTERN_B<5:0>						不要使用 （保留为 00）	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-2　**PATTERN_B<5:0>：**PATTERN_B<13:0> 的低位部分 (1)

bit 1-0　**不要使用：**将这些位保留为默认设置 （00）

注　1：请参见地址 0x77（寄存器 5-32）中的 PATTERN_B<13:6> 和地址 0x62（寄存器 5-20）中的 TEST_PATTERNS<2:0>。

2：来自这些位设置的输出处于 “未用输出模式测试引脚” 上，建议不要将它们连接到主机器件上。因此，这些位设置的效果是不会被监视的。请总是将这些位保留为默认设置 （00）。

寄存器 5-32：　地址 0X77—— 用户定义的输出模式 B （高字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PATTERN_B<13:6>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**PATTERN_B<13:6>：**PATTERN_B<13:0> 的高字节 (1)

注　1：请参见地址 0x76（寄存器 5-31）中的 PATTERN_B<5:0> 和地址 0x62（寄存器 5-20）中的 TEST_PATTERNS<2:0>。

寄存器 5-33：　地址 0X79——I/Q 通道数字信号后处理控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EN_DSPP_I/Q	FCB<6:0>						
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**EN_DSPP_I/Q：**使能 I/Q 通道操作的所有数字信号后处理功能。
1 = 使能
0 = 禁止 （默认）

bit 6-0　**FCB<6:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

寄存器 5-34：　地址 0X7A——FIR_A0 位控制

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FCB<6>	FIR_A<0>	FCB<5:0>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**FCB<6>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 6　**FIR_A<0>：**使能第一个 2x 抽取 （FIR A 中的抽取级 1A）[1]
1 = 使能
0 = 禁止 （默认）

bit 5-0　FCB<5:0>：工厂控制位。不供用户使用。请不要更改默认设置。

注　1：对于DDC模式下的I和Q通道，请设置FIR_A<0> = 0（MCP37D20-200）。FIR_A<8:1>请参见地址0x7B（寄存器5-35）。

© 2016 Microchip Technology Inc.

寄存器 5-35：　地址 0X7B——FIR A 滤波器 (1,4)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FIR_A<8:1>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**FIR_A<8:1>：**抽取滤波器 FIR A 设置 (2)

正常抽取操作：

FIR_A<8:0> =

1-1111-1111 = 使能抽取级 1 - 9 滤波器 （抽取率：512）
0-1111-1111 = 使能抽取级 1 - 8 滤波器
0-0111-1111 = 使能抽取级 1 - 7 滤波器
0-0011-1111 = 使能抽取级 1 - 6 滤波器
0-0001-1111 = 使能抽取级 1 - 5 滤波器
0-0000-1111 = 使能抽取级 1 - 4 滤波器
0-0000-0111 = 使能抽取级 1 - 3 滤波器 （抽取率 = 8）
0-0000-0011 = 使能抽取级 1 - 2 滤波器 （抽取率 = 4）
0-0000-0001 = 使能抽取级 1 滤波器 （抽取率 = 2）
0-0000-0000 = 禁止所有 FIR A 滤波器。**（默认）**

DDC 模式下的同相 （I）数据通道 （MCP37D20-200）：(3)

FIR_A<8:0> =

1-1111-1100 = 使能抽取级 3 - 9 滤波器 （抽取率：128）
0-1111-1100 = 使能抽取级 3 - 8 滤波器
0-0111-1100 = 使能抽取级 3 - 7 滤波器
0-0011-1100 = 使能抽取级 3 - 6 滤波器
0-0001-1100 = 使能抽取级 3 - 5 滤波器
0-0000-1100 = 使能抽取级 3 - 4 滤波器
0-0000-0100 = 使能抽取级 3 滤波器 （抽取率 = 2）
0-0000-0000 = 禁止所有 FIR A 滤波器。**（默认）**

注
1： 寄存器的值采用温度计码。
2： FIR_A<0> 被放置在地址 0x7A （寄存器 5-34）中。
3： 在 I 和 Q 通道操作中，它从第三级滤波器开始。
4： 经过每个滤波器级后 SNR 会升高 （约 2.5 dB），但输出数据速率会下降 （每级的比率因数为 2）。更新该寄存器时，需要在地址 0x02 （寄存器 5-3）中相应地更新数据和时钟速率。地址 0x64 （寄存器 5-22）设置也会受影响。对于 DDC 模式下的 I 和 Q 通道操作，最大抽取因数为 512 和 128 （MCP37D20）。

寄存器 5-36： 地址 0X7C——FIR B 滤波器 (1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FIR_B<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **FIR_B<7:0>：**正交 （Q）数据通道的抽取滤波器 FIR B 设置
1111-1111 = 使能抽取级 3 - 9 滤波器 （抽取率：128）
0111-1111 = 使能抽取级 3 - 8 滤波器
0011-1111 = 使能抽取级 3 - 7 滤波器
0001-1111 = 使能抽取级 3 - 6 滤波器
0000-1111 = 使能抽取级 3 - 5 滤波器
0000-0111 = 使能抽取级 3 - 4 滤波器
0000-0011 = 使能抽取级 3 滤波器 （抽取率 = 2）
0000-0001 = 无作用
0000-0000 = 禁止所有 FIR B 滤波器。**（默认）**

注 1： 该寄存器仅用于 DDC 模式下的 Q 数据通道 （MCP37D20-200）。寄存器的值采用温度计码。

© 2016 Microchip Technology Inc.

寄存器 5-37：　　地址 0X80—— 数字下变频器控制 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FCB<0>	HBFILTER_A	EN_NCO	EN_AMPDITH	EN_PHSDITH	EN_LFSR	EN_DDC_FS/8	EN_DDC1
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**FCB<0>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 6　**HBFILTER_A：**选择通道 A 的 DDC 输出上的半带滤波器 (1)
1 = 在 DDC 输出上选择高通滤波器
0 = 在 DDC 输出上选择低通滤波器 （默认）

bit 5　**EN_NCO：**使能 DDC1 的 NCO
1 = 使能
0 = 禁止 （默认）

bit 4　**EN_AMPDITH：**使能 NCO 的幅值抖动 (2, 3)
1 = 使能
0 = 禁止 （默认）

bit 3　**EN_PHSDITH：**使能 NCO 的相位抖动 (2, 3)
1 = 使能
0 = 禁止 （默认）

bit 2　**EN_LFSR：**使能用于 NCO 的幅值和相位抖动的线性反馈移位寄存器 （LFSR）
1 = 使能
0 = 禁止 （默认）

bit 1　**EN_DDC_FS/8：**使能 DDC2 的 NCO，使 DDC 输出信号以 ff_S/8/DER 为中心 (4)
1 = 使能
0 = 禁止 （默认）

bit 0　**EN_DDC1：**使能数字下变频器 1 （DDC1）
1 = 使能 (5)
0 = 禁止 （默认）

注　**1：**　该滤波器包含 2x 的抽取率。
2：　这要求使能 LFSR：<EN_LFSR> = 1
3：　为获得最佳性能，建议 EN_AMPDITH = 1， EN_PHSDITH = 1。
4：　DER 是由 FIR A 或 FIR B 滤波器定义的抽取率。如果未使能 （禁止）上变频器，则输出为 I/Q 数据。
5：　使能 DDC 和 NCO。要使用 DDC 功能， bit 0、 2 和 5 需要全部一起使能。

寄存器 5-38：　地址 0X81—— 数字下变频器控制 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FCB<5>	EN_DDC2	GAIN_HBF_DDC	FCB<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**FCB<5>：**工厂控制位。不供用户使用。请不要更改默认设置。

bit 6　**EN_DDC2：**在 DDC 中的数字半带滤波器 （HBF）后使能 DDC2
1 = 使能
0 = 禁止 **（默认）**

bit 5　**GAIN_HBF_DDC：**DDC 中的数字半带滤波器 （HBF）的输出的增益选择
1 = x2
0 = x1 **（默认）**

bit 4-0　**FCB<4:0>：**工厂控制位。不供用户使用。请不要更改默认设置。

寄存器 5-39：　地址 0X82—— 数控振荡器 （NCO）调节 （低字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_TUNE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_TUNE <7:0>：**NCO_TUNE<31:0> 的低字节 (1)
0000-0000 = NCO_TUNE<31:0> = 0x00000000　时为直流 （0 Hz）**（默认）**

注　1：　请参见地址 0x85 （寄存器 5-42）中的**注 1** 和 **注 2**。

寄存器 5-40：　地址 0X83—— 数控振荡器 （NCO）调节 （中低字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_TUNE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_TUNE<15:8>：**NCO_TUNE<31:0> 的中低字节 (1)
0000-0000 = **默认**

注　1：　请参见地址 0x85 （寄存器 5-42）中的**注 1** 和 **注 2**。

© 2016 Microchip Technology Inc.

寄存器 5-41：　地址 0X84—— 数控振荡器 （NCO）调节 （中高字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_TUNE<23:16>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_TUNE<23:16>：**NCO_TUNE<31:0> 的中高字节 (1)
`0000-0000` = **默认**

注　**1：** 请参见地址 0x85 （寄存器 5-42）中的**注 1** 和 **注 2**。

寄存器 5-42：　地址 0X85—— 数控振荡器 （NCO）调节 （高字节）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_TUNE<31:24>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_TUNE<31:24>：**NCO_TUNE<31:0> 的高字节 (2)
`1111-1111` = f_S，如果 NCO_TUNE<31:0> = 0xFFFF FFFF
• • •
`0000-0000` = **默认**

注　**1：** 只有使能 DDC 时，才会使用该寄存器：地址 0x80（寄存器 5-37）中的 EN_DDC1 = 1。关于 NCO 的详细信息，请参见 **第 4.6.2.1 节 “数控振荡器 （NCO）”**。
2： NCO 频率 = (NCO_TUNE<31:0>/2^{32}) × f_S；其中， f_S 为 ADC 内核采样频率。

寄存器 5-43：　　地址 0X86——DDC 模式下的 NCO 相位偏移 （低字节）[1,3]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　　**NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [2]
1111-1111 = 1.4° （NCO_PHASE<15:0> = 0x00FF 时）
•
0000-0000 = 0° （NCO_PHASE<15:0> = 0x0000 时）（**默认**）

注　1： 只有在 MCP37D20-200 中使用 DDC 模式时，该寄存器才起作用。
2： NCO_PHASE_OFFSET<15:0> = 2^{16} × 相位偏移值 /360。
3： 使用该寄存器时，必须在地址 0x88、 0x8A、 0x8C、 0x8E、 0x90、 0x92 和 0x94 中重复相同的设置。

寄存器 5-44：　　地址 0X87——DDC 模式下的 NCO 相位偏移 （高字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　　**NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [2]
1111-1111 = 359.995° （NCO_PHASE<15:0> = 0xFFFF 时）
• • •
0000-0000 = 0° （NCO_PHASE<15:0> = 0x0000 时）（**默认**）

注　1： 请参见寄存器 5-43 中的注 1 和注 2。
2： 使用该寄存器时，必须在地址 0x89、 0x8B、 0x8D、 0x8F、 0x91、 0x93 和 0x95 中重复相同的设置。

© 2016 Microchip Technology Inc.

寄存器 5-45：　地址 0X88——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [(1)]
0000-0000 = 0°（NCO_PHASE<15:0> = 0x0000 时）（默认）

注　1：请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-46：　地址 0X89——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [(1)]
0000-0000 = 0°（NCO_PHASE<15:0> = 0x0000 时）（默认）

注　1：请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

寄存器 5-47：　地址 0X8A——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [(1)]
0000-0000 = 0°（NCO_PHASE<15:0> = 0x0000 时）（默认）

注　1：请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-48：　地址 0X8B——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [(1)]
0000-0000 = 0°（NCO_PHASE<15:0> = 0x0000 时）（默认）

注　1：请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

寄存器 5-49： 地址 0X8C——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [1]
`0000-0000` = 0° （NCO_PHASE<15:0> = `0x0000` 时）（默认）

注 1： 请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-50： 地址 0X8D——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [1]
`0000-0000` = 0° （NCO_PHASE<15:0> = `0x0000` 时）（默认）

注 1： 请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

寄存器 5-51： 地址 0X8E——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [1]
`0000-0000` = 0° （NCO_PHASE<15:0> = `0x0000` 时）（默认）

注 1： 请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-52： 地址 0X8F——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0 **NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [1]
`0000-0000` = 0° （NCO_PHASE<15:0> = `0x0000` 时）（默认）

注 1： 请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

© 2016 Microchip Technology Inc.

寄存器 5-53：　地址 0X90——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [(1)]
`0000-0000` = 0°（NCO_PHASE<15:0> = `0x0000` 时）（**默认**）

注　1：　请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-54：　地址 0X91——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [(1)]
`0000-0000` = 0°（NCO_PHASE<15:0> = `0x0000` 时）（**默认**）

注　1：　请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

寄存器 5-55：　地址 0X92——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [(1)]
`0000-0000` = 0°（NCO_PHASE<15:0> = `0x0000` 时）（**默认**）

注　1：　请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-56：　地址 0X93——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[(1)]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [(1)]
`0000-0000` = 0°（NCO_PHASE<15:0> = `0x0000` 时）（**默认**）

注　1：　请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

寄存器 5-57：　地址 0X94——DDC 模式下的 NCO 相位偏移 （重复）（低字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<7:0>：**NCO_PHASE<15:0> 的低字节 [1]
`0000-0000` = 0°（NCO_PHASE<15:0> = `0x0000` 时）**（默认）**

注　1：　请参见寄存器 5-43 中的注 1。请将该寄存器的设置保持与 0x86 地址相同。

寄存器 5-58：　地址 0X95——DDC 模式下的 NCO 相位偏移 （重复）（高字节）[1]

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NCO_PHASE<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**NCO_PHASE<15:8>：**NCO_PHASE<15:0> 的高字节 [1]
`0000-0000` = 0°（NCO_PHASE<15:0> = `0x0000` 时）**（默认）**

注　1：　请参见寄存器 5-43 中的注 1 。请将该寄存器的设置保持与 0x87 地址相同。

© 2016 Microchip Technology Inc.

寄存器 5-59：　地址 0X96—— 数字增益控制 (1,2)

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 (3)

1111-1111 =-0.03125
1111-1110 =-0.0625
1111-1101 =-0.09375
1111-1100 =-0.125
• • •
1000-0011 =-3.90625
1000-0010 =-3.9375
1000-0001 =-3.96875
1000-0000 =-4
0111-1111 =3.96875　（最大值）
0111-1110 =3.9375
0111-1101 =3.90625
0111-1100 =3.875
• • •
0011-1100 =1.875　**（默认值）**
0011-1011 = 1.84375
0011-1010 = 1.8125
0011-1001 = 1.78125
0011-1000 = 1.75　**（最优值）** (3)
• • •
0000-0011 =0.09375
0000-0010 =0.0625
0000-0001 =0.03125
0000-0000 =0.0

注　1： 更新该设置时，必须在地址 0x97 至 0x9D 中重复相同的设置。
2： 最大值 = 0x7F（3.96875），最小值 = 0x80（-4），步阶大小 = 0x01（0.03125）。从 0x81 至 0xFF 的位范围是 0x00-0x80 的二进制补码。增益设置为负值会使输出反相。
3： 该设置会使 SNR 相对于默认设置提高 0.7 dB。为获得最优 SNR 性能，建议使用该设置。

寄存器 5-60：　地址 0X97—— 数字增益控制 （重复） (1)

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 (1)
0011-1100 =1.875　**（默认值）**

注　1： 请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

寄存器 5-61：　地址 0X98—— 数字增益控制 （重复）[1]

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 [1]
0011-1100 =1.875　（默认值）

注　1：　请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

寄存器 5-62：　地址 0X99—— 数字增益控制 （重复）[1]

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 [1]
0011-1100 =1.875　（默认值）

注　1：　请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

寄存器 5-63：　地址 0X9A—— 数字增益控制 （重复）[1]

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 [1]
0011-1100 =1.875　（默认值）

注　1：　请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

寄存器 5-64：　地址 0X9B—— 数字增益控制 （重复）[1]

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 [1]
0011-1100 =1.875　（默认值）

注　1：　请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

© 2016 Microchip Technology Inc.

寄存器 5-65：　地址 0X9C—— 数字增益控制 （重复）[(1)]

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 [(1)]
0011-1100 =1.875　（默认值）

注　1：　请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

寄存器 5-66：　地址 0X9D—— 数字增益控制 （重复）[(1)]

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0
DIG_GAIN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**DIG_GAIN<7:0>：**数字增益设置 [(1)]
0011-1100 =1.875　（默认值）

注　1：　请将该寄存器的设置保持与地址 0x96 相同。请参见寄存器 5-59 中的注 1 至注 3。

寄存器 5-67：　地址 0XC0—— 校准状态指示

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
ADC_CAL_STAT	FCB<6:0>						
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7　**ADC_CAL_STAT：**上电自动校准状态指示标志位
1 = 器件上电校准已完成
0 = 器件上电校准未完成

bit 6-0　**FCB<6:0>：**工厂控制位。这些位是只读的，对于用户没有任何意义。

寄存器 5-68：　地址 0XD1——PLL 校准状态和 PLL 漂移状态指示

R-x	R-x	R-x	R-x	R-x	R-x	R-x	R-x
FCB<4:3>		PLL_CAL_STAT	FCB<2:1>		PLL_VCOL_STAT	PLL_VCOH_STAT	FCB<0>
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-6　**FCB<4:3>：**工厂控制位。这些位是只读的，对于用户没有任何意义。

bit 5　**PLL_CAL_STAT：**PLL 自动校准状态指示标志位 (1)
1 = 已完成：PLL 自动校准已完成
0 = 未完成：PLL 自动校准未完成

bit 4-3　**FCB<2:1>：**工厂控制位。这些位是只读的，对于用户没有任何意义。

bit 2　**PLL_VCOL_STAT：**PLL 漂移状态指示位
1 = PLL 发生漂移，在 VCO 下限频率处失锁
0 = PLL 正常工作

bit 1　**PLL_VCOH_STAT：**PLL 漂移状态指示位
1 = PLL 发生漂移，在 VCO 上限频率处失锁
0 = PLL 正常工作

bit 0　**FCB<0>：**工厂控制位。该位是只读的，对于用户没有任何意义。

注　1：请参见地址 0x6B （寄存器 5-27）中的 PLL_CAL_TRIG 位设置。

寄存器 5-69：　地址 0X15C—— 芯片 ID （低字节）(1)

R-x	R-x	R-x	R-x	R-x	R-x	R-x	R-x
CHIP_ID<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**CHIP_ID<7:0>：**器件的芯片 ID：CHIP_ID<15:0> 的低字节

注　1：只读寄存器。在工厂中预先编程，供内部使用。
示例：MCP37220-200：0001000001010000
MCP37D20-200：0001001001010000

寄存器 5-70：　地址 0X15D—— 芯片 ID （高字节）(1)

R-x	R-x	R-x	R-x	R-x	R-x	R-x	R-x
CHIP_ID<15:8>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

bit 7-0　**CHIP_ID<15:8>：**器件的芯片 ID：CHIP_ID<15:0> 的高字节

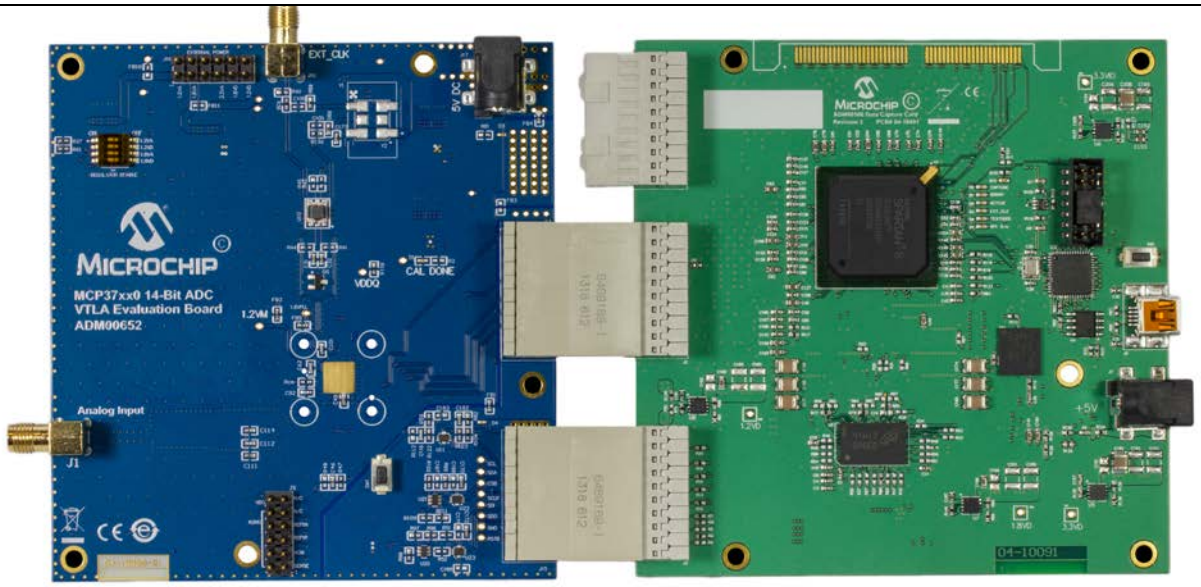
注　1：只读寄存器。在工厂中预先编程，供内部使用。
示例：MCP37220-200：0001000001010000
MCP37D20-200：0001001001010000

© 2016 Microchip Technology Inc.

6.0 开发支持

Microchip 提供了一款高速 ADC 评估平台，它可以用于评估 Microchip 的高速 ADC 产品。该平台包含了 MCP37XXX-200 评估板、基于 FPGA 的数据采集卡板，以及用于 ADC 配置和评估的基于 PC 的图形用户界面（Graphical User Interface， GUI）软件。

图 6-1 和图 6-2 显示了该评估工具。该评估平台使用户可以针对其特定应用要求快速评估 ADC 的性能。更多信息请访问 http://www.microchip.com。



(a) MCP37XX0-200 评估板　　(b) 数据捕捉板

图 6-1：　MCP37XX0 评估工具包

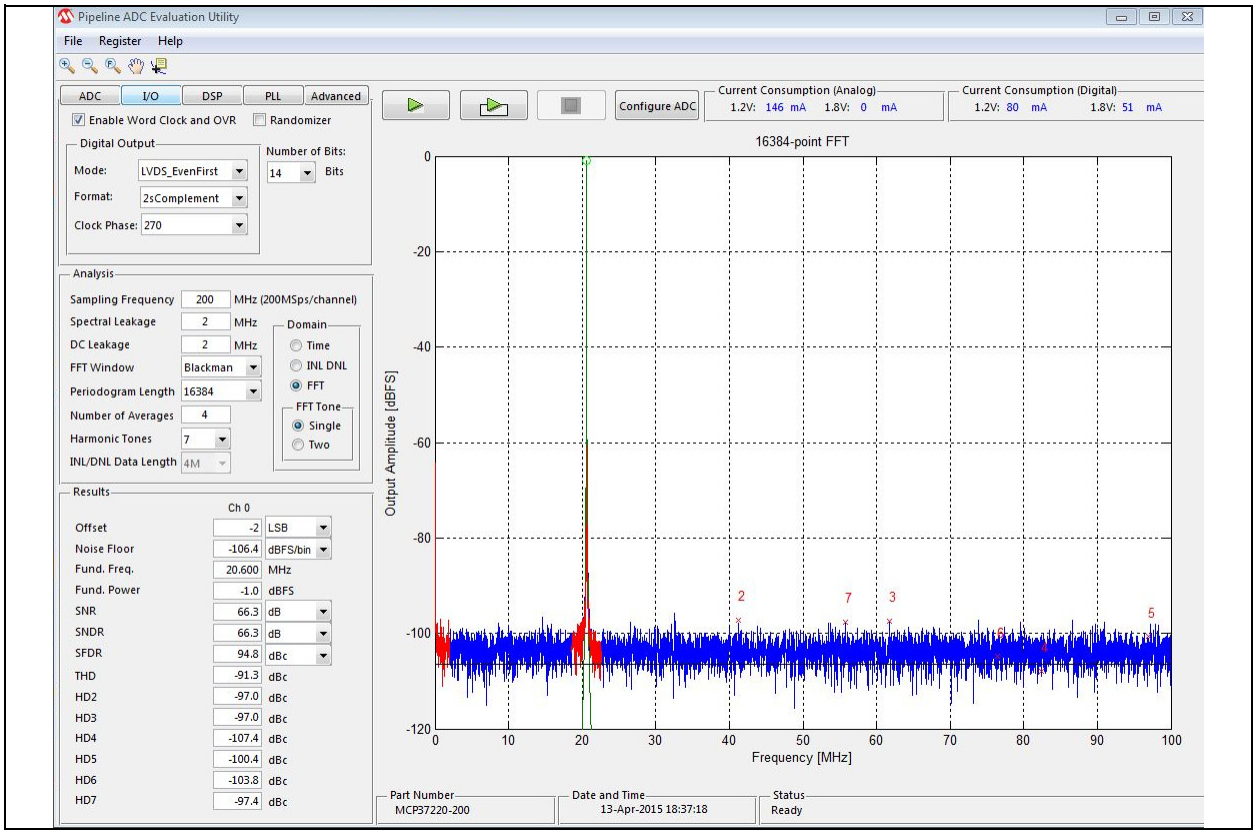


图 6-2：　基于 PC 的图形用户界面软件

注：

© 2016 Microchip Technology Inc.

7.0 术语

模拟输入带宽 （全功率带宽）

基波频率 （通过 FFT 分析确定）的谱功率降低 3 dB 处的模拟输入频率。

孔径延时或采样延时

它是输入采样时钟的上升沿和发生采样的实际时间之间的延时。

孔径偏差

不同采样之间的孔径延时差异。

孔径延时抖动

不同转换之间的孔径延时差异。这种随机差异会导致在对交流输入采样时产生噪声。仅由于抖动而得到的信噪比为：

公式 7-1：

$$SNR_{JITTER} = -20log(2\pi \times f_{IN} \times t_{JITTER})$$

校准算法

该器件采用了两种获得专利的模拟和数字校准算法，即谐波失真校正 （HDC）和 DAC 噪声消除 （DNC）来提高 ADC 性能。这些算法可以对各种线性损伤源进行补偿，例如电容失配、电荷注入误差和运算放大器的增益有限。这些算法在上电序列（前台）和后台模式中执行：

- 上电校准：校准在上电后的前 3×2^{26} 个时钟周期内进行。在器件上电之后，用户需要等待该上电校准周期，以获得精确的 ADC 性能。
- 后台校准：这种校准在 ADC 执行转换时在后台进行。更新速率约为每 2^{30} 个时钟周期一次。

流水线延时 （响应延时）

响应延时是启动转换的时刻和数据送至输出驱动器级的时刻之间的时钟周期数。任何给定采样的数据都是在流水线延时加上获取该采样后的输出延时之后可用。每个时钟周期都有新数据可用，但数据会滞后于转换，滞后时间量等于流水线延时加上输出延时。

时钟脉宽和占空比

时钟占空比是时钟信号保持在逻辑高电平的时间（时钟脉宽）与一个时钟周期的比率。占空比通常以百分比表示。一个完美的差分正弦波时钟会产生 50% 的占空比。

微分非线性误差 （DNL，无失码）

理想 ADC 会展现精确地间隔 1 LSb 的编码跳变。DNL 是相对于该理想值的偏差。 12 位分辨率无失码表示在所有工作条件下都必须提供全部 4096 个编码。

积分非线性误差 （INL）

INL 是每个编码相对于从负满量程绘制到正满量程的理想直线的最大偏差。

信噪比 （SNR）

SNR 是基波的功率 （P_S）与低于奈奎斯特频率的噪声基底功率 （P_N）（不包括直流信号和前 9 次谐波的功率）的比率。

公式 7-2：

$$SNR = 10log\left(\frac{P_S}{P_N}\right)$$

使用基波的绝对功率作为参考值时，SNR 的单位为 dBc（相对于载波的 dB 数）；将基波的功率外推到转换器满量程范围时，单位为 dBFS（相对于满量程的 dB 数）。

信噪比和失真度 （SINAD）

SINAD 是基波的功率 （P_S）与低于奈奎斯特频率的所有其他谱分量 （包括噪声 （P_N）和失真 （P_D），但不包括直流信号）的功率的比率：

公式 7-3：

$$SINAD = 10log\left(\frac{P_S}{P_D + P_N}\right) = -10log\left[10^{-\frac{SNR}{10}} - 10^{-\frac{THD}{10}}\right]$$

使用基波的绝对功率作为参考值时， SINAD 的单位为 dBc（相对于载波的 dB 数）；将基波的功率外推到转换器满量程范围时，单位为 dBFS （相对于满量程的 dB 数）。

有效位数 （ENOB）

给定输入频率下的正弦波输入的有效位数可以使用以下公式直接根据测量的 SINAD 计算：

公式 7-4：

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

增益误差

增益误差是ADC的实际输入满量程范围相对于其理想值的偏差。增益误差以理想输入满量程范围的百分比形式给出。

增益误差通常以 LSb 或满量程范围的百分比 （%FSR）表示。

增益误差漂移

增益误差漂移是指由于环境温度变化而引起的增益误差变化，通常以 ppm/°C 表示。

失调误差

对于比 $A_{IN}+ = A_{IN}$í 低 ½ LSb 的模拟值，应发生主进位跳变。失调误差定义为实际跳变相对于该跳变点的偏差。

温度漂移

失调误差和增益误差的温度漂移规定从初始值（+25°C）到介于 T_{MIN} 至 T_{MAX} 范围之间的值的最大变化量。

最大转换速率

执行参数测试时的最大时钟速率。

最小转换速率

执行参数测试时的最小时钟速率。

无杂散动态范围 （SFDR）

SFDR 是基波的功率与其他最高谱分量（杂散信号或谐波）的比率。SFDR 通常以 dBc（相对于载波的 dB 数）或 dBFS 为单位给出。

总谐波失真 （THD）

THD 是基波的功率（P_S）与前 13 次谐波功率之和（P_D）的比率。

公式 7-5：

THD 通常以 dBc （相对于载波的 dB 数）为单位给出。THD 也可用以下公式表示：

公式 7-6：

双音调互调失真 （双音调 IMD 和 IMD3）

双音调 IMD 是基波频率 （频率 f_{IN1} 和 f_{IN2} 处）的功率与频率 $2f_{IN1} – f_{IN2}$ 或 $2f_{IN2} – f_{IN1}$ 处的最差谱分量的功率之比。双音调 IMD 是输入幅值和频率 （f_{IN1} 和 f_{IN2}）的函数。使用基波的绝对功率作为参考值时，它的单位为 dBc（相对于载波的 dB 数）；将基波的功率外推到 ADC 满量程范围时，单位为 dBFS （相对于满量程的 dB 数）。

共模抑制比 （CMRR）

共模抑制比表示器件抑制差分输入对的两个输入端共有信号的能力。共模信号可以是交流或直流信号，也可以是两者的组合。CMRR 使用差分信号增益与共模信号增益之比来衡量，以 dB 为单位表示，具有以下公式：

公式 7-7：

© 2016 Microchip Technology Inc.