MCP47FEBXX

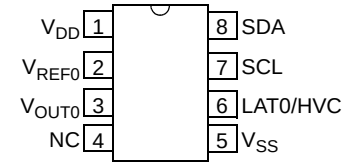
带 I²C 接口的 8/10/12 位单 / 双电压输出非易失性数模转换器

特性

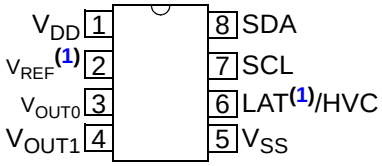
- 工作电压范围：
  - 2.7V 至 5.5V—— 全功能器件规范
  - 1.8V 至 2.7V—— 精简功能器件规范
- 输出电压分辨率：
  - 8 位：**MCP47FEB0X** （256 阶）
  - 10 位：**MCP47FEB1X** （1024 阶）
  - 12 位：**MCP47FEB2X** （4096 阶）
- 轨到轨输出
- 快速稳定时间：6 µs （典型值）
- DAC 参考电压源选项：
  - 器件 V_{DD}
  - 外部 V_{REF} 引脚 （缓冲或无缓冲）
  - 内部带隙 （1.22V，典型值）
- 输出增益选项：
  - 单位增益 （1x）
  - 2x （不使用内部 V_{DD} 作为电压源时）
- 非易失性存储器 （EEPROM）：
  - 用户编程的上电复位（Power-on Reset，POR）/ 欠压复位（Brown-out Reset，BOR）输出设置重新调用和器件配置位
  - 自动重新调用已保存的 DAC 寄存器设置
  - 自动重新调用已保存的器件配置 （参考电压、增益和掉电配置）
- 上电复位 / 欠压复位保护
- 非易失性存储器写保护 （$\overline{WP}$）位
- 掉电模式：
  - 断开输出缓冲器 （高阻抗）
  - V_{OUT} 下拉电阻选择 （100 kΩ 或 1 kΩ）
- 低功耗：
  - 正常工作：<180 µA （单通道）， 380 µA （双通道）
  - 掉电工作：650 nA （典型值）
  - EEPROM 写周期 （1.9 mA，最大值）
- I²C 接口：
  - 从器件地址选项：4 个预定义地址或可由用户编程 （全部 7 位）
  - 标准 （100 kbps）、快速 （400 kbps）和高速 （最高 3.4 Mbps）模式
- 封装类型：8 引脚 TSSOP
- 扩展级温度范围：-40°C 至 +125°C

封装类型

MCP47FEBX1
TSSOP
单通道



MCP47FEBX2
TSSOP
双通道



注 1： 该引脚的信号可以连接到 DAC0 和 / 或 DAC1。

概述

MCP47FEBXX 是带有非易失性存储器和 I²C 串行接口的单通道和双通道 8 位、10 位和 12 位缓冲电压输出数模转换器 （Digital-to-Analog Converter， DAC）。

可以选择 V_{REF} 引脚、器件 V_{DD} 或内部带隙电压作为 DAC 的参考电压。当选择 V_{DD} 时， V_{DD} 会在内部连接到 DAC 参考电路。当使用 V_{REF} 引脚时，用户可以选择输出缓冲器的增益为 1 或 2。增益为 2 时，应限制 V_{REF} 引脚电压，使之最高为 $V_{DD}/2$。

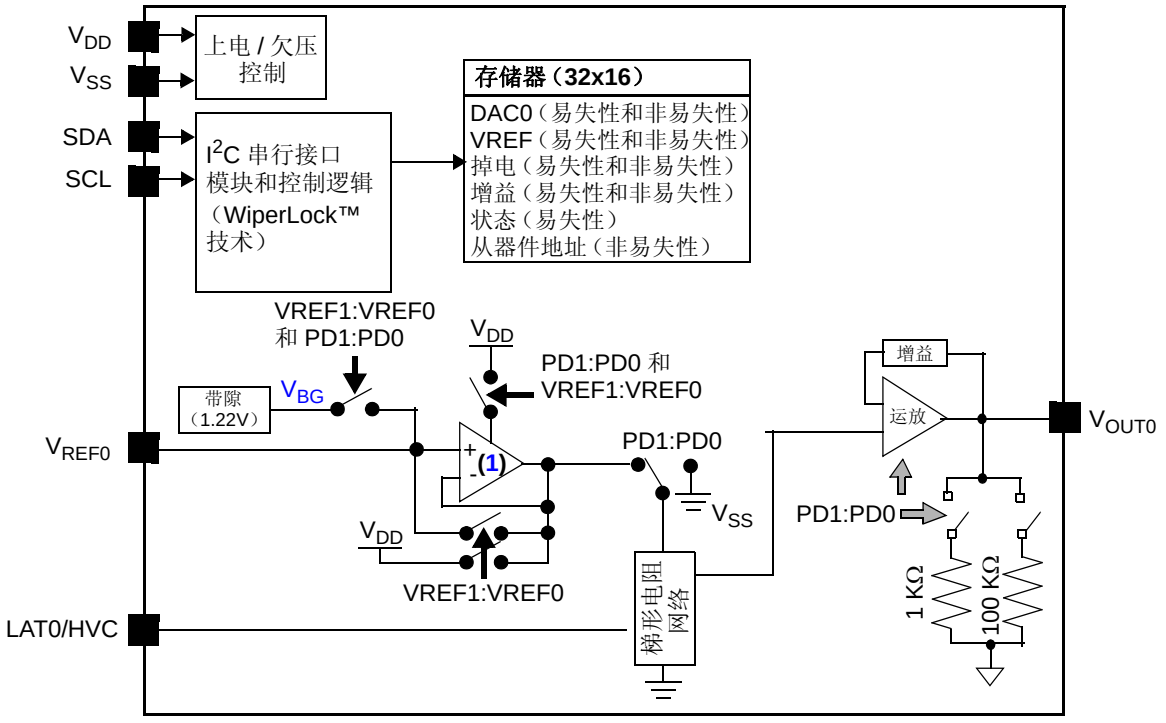
这些器件具有兼容双线 I²C 的串行接口，支持标准 （100 kHz） 、快速 （400 kHz）或高速 （1.7 MHz 和 3.4 MHz）模式。

应用

- 设置点或失调微调
- 传感器校准
- 低功耗便携式仪器
- PC 外设
- 数据采集系统
- 电机控制

© 2015 Microchip Technology Inc.

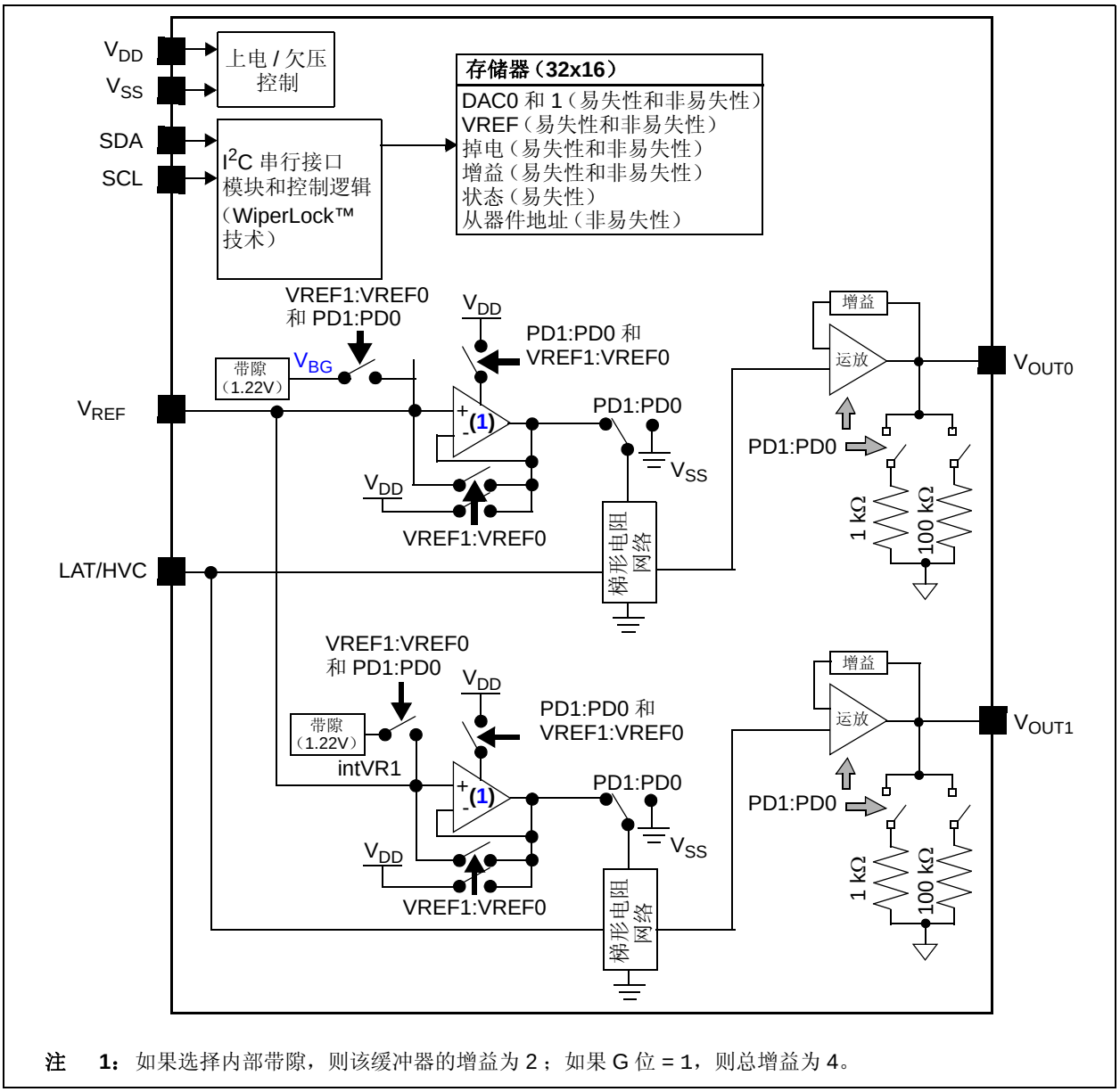
MCP47FEBX1 器件框图 （单通道输出）



注 1： 如果选择内部带隙，则该缓冲器的增益为 2。如果 G 位 = 1，则总增益为 4。

© 2015 Microchip Technology Inc.

MCP47FEBX2 器件框图 （双通道输出）



注 1： 如果选择内部带隙，则该缓冲器的增益为 2；如果 G 位 = 1，则总增益为 4。

器件特性

器件	通道数	分辨率（位）	控制接口	DAC 输出 POR/BOR 设置(1)	VREF 输入数	内部带隙？	LAT 输入数	存储器	规定的工作电压范围（V_{DD}）
MCP47FEB01	1	8	I²C	7Fh	1	有	1	EEPROM	1.8V 至 5.5V
MCP47FEB11	1	10	I²C	1FFh	1	有	1	EEPROM	1.8V 至 5.5V
MCP47FEB21	1	12	I²C	7FFh	1	有	1	EEPROM	1.8V 至 5.5V
MCP47FEB02	2	8	I²C	7Fh	1	有	1	EEPROM	1.8V 至 5.5V
MCP47FEB12	2	10	I²C	1FFh	1	有	1	EEPROM	1.8V 至 5.5V
MCP47FEB22	2	12	I²C	7FFh	1	有	1	EEPROM	1.8V 至 5.5V

注 1： 出厂默认值。 DAC 输出 POR/BOR 值可以通过非易失性 DAC 输出寄存器进行修改。

注：

© 2015 Microchip Technology Inc.

1.0 电气特性

绝对最大值 (†)

V_{DD} 引脚相对于 V_{SS} 的电压 ..... -0.6V 至 +6.5V

所有引脚相对于 V_{SS} 的电压 ..... -0.6V 至 V_{DD}+0.3V

输入钳位电流 I_{IK} （$V_I < 0$， $V_I > V_{DD}$， HV 引脚上 $V_I > V_{PP}$） ..... ±20 mA

输出钳位电流 I_{OK} （$V_O < 0$ 或 $V_O > V_{DD}$） ..... ±20 mA

流出 V_{SS} 引脚的最大电流 （单通道） ..... 50 mA
（双通道） ..... 100 mA

流入 V_{DD} 引脚的最大电流 （单通道） ..... 50 mA
（双通道） ..... 100 mA

V_{OUT} 引脚的最大拉电流 ..... 20 mA

V_{OUT} 引脚的最大灌电流 ..... 20 mA

V_{REF} 引脚的最大灌电流 ..... 125 µA

SDA 和 SCL 引脚的最大输入拉电流 / 灌电流 ..... 2 mA

SDA 输出引脚的最大输出灌电流 ..... 25 mA

总功耗 (1) ..... 400 mW

封装功耗 （T_A = +50°C， T_J = +150°C）
TSSOP-8 ..... 700 mW

所有引脚上的 ESD 保护 ..... ≥ ±4 kV （HBM）
..... ≥ ±400V （MM）
..... ≥ ±2 kV （CDM）

+125°C 下的闭锁电流 （根据 JEDEC JESD78A 规范） ..... ±100 mA

存储温度 ..... -65°C 至 +150°C

环境温度 （施加电源时） ..... -55°C 至 +125°C

引脚的焊接温度 （10s） ..... +300°C

最高结温 （T_J） ..... +150°C

† 注： 如果器件运行条件超过上述各项“绝对最大值”，可能对器件造成永久性损坏。上述值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

注 1： 功耗按如下公式计算：

$$P_{DIS} = V_{DD} \times \{I_{DD} - \Sigma I_{OH}\} + \Sigma \{(V_{DD} - V_{OH}) \times I_{OH}\} + \Sigma(V_{OL} \times I_{OL})$$

直流特性

直流特性		**标准工作条件 （除非另外指定）** 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。				
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
电源电压	V_{DD}	2.7	—	5.5	V	
		1.8	—	2.7	V	DAC 操作 （低模拟性能规范） 和串行接口
确保器件上电复位的 V_{DD} 电压 （上升）	$V_{POR/BOR}$	—	—	1.7	V	RAM 保持电压 （V_{RAM}） < V_{POR} V_{DD} 电压大于 $V_{POR/BOR}$ 限值可确保器件退出复位。
确保上电复位的 V_{DD} 上升速率	V_{DDRR}	（**注 3**）			V/ms	
高电压命令电压范围 （HVC 引脚）	V_{HV}	V_{SS}	—	12.5	V	HVC 引脚将为 3 种输入电平 （V_{IL}、 V_{IH} 或 V_{IHH}）之一 (1)
高电压输入进入电压	V_{IHHEN}	9.0	—	—	V	进入 WiperLock™ 技术的阈值电压
高电压输入退出电压	V_{IHHEX}	—	—	V_{DD} + 0.8V	V	（**注 1**）
上电复位到输出驱动的延时	T_{PORD}	—	25	50	µs	V_{DD} 上升， V_{DD} > V_{POR}

注 1 该参数由设计确保。

注 3 POR/BOR 电压跳变点与斜率无关。滞后通过延时实现。

© 2015 Microchip Technology Inc.

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
供电电流	I_{DD}	—	—	500	µA	单通道	串行接口有效 （非高电压命令）， VRxB:VRxA = 01 (6)， V_{OUT} 未加负载， V_{DD} = 5.5V 易失性 DAC 寄存器 = 000h I^2C：F_{SCL} = 3.4 MHz
		—	—	700	µA	双通道	
		—	—	400	µA	单通道	串行接口有效 (2) （非高电压命令）， VRxB:VRxA = 10 (4)， V_{OUT} 未加负载， V_{REF} = V_{DD} = 5.5V 易失性 DAC 寄存器 = 000h I^2C：F_{SCL} = 3.4 MHz
		—	—	550	µA	双通道	
		—	—	180	µA	单通道	串行接口无效 (2) （非高电压命令）， VRxB:VRxA = 00， SCL = SDA = V_{SS}， V_{OUT} 未加负载， 易失性 DAC 寄存器 = 000h
		—	—	380	µA	双通道	
		—	—	180	µA	单通道	串行接口无效 (2) （非高电压命令）， VRxB:VRxA = 11， V_{REF} = V_{DD}， SCL = SDA = V_{SS}， V_{OUT} 未加负载， 易失性 DAC 寄存器 = 000h
		—	—	380	µA	双通道	
		—	—	1.9	mA	EE 写电流 V_{REF} = V_{DD} = 5.5V （写操作之后，串行接口无效）， 向非易失性 DAC 0 （地址 10h）写入全 0， V_{OUT} 引脚未加负载。	
		—	145	180	µA	单通道	HVC = 12.5V （高电压命令）， 串行接口无效 V_{REF} = V_{DD} = 5.5V，LAT/HVC = V_{IHH}， DAC 寄存器 = 000h， V_{OUT} 引脚未加负载。
		—	260	400	µA	双通道	
掉电电流	I_{DDP}	—	0.65	3.8	µA	PDxB:PDxA = 01 (5)， V_{OUT} 未连接	

注 2 该参数由特性确保。

注 4 在模式 VRxB:VRxA = 10 下，供电电流与通过梯形电阻网络的电流无关。

注 5 PDxB:PDxA = 01、 10 和 11 这三种配置应具有相同的电流。

注 6 根据设计，这是最坏情况下的电流模式。

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
梯形电阻网络电阻	R_L	100	140	180	kΩ	1.8V ≤ V_{DD} ≤ 5.5V， V_{REF} ≥ 1.0V **(7)**	
分辨率 （电阻数和分接头数） （见 **C.1 “分辨率”**）	N	256			分接头	8 位	无失码
		1024			分接头	10 位	无失码
		4096			分接头	12 位	无失码
标称 V_{OUT} 匹配 **(12)**	$\lvert V_{OUT} - V_{OUTMEAN} \rvert / V_{OUTMEAN}$	—	0.5	1.0	%	2.7V ≤ V_{DD} ≤ 5.5V **(2)**	
		—	—	1.2	%	1.8V **(2)**	
V_{OUT} 温度系数 （见 **C.19 “V_{OUT} 温度系数”**）	$\Delta V_{OUT}/\Delta T$	—	15	—	ppm/°C	编码 = 中间量程 （7Fh、 1FFh 或 7FFh）	
V_{REF} 引脚输入电压范围	V_{REF}	V_{SS}	—	V_{DD}	V	1.8V ≤ V_{DD} ≤ 5.5V **(1)**	

注 1 该参数由设计确保。

注 2 该参数由特性确保。

注 7 电阻定义为 V_{REF} 引脚（模式 VRxB:VRxA = 10 ）和 V_{SS} 引脚之间的电阻。对于双通道器件（MCP47FEBX2），它是每个梯形电阻网络的有效电阻。电阻测量值是两个并联测量的梯形电阻网络的电阻。

注 12 一个输出电压相对于平均输出电压的变化。

© 2015 Microchip Technology Inc.

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
零量程误差 （见 **C.5 “零量程误差 （EZS）”**） （编码 = 000h）	E_{ZS}	—	—	0.75	LSb	8 位	VRxB:VRxA = 11， Gx = 0， V_{REF} = V_{DD}，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		VRxB:VRxA = 00， Gx = 0， V_{DD} = 5.5V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V VRxB:VRxA = 10， Gx = 0，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V VRxB:VRxA = 11， Gx = 0，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		VRxB:VRxA = 01， Gx = 0，无负载
		—	—	3	LSb	10位	VRxB:VRxA = 11， Gx = 0， V_{REF} = V_{DD}，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		VRxB:VRxA = 00， Gx = 0， V_{DD} = 5.5V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V VRxB:VRxA = 10， Gx = 0，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V VRxB:VRxA = 11， Gx = 0，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		VRxB:VRxA = 01， Gx = 0，无负载
		—	—	12	LSb	12位	VRxB:VRxA = 11， Gx = 0， V_{REF} = V_{DD}，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		VRxB:VRxA = 00， Gx = 0， V_{DD} = 5.5V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V VRxB:VRxA = 10， Gx = 0，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V VRxB:VRxA = 11， Gx = 0，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		VRxB:VRxA = 01， Gx = 0，无负载
失调误差 （见 **C.7 “失调误差 （EOS）”**）	E_{OS}	-15	±1.5	+15	mV	VRxB:VRxA = 00， Gx = 0，无负载	
失调电压 温度系数	V_{OSTC}	—	±10	—	µV/°C		

注 2 该参数由特性确保。

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
满量程误差 （见 **C.4 “满量程误差 （EFS）”**）	E_{FS}	—	—	4.5	LSb	8 位	编码 = FFh， VRxB:VRxA = 11， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = FFh， VRxB:VRxA = 10， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = FFh， VRxB:VRxA = 01， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = FFh， VRxB:VRxA = 00， 无负载
		—	—	18	LSb	10 位	编码 = 3FFh， VRxB:VRxA = 11， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = 3FFh， VRxB:VRxA = 10， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = 3FFh， VRxB:VRxA = 01， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = 3FFh， VRxB:VRxA = 00， 无负载
		—	—	70	LSb	12 位	编码 = FFFh， VRxB:VRxA = 11， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = FFFh， VRxB:VRxA = 10， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = FFFh， VRxB:VRxA = 01， Gx = 0， V_{REF} = 2.048V，无负载
		请参见**第 2.0 节“典型性能曲线”** (2)			LSb		编码 = FFFh， VRxB:VRxA = 00， 无负载

注 2 该参数由特性确保。

© 2015 Microchip Technology Inc.

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
增益误差 （见 **C.9 “增益误差 （EG）”**） **(9)**	E_G	-1.0	±0.1	+1.0	FSR 的百分比	8 位	编码 = 250，无负载 VRxB:VRxA = 00， Gx = 0
		-1.0	±0.1	+1.0	FSR 的百分比	10 位	编码 = 1000，无负载 VRxB:VRxA = 00， Gx = 0
		-1.0	±0.1	+1.0	FSR 的百分比	12 位	编码 = 4000，无负载 VRxB:VRxA = 00， Gx = 0
增益误差漂移 （见 **C.10 “增益误差漂移 （EGD）”**）	ΔG/°C	—	-3	—	ppm/°C		
未调整总误差 （见 **C.6 “未调整总误差 （ET）”**） **(2)**	E_T	-2.5	—	+0.5	LSb	8 位	VRxB:VRxA = 00。 无负载。
		请参见**第 2.0 节“典型性能曲线”**			LSb		V_{DD} = 1.8V， VRxB:VRxA = 11，Gx = 0， V_{REF} = 1.0V，无负载。
		-10.0	—	+2.0	LSb	10 位	VRxB:VRxA = 00。 无负载。
		请参见 **第 2.0 节 “典型性能曲线”**			LSb		V_{DD} = 1.8V， VRxB:VRxA = 11，Gx = 0， V_{REF} = 1.0V，无负载。
		-40.0	—	+8.0	LSb	12 位	VRxB:VRxA = 00。 无负载。
		请参见 **第 2.0 节 “典型性能曲线”**			LSb		V_{DD} = 1.8V， VRxB:VRxA = 11，Gx = 0， V_{REF} = 1.0V，无负载。

注 2 该参数由特性确保。

注 9 该增益误差不包括失调误差。

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
积分非线性 （见 **C.11 “积分非线性误差（INL）”**） **(8, 11)**	INL	-0.5	±0.1	+0.5	LSb	8 位	VRxB:VRxA = 10 （编码：6 至 250）， V_{DD} = V_{REF} = 5.5V。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 00、 01 或 11。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 01， V_{DD} = 5.5V， Gx = 1。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 10 或 11， V_{REF} = 1.0V， Gx = 1。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V
		-1.5	±0.4	+1.5	LSb	10 位	VRxB:VRxA = 10 （编码：25 至 1000）， V_{DD} = V_{REF} = 5.5V。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 00、 01 或 11。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 01， V_{DD} = 5.5V， Gx = 1。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 10 或 11， V_{REF} = 1.0V， Gx = 1。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V。
		-6	±1.5	+6	LSb	12 位	VRxB:VRxA = 10 （编码：100 至 4000）， V_{DD} = V_{REF} = 5.5V。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 00、 01 或 11。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 01， V_{DD} = 5.5V， Gx = 1。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		VRxB:VRxA = 10 或 11， V_{REF} = 1.0V， Gx = 1。
		请参见**第 2.0 节 “典型性能曲线”** **(2)**			LSb		V_{DD} = 1.8V， V_{REF} = 1.0V。

注 2 该参数由特性确保。

注 8 INL 和 DNL 是在 V_{RL} = V_{DD} （VRxB:VRxA = 00）的条件下在 V_{OUT} 处测量的。

注 11 编码范围取决于分辨率：8 位，编码为 6 至 250； 10 位，编码为 25 至 1000； 12 位，编码为 100 至 4000。

© 2015 Microchip Technology Inc.

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
差分非线性 （见 **C.12 “微分非线性误差 （DNL）”**） **(8, 11)**	DNL	-0.25	±0.0125	+0.25	LSb	8 位	VRxB:VRxA = 10 （编码：6 至 250），V_{DD} = V_{REF} = 5.5V。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 00、 01 或 11。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 01，V_{DD} = 5.5V， Gx = 1。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 10 或 11，V_{REF} = 1.0V， Gx = 1。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		V_{DD} = 1.8V
		-0.5	±0.05	+0.5	LSb	10 位	VRxB:VRxA = 10（编码：25 至 1000），V_{DD} = V_{REF} = 5.5V。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 00、 01 或 11。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 01，V_{DD} = 5.5V， Gx = 1。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 10 或 11，V_{REF} = 1.0V， Gx = 1。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		V_{DD} = 1.8V
		-1.0	±0.2	+1.0	LSb	12 位	VRxB:VRxA = 10 （编码：100 至 4000）， V_{DD} = V_{REF} = 5.5V。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 00、 01 或 11。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 01，V_{DD} = 5.5V， Gx = 1。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		特性：VRxB:VRxA = 10 或 11，V_{REF} = 1.0V， Gx = 1。
		请参见**第 2.0 节“典型性能曲线”** **(2)**			LSb		V_{DD} = 1.8V

注 2 该参数由特性确保。

注 8 INL 和 DNL 是在 V_{RL} = V_{DD} （VRxB:VRxA = 00）的条件下在 V_{OUT} 处测量的。

注 11 编码范围取决于分辨率：8 位，编码为 6 至 250； 10 位，编码为 25 至 1000； 12 位，编码为 100 至 4000。

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。				
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
-3 dB 带宽 （见 **C.16 “-3 dB 带宽”**）	BW	—	86.5	—	kHz	V_{REF} = 2.048V ± 0.1V， VRxB:VRxA = 10， Gx = 0
		—	67.7	—	kHz	V_{REF} = 2.048V ± 0.1V， VRxB:VRxA = 10， Gx = 1
输出放大器						
最小输出电压	$V_{OUT(MIN)}$	—	0.01	—	V	1.8V ≤ V_{DD} < 5.5V， 输出放大器最低驱动
最大输出电压	$V_{OUT(MAX)}$	—	V_{DD} – 0.04	—	V	1.8V ≤ V_{DD} < 5.5V， 输出放大器最高驱动
相位裕量	PM	—	66	—	度 （°）	C_L = 400 pF， R_L = ∞
压摆率 (10)	SR	—	0.44	—	V/µs	R_L = 5 kΩ
短路电流	I_{SC}	3	9	14	mA	DAC 编码 = 满量程
内部带隙						
带隙电压	V_{BG}	1.18	1.22	1.26	V	
带隙电压温度系数	V_{BGTC}	—	15	—	ppm/°C	
工作电压范围（V_{DD}）		2.0	—	5.5	V	V_{REF} 引脚电压稳定
		2.2	—	5.5	V	V_{OUT} 输出为线性
外部参考电压 （V_{REF}）						
输入范围 (1)	V_{REF}	V_{SS}	—	V_{DD} – 0.04	V	VRxB:VRxA = 11 （缓冲模式）
		V_{SS}	—	V_{DD}	V	VRxB:VRxA = 10 （无缓冲模式）
输入电容	C_{REF}	—	1	—	pF	VRxB:VRxA = 10 （无缓冲模式）
总谐波失真 (1)	THD	—	-64	—	dB	V_{REF} = 2.048V ± 0.1V， VRxB:VRxA = 10， Gx = 0， 频率 = 1 kHz
动态性能						
主编码跳变毛刺 （见 **C.14 “主编码跳变毛刺”**）		—	45	—	nV-s	在主进位处发生 1 LSb 的变化 （7FFh 至 800h）
数字馈通 （见 **C.15 “数字馈通”**）		—	<10	—	nV-s	

注 1 该参数由设计确保。

注 10 当编码从 FSR 的 1/4 变至 3/4 时，处于最终值的 1/2 LSb 内。（示例：在 12 位器件中，从 400h 变至 C00h）。

© 2015 Microchip Technology Inc.

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。				
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
数字输入 / 输出 （$\overline{\text{LAT0}}$/HVC）						
施密特触发器高电平输入阈值	V_{IH}	0.45 V_{DD}	—	—	V	2.7V ≤ V_{DD} ≤ 5.5V （支持 2.7V 数字 V_{DD} 与 5V 模拟 V_{DD}）
		0.5 V_{DD}	—	—	V	1.8V ≤ V_{DD} ≤ 2.7V
施密特触发器低电平输入阈值	V_{IL}	—	—	0.2 V_{DD}	V	
施密特触发器输入的滞后电压	V_{HYS}	—	0.1 V_{DD}	—	V	
输入泄漏电流	I_{IL}	-1	—	1	µA	V_{IN} = V_{DD} 且 V_{IN} = V_{SS}
引脚电容	C_{IN} 和 C_{OUT}	—	10	—	pF	f_C = 3.4 MHz
数字接口 （SDA 和 SCL）						
输出低电压	V_{OL}	—	—	0.4	V	V_{DD} ≥ 2.0V， I_{OL} = 3 mA
		—	—	0.2 V_{DD}	V	V_{DD} < 2.0V， I_{OL} = 1 mA
输入高电压 （SDA 和 SCL 引脚）	V_{IH}	0.7 V_{DD}	—	—	V	1.8V ≤ V_{DD} ≤ 5.5V
输入低电压 （SDA 和 SCL 引脚）	V_{IL}	—	—	0.3 V_{DD}	V	1.8V ≤ V_{DD} ≤ 5.5V
输入泄漏电流	I_{LI}	-1	—	1	µA	SCL = SDA = V_{SS} 或 SCL = SDA = V_{DD}
引脚电容	C_{PIN}	—	10	—	pF	f_C = 3.4 MHz

注 1 该参数由设计确保。

直流特性 （续）

直流特性		标准工作条件 （除非另外指定） 工作温度 –40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +2.7V 至 5.5V， V_{REF} = +2.048V 至 V_{DD}， V_{SS} = 0V， Gx = 0， R_L = 5 kΩ （从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
RAM 值							
值范围	N	0h	—	FFh	十六进制	8 位	
		0h	—	3FFh	十六进制	10 位	
		0h	—	FFFh	十六进制	12 位	
DAC 寄存器 POR/BOR 值	N	请参见**表 4-2**			十六进制	8 位	
		请参见**表 4-2**			十六进制	10 位	
		请参见**表 4-2**			十六进制	12 位	
PDCON 初始出厂设置		请参见**表 4-2**			十六进制		
EEPROM							
可擦写次数	EN_{EE}	—	1M	—	次	**注 1** 和**注 2**	
数据保持时间	DR_{EE}	—	200	—	年	+25°C 时 (1, 2)	
EEPROM 范围	N	0h	—	FFh	十六进制	8 位	DACx 寄存器
		0h	—	3FFh	十六进制	10 位	DACx 寄存器
		0h	—	FFFh	十六进制	12 位	DACx 寄存器
初始出厂设置	N	请参见**表 4-2**					
EEPROM 编程写周期时间	t_{WC}	—	11	16	ms	V_{DD} = +1.8V 至 5.5V	
电源要求							
电源灵敏度 （**C.17 “电源灵敏度 （PSS）”**）	PSS	—	0.002	0.005	%/%	8 位	编码 = 7Fh
		—	0.002	0.005	%/%	10 位	编码 = 1FFh
		—	0.002	0.005	%/%	12 位	编码 = 7FFh

注 1 该参数由设计确保。

注 2 该参数由特性确保。

© 2015 Microchip Technology Inc.

直流说明：

1. 该参数由设计确保。
2. 该参数由特性确保。
3. POR/BOR 电压跳变点与斜率无关。滞后通过延时实现。
4. 在模式 VRxB:VRxA = 10 下，供电电流与通过梯形电阻网络的电流无关。
5. PDxB:PDxA = 01、 10 和 11 这三种配置应具有相同的电流。
6. 根据设计，这是最坏情况下的电流模式。
7. 电阻定义为 V_{REF} 引脚（模式 VRxB:VRxA = 10 ）和 V_{SS} 引脚之间的电阻。对于双通道器件（MCP47FEBX2），它是每个梯形电阻网络的有效电阻。电阻测量值是两个并联测量的梯形电阻网络的电阻。
8. INL 和 DNL 是在 $V_{RL} = V_{DD}$ （VRxB:VRxA = 00）的条件下在 V_{OUT} 处测量的。
9. 该增益误差不包括失调误差。
10. 当编码从 FSR 的 1/4 变至 3/4 时，处于最终值的 1/2 LSb 内。（示例：在 12 位器件中，从 400h 变至 C00h）。
11. 编码范围取决于分辨率：8 位，编码为 6 至 250 ； 10 位，编码为 25 至 1000 ； 12 位，编码为 100 至 4000。
12. 一个输出电压相对于平均输出电压的变化。

1.1 时序波形和要求

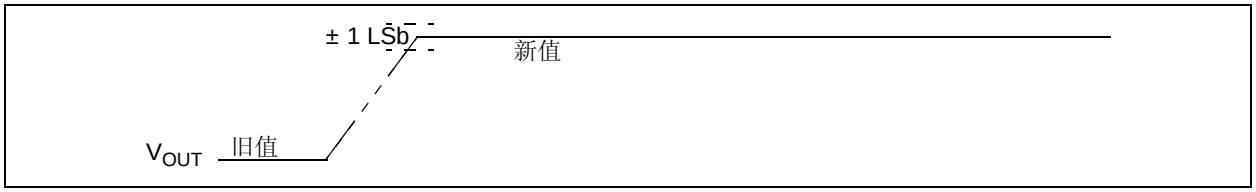


图 1-1： *V_{OUT} 稳定时间波形*

表 1-1：　抽头稳定时序

时序特性		**标准工作条件（除非另外指定）** 工作温度　–40°C ≤ T_A ≤ +125°C（扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +1.8V 至 5.5V， V_{SS} = 0V， R_L = 5 kΩ（从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。					
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
V_{OUT} 稳定时间（±1LSb 误差区间，C_L = 100 pF）（见 **C.13 “稳定时间”**）	t_S	—	6	—	µs	8 位	编码 = 3Fh → BFh； BFh → 3Fh(1)
		—	6	—	µs	10 位	编码 = 0FFh → 2FFh； 2FFh → 0FFh(1)
		—	6	—	µs	12 位	编码 = 3FFh → BFFh； BFFh → 3FFh(1)

注 1　当编码从 FSR 的 1/4 变至 3/4 时，处于最终值的 1/2 LSb 内。（示例：在 12 位器件中，从 400h 变至 C00h）。

© 2015 Microchip Technology Inc.

1.2 I²C 模式时序波形和要求

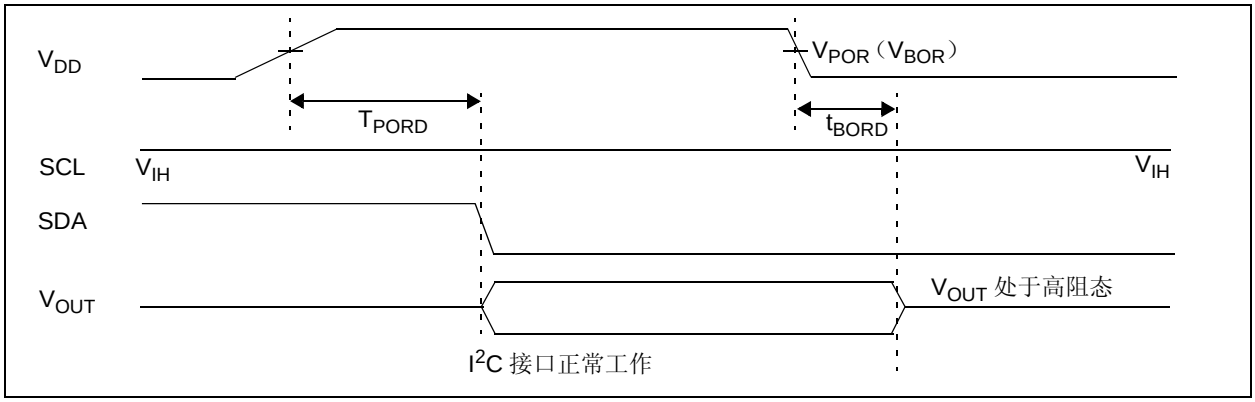


图 1-2： *上电复位和欠压复位波形*

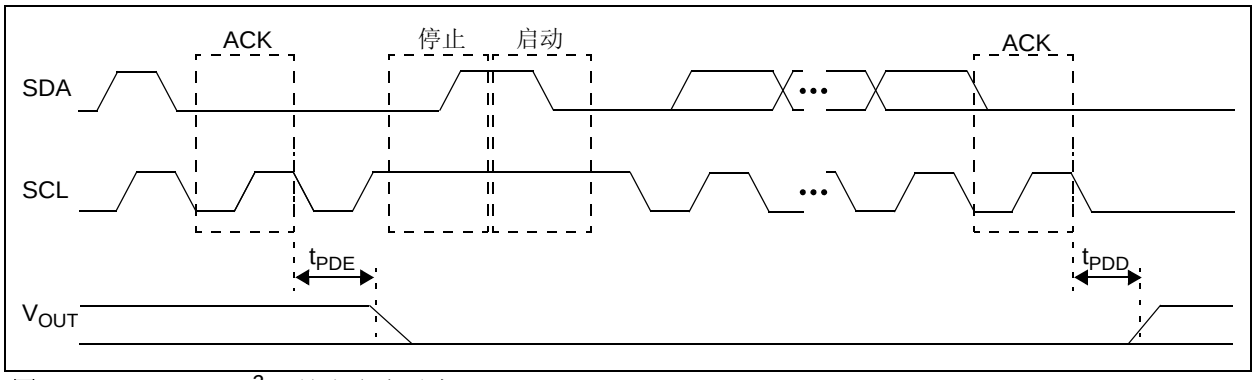


图 1-3： *I²C 掉电命令时序*

表 1-2：　复位时序

时序特性		**标准工作条件（除非另外指定）** 工作温度　–40°C ≤ T_A ≤ +125°C （扩展级） 除非有说明，否则所有参数均适用于规定的工作范围。 V_{DD} = +1.8V 至 5.5V， V_{SS} = 0V， R_L = 5 kΩ（从 V_{OUT} 到 GND）， C_L = 100 pF。 典型值代表 V_{DD} = 5.5V， T_A = +25°C 时的值。				
参数	**符号**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
上电复位延时	t_{PORD}	—	60	—	µs	监视 ACK 位响应，以确保器件对命令进行响应。
欠压复位延时	t_{BORD}	—	45	—	µs	V_{DD} 发生跳变：$V_{DD(MIN)} \rightarrow > V_{POR}$ V_{OUT} 驱动至 V_{OUT} 被禁止
掉电输出禁止延时	T_{PDD}	—	10.5	—	µs	PDxB:PDxA = 11、 10 或 01 -> 00，从第 8 个时钟周期结束时的 SCL 下降沿开始。 易失性 DAC 寄存器 = FFh， V_{OUT} = 10 mV。 V_{OUT} 未连接。
掉电输出使能延时	T_{PDE}	—	1	—	µs	PDxB:PDxA = 00 → 11、 10 或 01，从第 8 个时钟周期结束时的 SCL 下降沿开始。 V_{OUT} = V_{OUT} - 10 mV。 V_{OUT} 未连接。

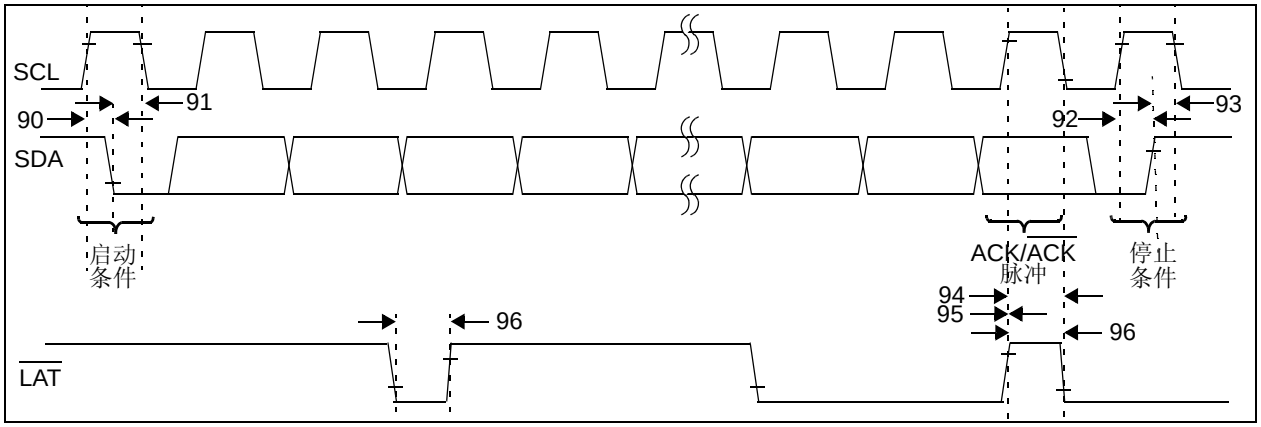


图 1-4： *I^2C 总线启动位 / 停止位时序波形*

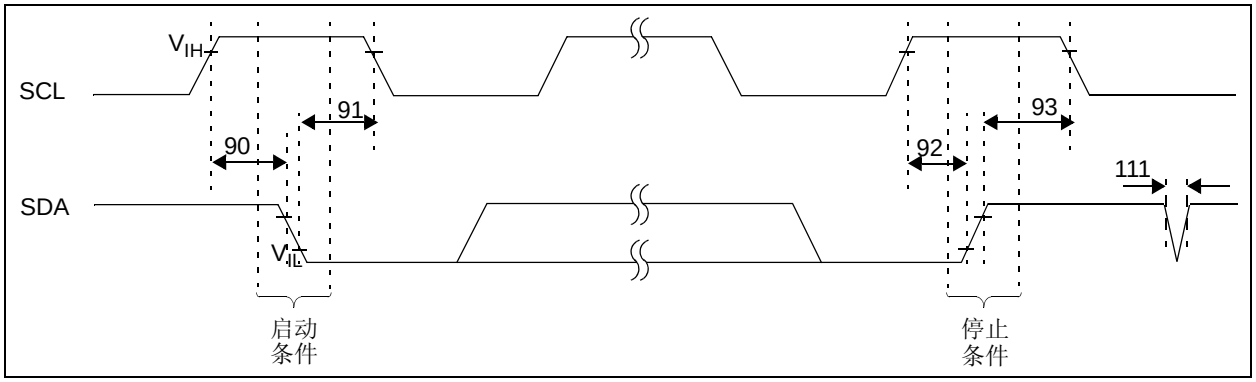


图 1-5： *I^2C 总线启动位 / 停止位时序波形*

© 2015 Microchip Technology Inc.

表 1-3： I^2C 总线启动位 / 停止位和 $\overline{LAT}$ 要求

I^2C 交流特性			标准工作条件 （除非另外指定） 工作温度 –40°C ≤ TA ≤ +125°C （扩展级） 工作电压范围如直流特性中所述				
参数编号	**符号**	**特性**		**最小值**	**最大值**	**单位**	**条件**
	F_{SCL}		标准模式	0	100	kHz	C_b = 400 pF，1.8V - 5.5V(2)
			快速模式	0	400	kHz	C_b = 400 pF， 2.7V - 5.5V
			高速模式	0	1.7	MHz	C_b = 400 pF， 4.5V - 5.5V
			高速模式	0	3.4	MHz	C_b = 100 pF， 4.5V - 5.5V
D102	C_b	总线容性负载	100 kHz 模式	—	400	pF	
			400 kHz 模式	—	400	pF	
			1.7 MHz 模式	—	400	pF	
			3.4 MHz 模式	—	100	pF	
90	$T_{SU:STA}$	启动条件 建立时间 （仅与重复启动条件相关）	100 kHz 模式	4700	—	ns	注 2
			400 kHz 模式	600	—	ns	
			1.7 MHz 模式	160	—	ns	
			3.4 MHz 模式	160	—	ns	
91	$T_{HD:STA}$	启动条件 保持时间 （这个周期后产生第一个时钟脉冲）	100 kHz 模式	4000	—	ns	注 2
			400 kHz 模式	600	—	ns	
			1.7 MHz 模式	160	—	ns	
			3.4 MHz 模式	160	—	ns	
92	$T_{SU:STO}$	停止条件 建立时间	100 kHz 模式	4000	—	ns	注 2
			400 kHz 模式	600	—	ns	
			1.7 MHz 模式	160	—	ns	
			3.4 MHz 模式	160	—	ns	
93	$T_{HD:STO}$	停止条件 保持时间	100 kHz 模式	4000	—	ns	注 2
			400 kHz 模式	600	—	ns	
			1.7 MHz 模式	160	—	ns	
			3.4 MHz 模式	160	—	ns	
94	T_{LATSU}	$\overline{LAT}$ ↑ 至 SCL ↑ （写数据 ACK 位） 建立时间		10	—	ns	写数据被延迟 (3)
95	T_{LATHD}	SCL ↑ 至 $\overline{LAT}$ ↑ （写数据 ACK 位） 保持时间		250	—	ns	写数据被延迟 (3)
96	T_{LAT}	$\overline{LAT}$ 高电平或低电平时间		50	—	ns	
97	T_{HVCSU}	HVC 高电平至 （启动条件的） SCL 高电平 —— 建立时间		25	—	µs	高电压命令
98	T_{HVCHD}	（停止条件的） SCL 低电平至 HVC 低电平 —— 保持时间		25	—	µs	高电压命令

注 2 未经测试。该参数由特性确保。

注 3 无论 V_{OUT} 的变化是否被延迟，在 SCL 信号上升沿之前 10 ns （规范值 94）和上升沿之后 250 ns （规范值 95）之间， LAT 信号的跳变是不确定的。

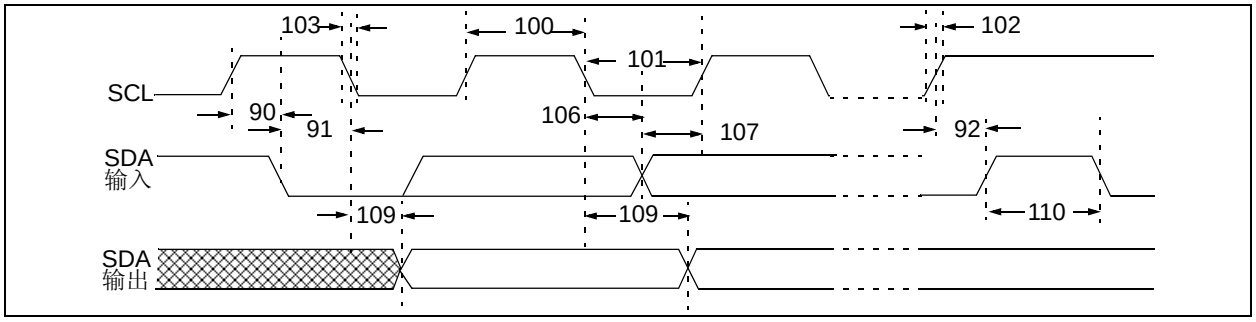


图 1-6：　　I^2C 总线时序波形

表 1-4：　　I^2C 总线要求 （从模式）

I^2C 交流特性				**标准工作条件 （除非另外指定）** 工作温度　　–40°C ≤ TA ≤ +125°C （扩展级） 工作电压范围如**直流特性**中所述			
参数编号	**符号**	**特性**		**最小值**	**最大值**	**单位**	**条件**
100	T_{HIGH}	时钟高电平时间	100 kHz 模式	4000	—	ns	1.8V-5.5V(2)
			400 kHz 模式	600	—	ns	2.7V-5.5V
			1.7 MHz 模式	120	—	ns	4.5V-5.5V
			3.4 MHz 模式	60	—	ns	4.5V-5.5V
101	T_{LOW}	时钟低电平时间	100 kHz 模式	4700	—	ns	1.8V-5.5V(2)
			400 kHz 模式	1300	—	ns	2.7V-5.5V
			1.7 MHz 模式	320	—	ns	4.5V-5.5V
			3.4 MHz 模式	160	—	ns	4.5V-5.5V
102A(2)	T_{RSCL}	SCL 上升时间	100 kHz 模式	—	1000	ns	C_b 值规定在 10 至 400 pF 之间 （对于 3.4 MHz 模式，最大值为 100 pF）
			400 kHz 模式	20 + 0.1C_b	300	ns	
			1.7 MHz 模式	20	80	ns	
			1.7 MHz 模式	20	160	ns	在重复启动条件或应答位之后
			3.4 MHz 模式	10	40	ns	
			3.4 MHz 模式	10	80	ns	在重复启动条件或应答位之后
102B(2)	T_{RSDA}	SDA 上升时间	100 kHz 模式	—	1000	ns	Cb 值规定在 10 至 400 pF 之间 （对于 3.4 MHz 模式，最大值为 100 pF）
			400 kHz 模式	20 + 0.1C_b	300	ns	
			1.7 MHz 模式	20	160	ns	
			3.4 MHz 模式	10	80	ns	

注 2　　未经测试。该参数由特性确保。

© 2015 Microchip Technology Inc.

表 1-4：　　I²C 总线要求 （从模式）（续）

I²C 交流特性				标准工作条件 （除非另外指定） 工作温度　　–40°C ≤ TA ≤ +125°C （扩展级） 工作电压范围如直流特性中所述			
参数编号	**符号**	**特性**		**最小值**	**最大值**	**单位**	**条件**
103A(2)	T_{FSCL}	SCL 下降时间	100 kHz 模式	—	300	ns	C_b 值规定在 10 至 400 pF 之间 （对于 3.4 MHz 模式，最大值为 100 pF）(4)
			400 kHz 模式	20 + 0.1C_b	300	ns	
			1.7 MHz 模式	20	80	ns	
			3.4 MHz 模式	10	40	ns	
103B(2)	T_{FSDA}	SDA 下降时间	100 kHz 模式	—	300	ns	C_b 值规定在 10 至 400 pF 之间 （对于 3.4 MHz 模式，最大值为 100 pF）(4)
			400 kHz 模式	20 + 0.1C_b	300	ns	
			1.7 MHz 模式	20	160	ns	
			3.4 MHz 模式	10	80	ns	
106	$T_{HD:DAT}$	数据输入保持时间	100 kHz 模式	0	—	ns	1.8V-5.5V(2, 5)
			400 kHz 模式	0	—	ns	2.7V-5.5V(5)
			1.7 MHz 模式	0	—	ns	4.5V-5.5V(5)
			3.4 MHz 模式	0	—	ns	4.5V-5.5V(5)
107	$T_{SU:DAT}$	数据输入建立时间	100 kHz 模式	250	—	ns	注 2，注 6
			400 kHz 模式	100	—	ns	注 6
			1.7 MHz 模式	10	—	ns	
			3.4 MHz 模式	10	—	ns	
109	T_{AA}	时钟输出有效的时间	100 kHz 模式	—	3450	ns	注 2，注 7
			400 kHz 模式	—	900	ns	注 7
			1.7 MHz 模式	—	150	ns	C_b = 100 pF(7, 8)
				—	310	ns	C_b = 400 pF(2, 7)
			3.4 MHz 模式	—	150	ns	C_b = 100 pF(7)
110	T_{BUF}	总线空闲时间	100 kHz 模式	4700	—	ns	在启动一个新的传输前总线必须保持空闲的时间 (2)
			400 kHz 模式	1300	—	ns	
			1.7 MHz 模式	N.A.	—	ns	
			3.4 MHz 模式	N.A.	—	ns	
111	T_{SP}	输入滤波器尖峰脉冲抑制（SDA 和 SCL）	100 kHz 模式	—	50	ns	NXP 规范中指明不适用 (2)
			400 kHz 模式	—	50	ns	
			1.7 MHz 模式	—	10	ns	尖峰脉冲抑制
			3.4 MHz 模式	—	10	ns	尖峰脉冲抑制

注 2　未经测试。该参数由特性确保。

注 4　计算中使用以 pF 为单位的 Cb。

注 5　主器件发送器必须提供一定的延时，以确保 SDA 和 SCL 下降时间之差不会意外地产生启动或停止条件。

注 6　快速模式 （400 kHz）的 I²C 总线器件也可在标准模式 （100 kHz）的 I²C 总线系统中使用，但必须满足 $t_{SU:DAT} \geq 250$ ns 的要求。如果器件没有延长 SCL 信号的低电平周期，则必然满足此条件。如果该器件延长了 SCL 信号的低电平周期，则它必须在 SCL 线被释放前的 T_R max.+$t_{SU:DAT}$ = 1000 + 250 = 1250 ns （根据标准模式 I²C 总线规范），将下一个数据位输出到 SDA 线。

注 7　为避免产生意外的启动或停止条件，作为发送器的器件必须提供这个内部最小延时以补偿 SCL 下降沿的未定义区域 （最小值 300 ns）。

注 8　由 T_{AA} 3.4 MHz 规范测试保证。

时序表说明：

1. 当编码从 FSR 的 1/4 变至 3/4 时，处于最终值的 1/2 LSb 内。（示例：在 12 位器件中，从 400h 变至 C00h）。
2. 未经测试。该参数由特性确保。
3. 无论 V_{OUT} 的变化是否被延迟，在 SCL 信号上升沿之前 10 ns（规范值 94）和上升沿之后 250 ns（规范值 95）之间， LAT 信号的跳变是不确定的。
4. 计算中使用以 pF 为单位的 Cb。
5. 主器件发送器必须提供一定的延时，以确保 SDA 和 SCL 下降时间之差不会意外地产生启动或停止条件。
6. 快速模式 （400 kHz）的 I^2C 总线器件也可在标准模式 （100 kHz）的 I^2C 总线系统中使用，但必须满足 $t_{SU:DAT} \geq 250$ ns 的要求。如果器件没有延长 SCL 信号的低电平周期，则必然满足此条件。如果该器件延长了 SCL 信号的低电平周期，则它必须在 SCL 线被释放前的 T_R max.+$t_{SU:DAT}$ = 1000 + 250 = 1250 ns（根据标准模式 I^2C 总线规范），将下一个数据位输出到 SDA 线。
7. 为避免产生意外的启动或停止条件，作为发送器的器件必须提供这个内部最小延时以补偿 SCL 下降沿的未定义区域 （最小值 300 ns）。
8. 由 T_{AA} 3.4 MHz 规范测试保证。

© 2015 Microchip Technology Inc.

温度规范

电气规范：除非另外声明，否则 V_{DD} = +2.7V 至 +5.5V， V_{SS} = GND。						
参数	**符号**	**最小值**	**典型**	**最大值**	**单位**	**条件**
温度范围						
规定温度范围	T_A	-40	—	+125	°C	
工作温度范围	T_A	-40	—	+125	°C	**注 1**
存储温度范围	T_A	-65	—	+150	°C	
封装热阻						
热阻， 8 引脚 TSSOP	θ_{JA}	—	139	—	°C/W	

注 1： MCP47FEBXX 器件可在该扩展级温度范围内工作，但性能会有所下降。在该范围内工作时，一定不能让 T_J 超过最高结温 +150°C。

注：

© 2015 Microchip Technology Inc.

2.0 典型性能曲线

注： 器件性能曲线在一个单独的文档中提供。这样做的目的是使本 PDF 文档的文件大小小于许多邮件服务器的 10 MB 文件附件限制。
MCP47FXBXX Performance Curves 文档的文献编号为 DS20005378，可以从 Microchip 网站获取。在 Data Sheets （数据手册）类别中，在 “Documentation and Software”（文档和软件）下查看 MCP47FEBXX 产品页面。

注：

© 2015 Microchip Technology Inc.

3.0 引脚说明

第 3.1 节 “正电源输入（V_{DD}）”至**第 3.8 节 “I^2C—— 串行数据引脚 （SDA）”**简要介绍了引脚功能。表 3-1 列出了单通道 DAC 输出器件的引脚说明，表 3-2 列出了双通道 DAC 输出器件的说明。

表 3-1： MCP47FEBX1 （单通道 DAC）引脚说明

引脚				标准功能
TSSOP-8L	符号	I/O	缓冲器类型	
1	V_{DD}	—	P	电源电压引脚
2	V_{REF0}	A	模拟	参考电压输入引脚
3	V_{OUT0}	A	模拟	缓冲模拟电压输出引脚
4	NC	—	—	不内部连接
5	V_{SS}	—	P	器件上所有电路的地参考引脚
6	LAT0/HVC	I	HV ST	DAC 寄存器锁存 / 高电压命令引脚。锁存引脚用于将串行移位寄存器的值传输到易失性 DAC 寄存器。高电压命令用于写入用户配置位。
7	SCL	I	ST	I^2C 串行时钟引脚
8	SDA	I/O	ST	I^2C 串行数据引脚

图注： A = 模拟 ST = 施密特触发器
I = 输入 O = 输出 I/O = 输入 / 输出 P = 电源

表 3-2： MCP47FEBX2 （双通道 DAC）引脚说明

引脚				标准功能
TSSOP-8	符号	I/O	缓冲器类型	
1	V_{DD}	—	P	电源电压引脚
2	V_{REF}	A	模拟	参考电压输入引脚 （用于 DAC0 或 DAC0 和 DAC1）
3	V_{OUT0}	A	模拟	缓冲模拟电压输出 0 引脚 （DAC0 输出）
4	V_{OUT1}	A	模拟	缓冲模拟电压输出 1 引脚 （DAC1 输出）
5	V_{SS}	—	P	器件上所有电路的地参考引脚
6	LAT/HVC	I	HV ST	DAC 寄存器锁存 / 高电压命令引脚。锁存引脚用于将串行移位寄存器的值传输到易失性 DAC 寄存器 （用于 DAC0 或 DAC0 和 DAC1）。高电压命令用于写入用户配置位。
7	SCL	I	ST	I^2C 串行时钟引脚
8	SDA	I/O	ST	I^2C 串行数据引脚

图注： A = 模拟 ST = 施密特触发器
I = 输入 O = 输出 I/O = 输入 / 输出 P = 电源

3.1 正电源输入（V_{DD}）

V_{DD} 是正电源电压输入引脚。输入电源电压是相对于 V_{SS} 的。

V_{DD} 引脚处的电源应尽可能纯净，以确保良好的 DAC 性能。建议使用容值约为 0.1 µF 的适当旁路电容（陶瓷电容）来接地。此外，还建议另外并联一个 10 µF 的电容（钽电容），以进一步衰减应用电路板上存在的噪声。

3.2 参考电压引脚（V_{REF}）

V_{REF} 引脚可作为输入或输出。当 DAC 的参考电压配置为 V_{REF} 引脚时，该引脚作为输入。当 DAC 的参考电压配置为内部带隙时，该引脚作为输出。

当 DAC 的参考电压配置为 V_{REF} 引脚时，该电压输入有两种选项：缓冲或无缓冲的 V_{REF} 引脚电压。提供缓冲选项是为了应对以下情况：外部参考电压不具有在连接到内部梯形电阻电路时不发生降压的足够电流能力。

当 DAC 的参考电压配置为器件 V_{DD} 时，V_{REF} 引脚会与内部电路断开。

当 DAC 的参考电压配置为内部带隙时，V_{REF} 引脚的驱动能力是最低的，所以应对输出信号进行缓冲。

关于配置位的更多详细信息，请参见**第 5.2 节 “参考电压选择”**和寄存器 4-2。

3.3 模拟输出电压引脚（V_{OUT}）

V_{OUT} 是 DAC 模拟电压输出引脚。DAC 输出具有一个输出放大器。DAC 输出范围取决于参考电压源的选择（以及可能的输出增益选择）。它们是：

- 器件 V_{DD}——DAC 输出的满量程范围为从 V_{SS} 至接近 V_{DD}。
- V_{REF} 引脚 ——DAC 输出的满量程范围为从 V_{SS} 至 $G * V_{RL}$；其中， G 为增益选择选项 （1x 或 2x）。
- 内部带隙 ——DAC 输出的满量程范围为从 V_{SS} 至 $G * (2 * V_{BG})$；其中， G 为增益选择选项 （1x 或 2x）。

在正常模式下，输出引脚的直流阻抗约为 1Ω。在掉电模式下，输出引脚在内部连接到一个阻值为1 kΩ或100 kΩ的已知下拉电阻，或者开路。寄存器 4-3 （表 5-5）中列出了掉电选择位的设置。

3.4 无连接 （NC）

NC 引脚不与器件连接。

3.5 接地 （V_{SS}）

V_{SS} 引脚是器件参考地。

用户必须通过一个低阻抗走线来将 V_{SS} 引脚连接到地平面。如果应用 PCB （印制电路板）中存在可用的模拟地路径，则强烈建议将 V_{SS} 引脚与模拟地路径连接，或者将其隔离在电路板的模拟地平面内。

3.6 锁存引脚 （LAT） / 高电压命令（HVC）

LAT 引脚用于强制将 DAC 寄存器的移位寄存器内容传输到 DAC 输出寄存器。这使 DAC 输出可以在同一时间发生更新。

VRxB:VRxA、PDxB:PDxA 和 Gx 位的更新也由 LAT 引脚状态控制。

当 HVC 引脚电压大于 V_{IHH} 进入电压时，可以通过 HVC 引脚对器件的非易失性用户配置位进行编程。

3.7 I^2C—— 串行时钟引脚 （SCL）

SCL 引脚是 I^2C 接口的串行时钟引脚。 MCP47FEBXX 的 I^2C 接口仅用作从器件，SCL 引脚只接受外部串行时钟。来自主器件的输入数据在SCL时钟上升沿移入SDA引脚，器件的输出在 SCL 时钟下降沿发生。 SCL 引脚是漏极开路 N 沟道驱动器。因此，从 V_{DD} 线到 SCL 引脚需要一个外部上拉电阻。关于 I^2C 串行接口通信的更多详细信息，请参见**第 6.0 节 “I^2C 串行接口模块”**。

3.8 I^2C—— 串行数据引脚 （SDA）

SDA 引脚是 I^2C 接口的串行数据引脚。 SDA 引脚用于读写 DAC 寄存器和配置位。SDA 引脚是漏极开路 N 沟道驱动器。因此，从 V_{DD} 线到 SDA 引脚需要一个外部上拉电阻。启动和停止条件除外，SDA 引脚上的数据必须在时钟的高电平期间保持稳定。只有在SCL引脚上的时钟信号为低电平时，SDA 引脚的高电平或低电平状态才能发生改变。关于I^2C串行接口通信的更多详细信息，请参见**第 6.0 节 “I^2C 串行接口模块”**。

© 2015 Microchip Technology Inc.

4.0 概述

MCP47FEBX1（MCP47FEB01、MCP47FEB11 和 MCP47FEB21）器件是单通道电压输出器件。MCP47FEBX2（MCP47FEB02、MCP47FEB12 和 MCP47FEB22）器件是双通道电压输出器件。

这些器件提供8位（MCP47FEB0X）、10位（MCP47FEB1X）和 12 位（MCP47FEB2X）分辨率，它们含有非易失性存储器（EEPROM）、I^2C 串行接口和写锁存（LAT）引脚，用于控制所写入 DAC 值到 DAC 输出引脚的更新。

这些器件采用了梯形电阻网络架构。梯形电阻网络 DAC 使用可通过软件选择的参考电压源驱动。电压源可以是器件的内部 V_{DD}、外部 V_{REF} 引脚电压（缓冲或无缓冲）或内部带隙电压源。

DAC 输出使用一个低功耗的高精度输出放大器（运放）进行缓冲。该输出放大器可提供具有低失调电压和低噪声特性的轨到轨输出。输出缓冲器的增益（1x 或 2x）可通过软件配置。

该器件还具有用户可编程的非易失性存储器（EEPROM），可供用户保存 DAC 寄存器和器件配置位的所需 POR/BOR 值。高电压锁定位可以用于确保器件输出设置不会被意外修改。

器件通过单个电源电压工作。对于达到完全性能规范的操作，该电压的规定范围为 2.7V 至 5.5V；对于数字操作，规定范围为 1.8V 至 5.5V。器件可在 1.8V 和 2.7V 之间工作，但一些器件参数并未规定。

主要功能模块包括：

- **上电复位 / 欠压复位（POR/BOR）**
- **器件存储器**
- **梯形电阻网络**
- **输出缓冲器 /V_{OUT} 操作**
- **内部带隙（参考电压）**
- **I^2C 串行接口模块**

4.1 上电复位 / 欠压复位（POR/BOR）

在工作期间，内部上电复位（POR）/ 欠压复位（BOR）电路会监视电源电压（V_{DD}）。该电路可在发生系统上电和掉电事件时，确保器件正确启动。器件的 RAM 保持电压（V_{RAM}）低于 POR/BOR 电压跳变点（V_{POR}/V_{BOR}）。最大 V_{POR}/V_{BOR} 电压低于 1.8V。

POR 在电压上升（通常从 0V 开始上升）时发生，而 BOR 在电压下降（通常从 $V_{DD(MIN)}$ 或更高电压开始下降）时发生。

POR 和 BOR 跳变点对应的电压相同，其条件由 V_{DD} 电压是在上升还是在下降决定（见图 4-1）。根据复位是 POR 复位还是 BOR 复位，所发生的事件会不同。

当 $V_{POR}/V_{BOR} < V_{DD} < 2.7V$ 时，电气性能可能无法满足数据手册中的规范。在该区域中，如果执行了正确的串行命令，器件可以读写它的 EEPROM 和易失性存储器。

4.1.1 上电复位

在器件的 V_{DD} 上相对于 V_{SS} 电平施加电源时，会发生上电复位。在器件上电时，V_{OUT} 引脚会悬空为未知值。当器件的 V_{DD} 高于器件的晶体管阈值电压时，输出将开始下拉为低电平。在 V_{DD} 高于 POR/BOR 跳变点（V_{BOR}/V_{POR}）之后，电阻网络的抽头将装入 POR 值（中间量程）。易失性存储器将决定模拟输出（V_{OUT}）引脚电压。在器件上电之后，用户可以更新器件存储器。

当上升 V_{DD} 电压超过 V_{POR} 跳变点时，将发生以下事件：

- 非易失性 DAC 寄存器值被锁存到易失性 DAC 寄存器中
- 非易失性配置位值被锁存到易失性配置位中
- POR 状态位置为 1
- 复位延时定时器（t_{PORD}）启动；当复位延时定时器（t_{PORD}）发生超时时，I^2C 串行接口开始工作。在该延时期间，I^2C 接口将不接受命令。
- 器件存储器地址指针被强制设为 00h。

模拟输出（V_{OUT}）的状态将取决于易失性配置位和DAC寄存器的状态。这称为上电复位（事件）。

图 4-1 说明了典型条件下发生上电和掉电事件的条件。

4.1.2 欠压复位

当对器件供电时，如果电源（电压）降到低于规定范围，会发生欠压复位。

当下降 V_{DD} 电压越过 V_{POR} 跳变点（BOR 事件）时，将发生以下事件：

- 串行接口被禁止
- EEPROM 写操作被禁止
- 器件被强制进入掉电状态（PDxB:PDxA = 11）。模拟电路被关闭。
- 易失性 DAC 寄存器被强制为 000h
- 易失性配置位 VRxB:VRxA 和 Gx 被强制设为 0

如果 V_{DD} 电压降到低于 V_{RAM} 电压，所有易失性存储器的内容可能被破坏。

对于电压恢复到高于 V_{POR}/V_{BOR} 电压时的情况，请参见**第 4.1.1 节 “上电复位”**。

串行命令由于欠压条件而未能完成时，可能导致存储单元（易失性和非易失性）的内容被破坏。

图 4-1 说明了典型条件下发生上电和掉电事件的条件。

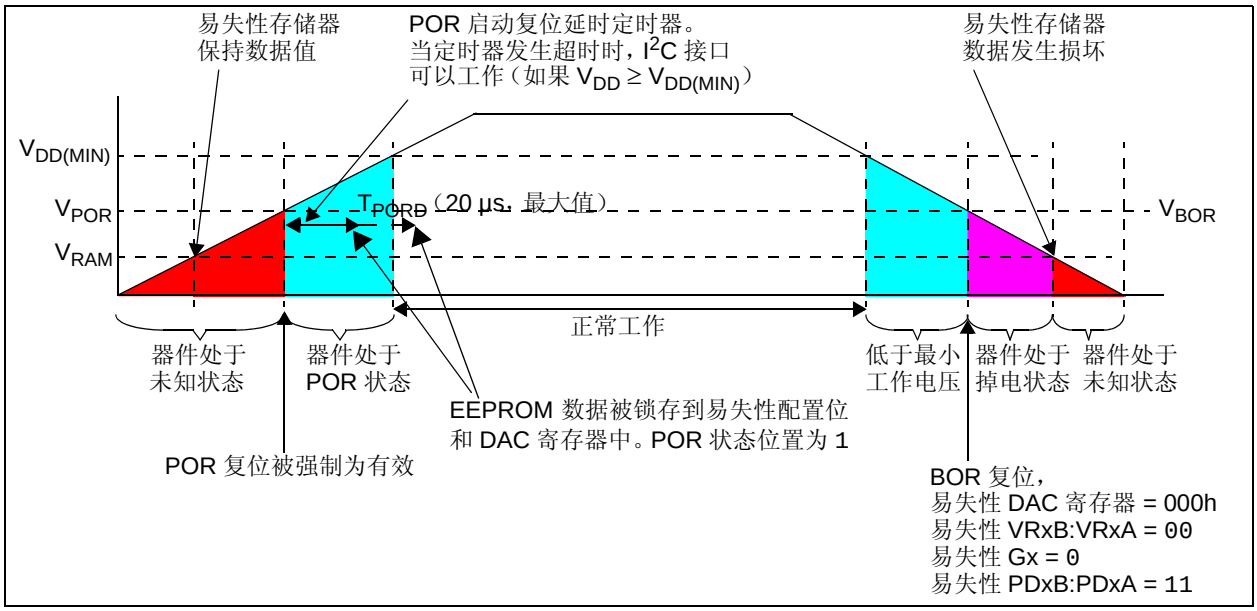


图 4-1： *上电复位操作*

© 2015 Microchip Technology Inc.

4.2 器件存储器

用户存储器包含 3 种类型的存储器：

- **易失性寄存器存储器 （RAM）**
- **非易失性寄存器存储器**
- **器件配置存储器**

每个存储器地址为 16 位宽。有 5 个非易失性用户控制位不处于存储器映射寄存器空间内（见**第 4.2.3 节 “器件配置存储器”**）。

4.2.1 易失性寄存器存储器 （RAM）

最多有 6 个易失性存储单元：

- DAC0 和 DAC1 输出值寄存器
- VREF 选择寄存器
- 掉电配置寄存器
- 增益和状态寄存器
- WiperLock 技术状态寄存器

易失性存储器在器件 V_{DD} 处于（或高于）RAM 数据保持电压（V_{RAM}）时开始工作。当 V_{DD} 升至越过 V_{POR}/V_{BOR} 电压跳变点时，将向易失性存储器中装入默认器件值。

4.2.2 非易失性寄存器存储器

该存储器可以分为两种用途的非易失性存储器。它们是 DAC 输出值寄存器和配置寄存器：

- 非易失性 DAC0 和 DAC1 输出值寄存器
- 非易失性 VREF 选择寄存器
- 非易失性掉电配置寄存器
- 非易失性增益和 I^2C 从器件地址

非易失性存储器在低于器件的 V_{POR}/V_{BOR} 跳变点时开始工作，每当器件升至高于 POR/BOR 电压跳变点时，就会将其内容装入相应的易失性寄存器。

器件在串行接口命令完成时开始写入 EEPROM 存储单元。对于 I^2C 接口， EEPROM 写命令的应答脉冲代表命令完成。

注：	写入非易失性存储器时，**不会**修改相应的易失性存储器。

非易失性 DAC 寄存器能够使器件被编程为所需值之后独立工作 （无需单片机控制）。

表 4-1： 存储器映射 （x16）

地址	功能	配置位(1)
00h	易失性 DAC0 寄存器	CL0
01h	易失性 DAC1 寄存器	CL1
02h	保留	—
03h	保留	—
04h	保留	—
05h	保留	—
06h	保留	—
07h	保留	—
08h	V_{REF} 寄存器	—
09h	掉电寄存器	—
0Ah	增益和状态寄存器	—
0Bh	WiperLock 技术状态寄存器	—
0Ch	保留	—
0Dh	保留	—
0Eh	保留	—
0Fh	保留	—

地址	功能	配置位(1)
10h	非易失性 DAC0 寄存器	DL0
11h	非易失性 DAC1 寄存器	DL1
12h	保留	—
13h	保留	—
14h	保留	—
15h	保留	—
16h	保留	—
17h	保留	—
18h	非易失性 V_{REF} 寄存器	—
19h	非易失性掉电寄存器	—
1Ah	非易失性增益和 I^2C 7 位从器件地址	SALCK
1Bh	保留	—
1Ch	保留	—
1Dh	保留	—
1Eh	保留	—
1Fh	保留	—

易失性存储器地址范围　　非易失性存储器地址范围

注 1： 器件配置存储器位需要通过高电压使能或禁止命令 （$\overline{LAT}/\overline{LAT0} = V_{IHH}$ 或 $\overline{CS} = V_{IHH}$）来修改位值。

4.2.3 器件配置存储器

器件中最多有 5 个不直接映射到地址空间中的非易失性用户位。这些非易失性器件配置位控制以下功能：

- DAC寄存器和配置WiperLock技术（每个DAC 2位）
- I^2C 从器件地址写保护 （锁定）

状态寄存器用于显示器件 WiperLock 技术配置位的状态。在寄存器 4-6 中介绍了 STATUS 寄存器。

第 4.2.6 节 “WiperLock 技术”介绍了 WiperLock 技术的工作原理，而**第 4.2.7 节 “I^2C 从器件地址写保护”**介绍了 I^2C 从器件地址写保护。

4.2.4 未实现的寄存器位

对有效单元执行读命令时，未实现的位将读为 0。

4.2.5 未实现 （保留）的单元

对任何未实现的存储器地址 （保留）执行正常 （电压）命令 （读或写）时，会产生命令错误条件 （NACK）。对保留单元执行读命令时，位将读为 1。

对任何未实现的配置位执行高电压命令 （使能或禁止）时，会产生命令错误条件 （NACK）。

4.2.5.1 非易失性存储器 （EEPROM）的默认出厂 POR 存储器状态

表 4-2 显示了对于 8 位、10 位和 12 位器件，器件存储器映射的默认出厂 POR 初始化。

注： 易失性存储单元将由非易失性存储器状态（寄存器和器件配置位）决定。

表 4-2： 出厂默认 POR/BOR 值

地址	功能	POR/BOR 值		
		8 位	10 位	12 位
00h	易失性 DAC0 寄存器	7Fh	1FFh	7FFh
01h	易失性 DAC1 寄存器	7Fh	1FFh	7FFh
02h	保留 (2)	FFh	3FFh	FFFh
03h	保留 (2)	FFh	3FFh	FFFh
04h	保留 (2)	FFh	3FFh	FFFh
05h	保留 (2)	FFh	3FFh	FFFh
06h	保留 (2)	FFh	3FFh	FFFh
07h	保留 (2)	FFh	3FFh	FFFh
08h	V_{REF} 寄存器	0000h	0000h	0000h
09h	掉电寄存器	0000h	0000h	0000h
0Ah	增益和状态寄存器	0080h	0080h	0080h
0Bh	WiperLock 技术状态寄存器	0000h	0000h	0000h
0Ch	保留 (2)	FFh	3FFh	FFFh
0Dh	保留 (2)	FFh	3FFh	FFFh
0Eh	保留 (2)	FFh	3FFh	FFFh
0Fh	保留 (2)	FFh	3FFh	FFFh

地址	功能	POR/BOR 值		
		8 位	10 位	12 位
10h	非易失性 DAC0 寄存器	7Fh	1FFh	7FFh
11h	非易失性 DAC1 寄存器	7Fh	1FFh	7FFh
12h	保留 (2)	FFh	3FFh	FFFh
13h	保留 (2)	FFh	3FFh	FFFh
14h	保留 (2)	FFh	3FFh	FFFh
15h	保留 (2)	FFh	3FFh	FFFh
16h	保留 (2)	FFh	3FFh	FFFh
17h	保留 (2)	FFh	3FFh	FFFh
18h	非易失性 V_{REF} 寄存器	0000h	0000h	0000h
19h	非易失性掉电寄存器	0000h	0000h	0000h
1Ah	非易失性增益和 I^2C 7 位从器件地址 (1)	00E0h (1)	00E0h (1)	00E0h (1)
1Bh	保留 (2)	FFh	3FFh	FFFh
1Ch	保留 (2)	FFh	3FFh	FFFh
1Dh	保留 (2)	FFh	3FFh	FFFh
1Eh	保留 (2)	FFh	3FFh	FFFh
1Fh	保留 (2)	FFh	3FFh	FFFh

易失性存储器地址范围　　非易失性存储器地址范围

注 **1：** A0 I^2C 7 位从器件地址选项为 110 0000，从器件地址锁定 （SALCK）位为使能 （1）。
2： 读取保留的存储单元将导致 I^2C 命令对命令字节无应答。器件数据位将全部输出 1。启动条件会使 I^2C 接口复位。

© 2015 Microchip Technology Inc.

4.2.6 WIPERLOCK 技术

通过 MCP47FEBXX 器件的 WiperLock 技术，可以对特定于应用的器件设置（DAC 寄存器和配置）进行保护，而无需使用额外的写保护引脚。每个 DAC （DAC0 和 DAC1）有两个配置位 （DLx:CLx）。

根据 DLx:CLx 配置位的状态，WiperLock 技术可以阻止串行命令对 DACx 寄存器和位执行以下操作：

- 写入指定的易失性 DACx 寄存器存储单元
- 写入指定的非易失性 DACx 寄存器存储单元
- 写入指定的易失性 DACx 配置位
- 写入指定的非易失性 DACx 配置位

这些配置位中的每一对控制 4 种模式之一。表 4-4 列出了这些模式。配置位的地址如表 4-1 所示。

要修改配置位，必须将 HVC 引脚强制设为 V_{IHH} 状态，然后在所需的 DAC 寄存器地址对中接收使能或禁止命令。

注：	要修改 CL0 位，使能或禁止命令需要指定地址 00h，而要修改 DL0 位，使能或禁止命令需要指定地址 10h。

关于工作原理，请参见**第 7.5 节 “使能配置位 （高电压）”**和**第 7.6 节 “禁止配置位 （高电压）”**命令。

注：	在器件通信期间，如果器件地址 / 命令组合无效，或指定了未实现的地址，MCP47FEBXX 将对该字节产生 NACK。要复位 I^2C 状态机，I^2C 通信必须检测到启动位。

4.2.6.1 使能 WiperLock 技术时的 POR/BOR 操作

WiperLock 技术状态不会受 POR/BOR 事件影响。发生 POR/BOR 事件时，易失性 DAC0 （DAC1）寄存器中将装入非易失性 DAC0 （DAC1）寄存器的值。

4.2.7 I^2C 从器件地址写保护

MCP47FEBXX 器件的 I^2C 从器件地址存储在 EEPROM 存储器中。这使用户可以根据应用需求修改地址。为了确保 I^2C 从器件地址不被意外修改，存储器具有高电压写保护位。表 4-3 显示了该配置位。

注：	要修改 SALCK 位，使能或禁止命令需要指定地址 1Ah。

表 4-3： SALCK 功能说明

SALCK	操作
1	锁定非易失性 I^2C 从器件地址位 （ADD6:ADD0）
0	解锁非易失性 I^2C 从器件地址位 （ADD6:ADD0）

表 4-4： WIPERLOCK 技术配置位功能说明

DLx:CLx (2)	寄存器 / 位				备注
	DACx		DACx 配置 (1)		
	易失性	非易失性	易失性	非易失性	
11	锁定	锁定	锁定	锁定	所有 DACx 寄存器都被锁定
10	锁定	锁定	解锁	锁定	易失性 DACx 配置寄存器除外，所有其他 DACx 寄存器都被锁定。 它允许掉电模式操作
01	解锁	锁定	解锁	锁定	易失性 DACx 寄存器被解锁，非易失性 DACx 寄存器被锁定
00	解锁	解锁	解锁	解锁	所有 DACx 寄存器都被解锁

注 1： DAC 配置位包括参考电压控制位 （VRxB:VRxA）、掉电控制位 （PDxB:PDxA）和输出增益位 （Gx）。

2： 这些配置位 （DLx:CLx）的状态会反映在 WLxB:WLxA 位中，如寄存器 4-6 所示。

4.2.8 器件寄存器

寄存器 4-1 显示了易失性存储单元和非易失性存储单元的 DAC 输出值寄存器的格式。这些寄存器为 8 位、10 位或 12 位宽。这些值进行右对齐。

寄存器 4-1： DAC0 和 DAC1 寄存器（易失性和非易失性）

	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
12 位	—	—	—	—	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
10 位	—	—	—	—	—(1)	—(1)	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
8 位	—	—	—	—	—(1)	—(1)	—(1)	—(1)	D07	D06	D05	D04	D03	D02	D01	D00
	bit 15															bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
= 12 位器件	= 10 位器件	= 8 位器件	

12 位	10 位	8 位	
bit 15-12	bit 15-10	bit 15-8	**未实现：** 读为 0
bit 11-0	—	—	**D11-D00：** DAC 输出值 ——12 位器件 FFFh = 满量程输出值 7FFh = 中间量程输出值 000h = 零量程输出值
—	bit 9-0	—	**D09-D00：** DAC 输出值 ——10 位器件 3FFh = 满量程输出值 1FFh = 中间量程输出值 000h = 零量程输出值
—	—	bit 7-0	**D07-D00：** DAC 输出值 ——8 位器件 FFh = 满量程输出值 7Fh = 中间量程输出值 000h = 零量程输出值

注 1： 未实现位，读为 0。

© 2015 Microchip Technology Inc.

寄存器 4-2 显示了参考电压控制寄存器的格式。每个 DAC 具有两个用于控制 DAC 参考电压源的位。该寄存器同时用于易失性存储单元和非易失性存储单元。该寄存器的宽度是器件的 DAC 数量的 2 倍。

寄存器 4-2：　　参考电压 （VREF）控制寄存器 （易失性和非易失性）（地址 08h 和 18h）

	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
单通道	—	—	—	—	—	—	—	—	—	—	—	—	—(1)	—(1)	VR0B	VR0A
双通道	—	—	—	—	—	—	—	—	—	—	—	—	VR1B	VR1A	VR0B	VR0A
	bit 15															bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
= 单通道器件		= 双通道器件	

单通道	双通道	
bit 15-2	bit 15-4	**未实现：** 读为 0
bit 1-0	bit 3-0	**VRxB-VRxA：** DAC 参考电压控制位 11 = V_{REF} 引脚 （缓冲）； 使能 V_{REF} 缓冲器。 10 = V_{REF} 引脚 （无缓冲）； 禁止 V_{REF} 缓冲器。 01 = 内部带隙 （1.22V，典型值）； 使能 V_{REF} 缓冲器。掉电时驱动 V_{REF} 电压。 00 = V_{DD} （无缓冲）； 禁止 V_{REF} 缓冲器。将该状态与掉电位配合使用可实现最低电流。

注　1： 未实现位，读为 0。

寄存器 4-3 显示了掉电控制寄存器的格式。每个 DAC 具有两个用于控制 DAC 掉电状态的位。该寄存器同时用于易失性存储单元和非易失性存储单元。该寄存器的宽度是器件的 DAC 数量的 2 倍。

寄存器 4-3：　　掉电控制寄存器 （易失性和非易失性）（地址 09h 和 19h）

	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
单通道	—	—	—	—	—	—	—	—	—	—	—	—	—(1)	—(1)	PB0B	PB0A
双通道	—	—	—	—	—	—	—	—	—	—	—	—	PB1B	PB1A	PB0B	PB0A
	bit 15															bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
= 单通道器件		= 双通道器件	

单通道	双通道	
bit 15-2	位 15-4	**未实现：**读为 0
bit 1-0	位 3-0	**PBxB-PBxA：**DAC 掉电控制位 (2) 11 = 掉电 ——V_{OUT} 开路。 10 = 掉电 ——V_{OUT} 使用 100 kΩ 电阻接地。 01 = 掉电 ——V_{OUT} 使用 1 kΩ 电阻接地。 00 = 正常工作 （未掉电）

注　1： 未实现位，读为 0。

2： 更多详细信息，请参见表 5-5 和图 5-10。

© 2015 Microchip Technology Inc.

寄存器 4-4 显示了增益控制和系统状态寄存器的格式。每个 DAC 具有 1 个用于控制 DAC 增益的位和 3 个状态位。该寄存器同时用于易失性存储单元和非易失性存储单元。

寄存器 4-4：　　增益控制和系统状态寄存器 （易失性）（地址 0Ah）

	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/C-1	R/W-0	U-0	U-0	U-0	U-0	U-0	U-0
单通道	—	—	—	—	—	—	—(1)	G0	POR	EEWA	—	—	—	—	—	—
双通道	—	—	—	—	—	—	G1	G0	POR	EEWA	—	—	—	—	—	—
	bit 15															bit 0

图注：

R = 可读位	W = 可写位	C = 可清零位	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
= 单通道器件		= 双通道器件	

单通道	双通道	
bit 15-9	bit 15-10	**未实现：** 读为 0
—	bit 9	**G1：** DAC1 输出驱动器增益控制位 （**仅限双通道器件**） 1 = 2x 增益。 V_{DD} 用作 V_{RL} 时不适用。 0 = 1x 增益。
bit 8	bit 8	**G0：** DAC0 输出驱动器增益控制位 1 = 2x 增益。 V_{DD} 用作 V_{RL} 时不适用。 0 = 1x 增益。
bit 7	bit 7	**POR：** 上电复位 （欠压复位）状态位 该位用于指示自该寄存器的上一次读命令以来是否发生了上电复位 （POR）或掉电复位 （BOR）事件。读取该寄存器会清零 POR 状态位的状态。 1 = 自上一次读取该寄存器以来发生了 POR （BOR）事件。读取该寄存器会清零该位。 0 = 自上一次读取该寄存器以来未发生 POR （BOR）事件。
bit 6	bit 6	**EEWA：** EEPROM 写操作活动状态位 该位指示是否正在进行 EEPROM 写周期 1 = 当前正在进行 EEPROM 写周期。仅允许针对易失性存储器的串行命令。 0 = 当前不在进行 EEPROM 写周期。
bit 5-0	bit 5-0	**未实现：** 读为 0

注　1： 未实现位，读为 0。

寄存器 4-5 显示了非易失性增益控制和从器件地址寄存器的格式。每个 DAC 具有 1 个用于控制 DAC 增益的位。I^2C 器件还具有 8 个用于存放 I^2C 从器件地址和 I^2C 地址锁定位状态的位。

寄存器 4-5：　　增益控制和从器件地址寄存器 （非易失性）（地址 1Ah）

	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
单通道	—	—	—	—	—	—(1)	G0	ADLCK	EEWA	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
双通道	—	—	—	—	—	G1	G0	ADLCK	EEWA	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	bit 15															bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
= 单通道器件		= 双通道器件	

单通道	双通道	
bit 15-9	bit 15-10	**未实现：** 读为 0
—	bit 9	**G1：** DAC1 输出驱动器增益控制位 （**仅限双通道器件**）(2) 1 = 2x 增益。 V_{DD} 用作 V_{RL} 时不适用。 0 = 1x 增益。
bit 8	bit 8	**G0：** DAC0 输出驱动器增益控制位 (3) 1 = 2x 增益。 V_{DD} 用作 V_{RL} 时不适用。 0 = 1x 增益。
bit 7	bit 7	**ADLCK：** I^2C 地址锁定状态位 （只读位；反映 $\overline{\text{SALCK}}$ 配置位的状态）。 1 = I^2C 从器件地址已锁定 （需要通过 HV 命令来禁止，从而可以更改 I^2C 地址） 0 = I^2C 从器件地址未锁定，可以更改非易失性 I^2C 从器件地址。
bit 6-0	bit 6-0	**ADD6-ADD0：** I^2C 7 位从器件地址位。

注　1： 未实现位，读为 0。

2： 如果 VR1B:VR1A = 00，则无论该位 （G1）的状态如何，器件都仅使用增益 1。

3： 如果 VR0B:VR0A = 00，则无论该位 （G0）的状态如何，器件都仅使用增益 1。

© 2015 Microchip Technology Inc.

寄存器 4-6 显示了 DAC WiperLock 技术状态寄存器的格式。该寄存器的宽度是器件的 DAC 数量的 2 倍。

寄存器 4-6： DAC WIPERLOCK 技术状态寄存器 （易失性）（地址 0BH）

	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R-0(2)	R-0(2)	R-0(2)	R-0(2)
单通道	—	—	—	—	—	—	—	—	—	—	—	—	—(1)	—(1)	WL0B	WL0A
双通道	—	—	—	—	—	—	—	—	—	—	—	—	WL1B	WL1A	WL0B	WL0A
	bit 15															bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知
= 单通道器件		= 双通道器件	

单通道	双通道	
bit 15-2	bit 15-4	**未实现：** 读为 0
bit 1-0	bit 3-0	**WLxB-WLxA：** WiperLock 技术状态位：这些位反映 DLx:CLx 非易失性配置位的状态 11 = DAC 抽头和 DAC 配置 （易失性和非易失性寄存器）已锁定 （DLx = CLx = 使能） 10 = DAC 抽头 （易失性和非易失性）和 DAC 配置 （非易失性寄存器）已锁定 （DLx = 使能； CLx = 禁止）。 01 = DAC 抽头 （非易失性）和 DAC 配置 （非易失性寄存器）已锁定 （DLx = 禁止； CLx = 使能） 00 = DAC 抽头和 DAC 配置已解锁 （DLx = CLx = 禁止）。

注 1： 未实现位，读为 0。

2： POR 值取决于 DLx:CLx 配置位的编程值。这些器件出厂时的默认 DLx:CLx 配置位状态为 0。

注：

© 2015 Microchip Technology Inc.

5.0 DAC 电路

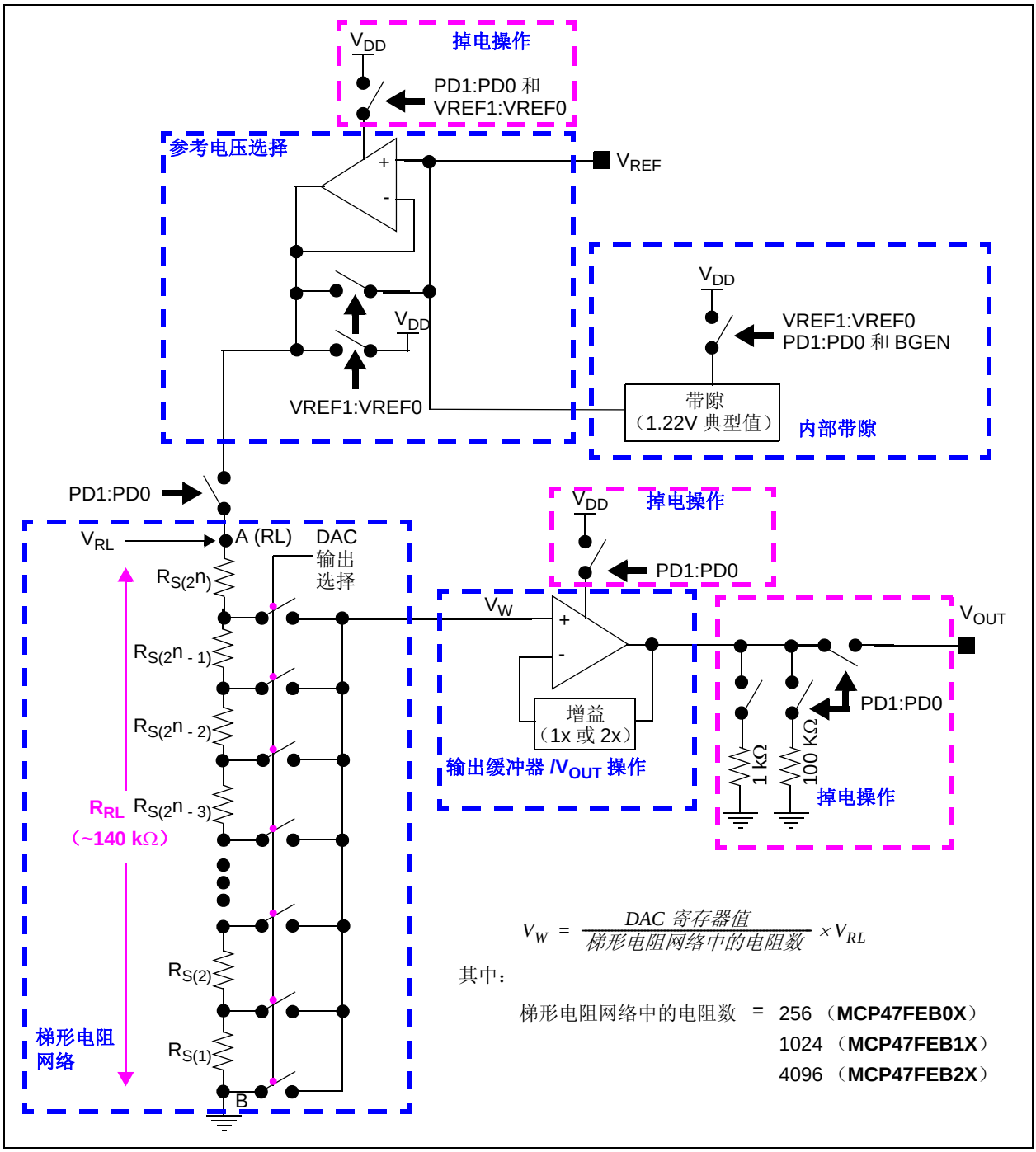
数模转换器电路可将数字值转换为其模拟表示形式。以下说明介绍了该器件的功能操作。

DAC 电路采用梯形电阻网络实现方式。器件最多具有两个 DAC。

图 5-1 给出了 MCP47FEBXX DAC 电路的功能框图。

DAC 的功能模块包括：

- **梯形电阻网络**
- **参考电压选择**
- **输出缓冲器 /V_{OUT} 操作**
- **内部带隙**（作为参考电压）
- **锁存引脚（LAT）**
- **掉电操作**



$$V_W = \frac{\text{DAC 寄存器值}}{\text{梯形电阻网络中的电阻数}} \times V_{RL}$$

其中：

梯形电阻网络中的电阻数 = 256（**MCP47FEB0X**）
1024（**MCP47FEB1X**）
4096（**MCP47FEB2X**）

图 5-1： *MCP47FEBXX DAC 模块框图*

5.1 梯形电阻网络

梯形电阻网络是一个数字电位器， B 接线端在内部接地， A 接线端连接到选定的参考电压 （见图 5-2）。易失性 DAC 寄存器用于控制抽头位置。抽头电压 （V_W）与以下结果成正比：DAC 寄存器值除以与 V_{RL} 电压相关的梯形电阻网络中的电阻元件 （R_S）数量 （256、1024 或 4096）。

电阻网络的输出将驱动输出缓冲器的输入。

电阻网络由以下 3 个部分组成：

- 梯形电阻网络 （串联的 Rs 元件）
- 抽头开关
- DAC 寄存器解码

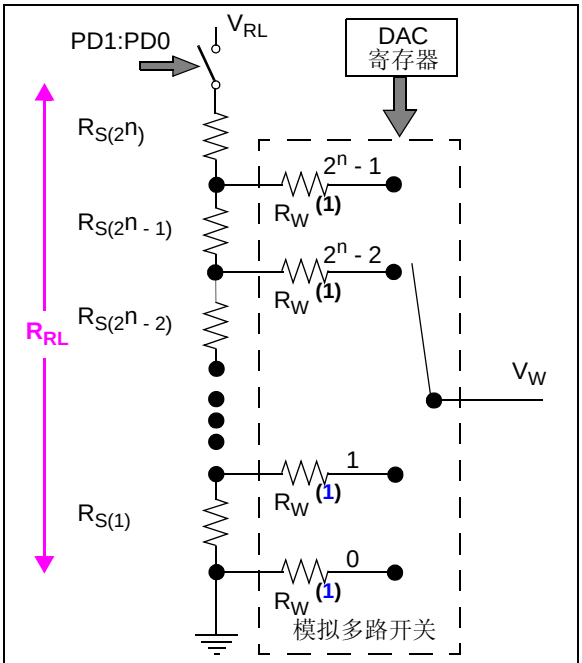
梯形电阻网络（R_{RL}）的典型阻抗约为 140 kΩ。该梯形电阻网络的电阻 （R_{RL}）可能因器件而异，最高差异可达 ±20%。由于它采用分压器配置，只要 V_{RL} 的电压固定不变，实际的 R_{RL} 电阻并不影响输出。

公式 5-1 给出了电阻步长的计算公式。

注： 最高抽头位置为 $2^n - 1$，而梯形电阻网络中的电阻数量为 2^n。这意味着，当 DAC 寄存器处于满量程时，在抽头和 V_{RL} 电压之间有一个电阻元件 （R_S）。

如果使用无缓冲 V_{REF} 引脚作为 V_{RL} 电压源，则该电压源应具有低输出阻抗。

当DAC掉电时，梯形电阻网络将与选定的参考电压断开。



$$V_W = \frac{DAC\ 寄存器值}{梯形电阻网络中的电阻数} \times V_{RL}$$

其中：

梯形电阻网络中的电阻数 = 256 (**MCP47FEB0X**)
1024 (**MCP47FEB1X**)
4096 (**MCP47FEB2X**)

注 1： 由于采用分压器配置，模拟开关电阻（R_W）不会影响性能。

图 5-2： *梯形电阻网络模型框图*

公式 5-1： R_S 计算

$R_S = \frac{R_{RL}}{(256)}$	8 位器件
$R_S = \frac{R_{RL}}{(1024)}$	10 位器件
$R_S = \frac{R_{RL}}{(4096)}$	12 位器件

© 2015 Microchip Technology Inc.

5.2 参考电压选择

梯形电阻网络最多具有 4 个可用作参考电压的电压源。两个用户控制位 （VREF1:VREF0）用于控制电压源的选择，选择的电压源将连接到 V_{RL} 节点 （见图 5-3 和图 5-4）。梯形电阻网络的 4 个电压源选项为：

1. V_{DD} 引脚电压
2. 内部参考电压 （V_{BG}）
3. 无缓冲的 V_{REF} 引脚电压
4. 内部缓冲的 V_{REF} 引脚电压

电压的选择使用易失性 V_{REF1}:V_{REF0} 配置位指定 （见寄存器4-2）。器件具有非易失性和易失性VREF1:VREF0配置位。发生POR/BOR事件时，非易失性VREF1:VREF0配置位的状态会被锁存到易失性 VREF1:VREF0 配置位中。

当用户选择 V_{DD} 作为参考电压时， V_{REF} 引脚电压将不与梯形电阻网络连接。

如果选择 V_{REF} 引脚，则用户需要在缓冲和无缓冲模式之间进行选择。

5.2.1 无缓冲模式

V_{REF} 引脚电压可以介于 V_{SS} 和 V_{DD} 之间。

注 1： 电压源应具有低输出阻抗。如果电压源具有高输出阻抗，则 V_{REF} 引脚上的电压将低于预期。梯形电阻网络的典型阻抗为 140 kΩ，典型电容为 29 pF。

2： 如果 V_{REF} 引脚与 V_{DD} 电压连接，则建议使用 V_{DD} 模式（VREF1:VREF0 = 00）。

5.2.2 缓冲模式

V_{REF} 引脚电压可以介于 0.01V 和 V_{DD} - 0.04V 之间。输入缓冲器 （放大器）具有低失调电压、低噪声和极高输入阻抗等特性，对输入范围和频率响应只有轻微的限制。

注 1： 参考电压源上的任何变动或噪声都会直接影响 DAC 输出。参考电压需要尽可能纯净，以确保精确的 DAC 性能。

2： 如果 V_{REF} 引脚与 V_{DD} 电压连接，则建议使用 V_{DD} 模式（VREF1:VREF0 = 00）。

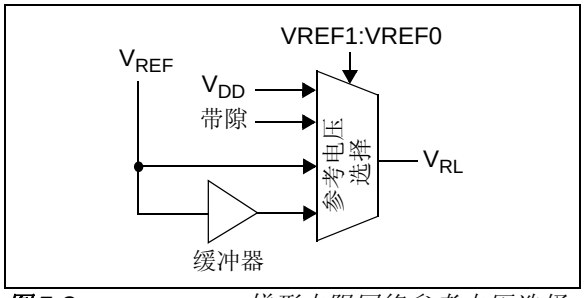
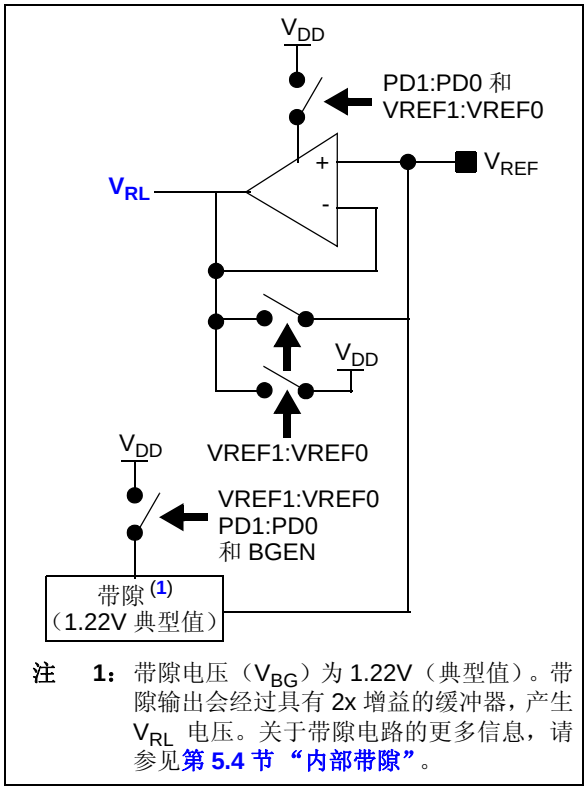


图 5-3： *梯形电阻网络参考电压选择框图*



注 1： 带隙电压（V_{BG}）为 1.22V（典型值）。带隙输出会经过具有 2x 增益的缓冲器，产生 V_{RL} 电压。关于带隙电路的更多信息，请参见**第 5.4 节 “内部带隙”**。

图 5-4： *参考电压选择实现框图*

5.2.3 带隙模式

如果选择内部带隙，则不应驱动外部 V_{REF} 引脚，并且应仅使用高阻抗负载。为了实现最佳操作，建议使用一些去耦电容。

器件会对带隙输出进行缓冲，但内部开关会限制输出送入 V_{REF} 引脚的电流。在具有多个 DAC 输出的情况下，会使用梯形电阻网络缓冲器来驱动带隙电压。这可以确保在选择带隙时，总是正确地向梯形电阻网络送入电流。

5.3 输出缓冲器 /V_{OUT} 操作

输出驱动器会对梯形电阻网络的抽头电压 （V_W）进行缓冲。

DAC 输出使用一个低功耗的高精度输出放大器 （运放）进行缓冲。该放大器可提供具有低失调电压和低噪声特性的轨到轨输出。该放大器的输出可以驱动阻性和高容性负载，不会产生振荡。该放大器提供的最大负载电流对于大多数可编程参考电压应用来说都已经足够。关于输出放大器的规范，请参见**第 1.0 节 “电气特性”**。

注：	负载电阻必须保持高于 5 kΩ，以产生稳定的预期模拟输出 （以满足电气规范）。

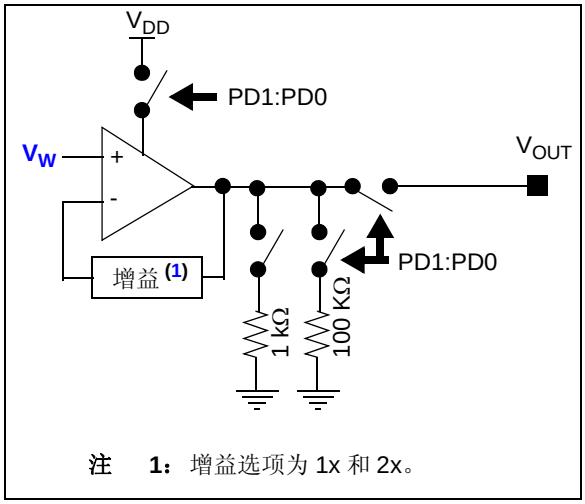
图 5-5 给出了输出驱动电路的框图。

用户可以选择输出放大器的输出增益。增益选项有：

a) 增益为 1，使用 V_{DD} 或 V_{REF} 引脚作为参考电压。
b) 增益为 2，仅在使用 V_{REF} 引脚或内部带隙作为参考电压时。 V_{REF} 引脚电压应限制为 $V_{DD}/2$。

此外，掉电逻辑也会控制输出缓冲器的操作（关于掉电的更多信息，请参见**第 5.6 节 “掉电操作”**）。在三种掉电模式中的任意一种模式下，运放会掉电，其输出会变为到 V_{OUT} 引脚的高阻抗。

表 5-1 显示了增益位的操作。当参考电压选择 （V_{RL}）为器件的 V_{DD} 电压时， G 位会被忽略，并使用增益 1。



注 1： 增益选项为 1x 和 2x。

图 5-5： *输出驱动器框图*

表 5-1： 输出驱动器增益

增益位	增益	备注
0	1	
1	2	相对于器件 V_{DD} 电压限制 V_{REF} 引脚电压。

5.3.1 可编程增益

放大器的增益通过增益 （G）配置位 （见寄存器 4-5）和 V_{RL} 参考电压选择进行控制。当 V_{RL} 参考电压选择器件的 V_{DD} 电压时， G 位会被忽略，并使用增益 1。

易失性 G 位值可以通过以下方式修改：

- POR 事件
- BOR 事件
- I^2C 写命令
- I^2C 广播呼叫复位命令

© 2015 Microchip Technology Inc.

5.3.2 输出电压

易失性 DAC 寄存器的值与器件的配置位将控制模拟 V_{OUT} 电压。易失性 DAC 寄存器的值是无符号二进制值。公式 5-2 给出了输出电压的计算公式。表 5-3 列出了 MCP47FEBXX 器件的易失性 DAC 寄存器值的示例，以及相应的理论 V_{OUT} 电压。

公式 5-2： 计算输出电压 （V_{OUT}）

$$V_{OUT} = \frac{V_{RL} \times DAC\ 寄存器值}{梯形电阻网络中的电阻数} \times 增益$$

其中：

梯形电阻网络中的电阻数 = 4096 （**MCP47FEB2X**）
1024 （**MCP47FEB1X**）
256 （**MCP47FEB0X**）

注： 当增益 = 2（$V_{RL} = V_{REF}$）时，如果 $V_{REF} > V_{DD}/2$，则 V_{OUT} 电压将被限制为 V_{DD}。因此，如果 $V_{REF} = V_{DD}$，则在易失性 DAC 寄存器值处于中间量程和更高时，V_{OUT} 电压将不会发生变化，因为运放已达到满量程输出。

以下事件会更新 DAC 寄存器值，因而更新模拟电压输出 （V_{OUT}）：

- 上电复位
- 欠压复位
- I^2C 写命令，写命令最后一个字节的应答脉冲的下降沿。
- I^2C 广播呼叫复位命令，输出使用 POR 数据（EEPROM）更新。

然后，V_{OUT} 电压将在发生事件之后开始驱动为新的值。

5.3.3 步阶电压 （V_S）

步阶电压取决于器件分辨率和计算的输出电压范围。1 LSb 定义为两个连续编码之间的理想电压差。步阶电压可以使用公式 5-3 简便地计算 （DAC 寄存器的值等于 1）。表 5-2 列出了几种 V_{REF} 电压的理论步阶电压。

公式 5-3： V_S 计算

$$V_S = \frac{V_{RL}}{梯形电阻网络中的电阻数} \times 增益$$

其中：

梯形电阻网络中的电阻数 = 4096 （**12 位**）
1024 （**10 位**）
256 （**8 位**）

表 5-2： 理论步阶电压 （V_S）(1)

	V_{REF}					
	5.0	**2.7**	**1.8**	**1.5**	**1.0**	
V_S	1.22 mV	659 µV	439 µV	366 µV	244 µV	12 位
	4.88 mV	2.64 mV	1.76 mV	1.46 mV	977 µV	10 位
	19.5 mV	10.5 mV	7.03 mV	5.86 mV	3.91 mV	8 位

注 1： 增益 = 1x， $V_{FS} = V_{RL}$， $V_{ZS} = 0V$ 时。

5.3.4 输出压摆率

图 5-6 给出了 V_{OUT} 引脚压摆率的示例。连接到 V_{OUT} 引脚的电路的特性会影响压摆率。

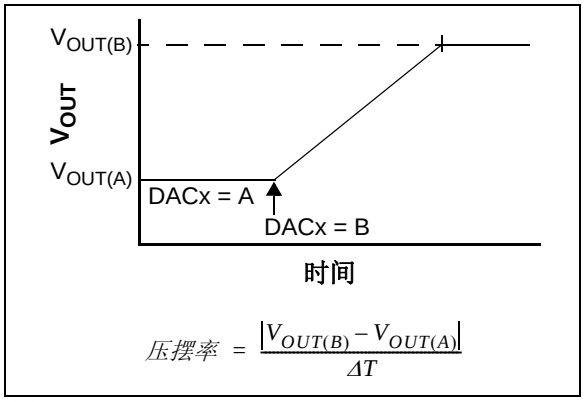


图 5-6： *V_{OUT} 引脚压摆率*

5.3.4.1 小容性负载

对于小容性负载，输出缓冲器的电流不会受容性负载（C_L）影响。但尽管如此，V_{OUT} 引脚的电压并不是从一个输出值（DAC 寄存器值）跳变为下一个输出值。V_{OUT} 电压的变化会受输出缓冲器的特性限制，所以 V_{OUT} 引脚电压会具有一个从旧电压变为新电压的斜率。该斜率对于输出缓冲器是固定的，称为缓冲器压摆率（SR_{BUF}）。

5.3.4.2 大容性负载

对于较大的容性负载，压摆率由两个因素决定：

- 输出缓冲器的短路电流（I_{SC}）
- V_{OUT} 引脚的外部负载

I_{OUT} 不能超出输出缓冲器的短路电流（I_{SC}），这将决定输出缓冲器的压摆率（SR_{BUF}）。容性负载（C_L）上的电压 V_{CL} 的变化速率与 I_{OUT} 成比例关系，这将决定容性负载的压摆率（SR_{CL}）。

所以，V_{CL} 电压压摆率会被限制为小于输出缓冲器内部设置的压摆率（SRBUF）和容性负载压摆率（SR_{CL}）。

5.3.5 驱动阻性和容性负载

V_{OUT} 引脚最高可以驱动 100 pF 容性负载与 5 kΩ 阻性负载并联的等效负载（为满足电气规范）。该器件的特性数据（**DS20005378**）中给出了 V_{OUT}— 阻性负载特性图。

在负载电阻低于约 3.5 kΩ 时，V_{OUT} 会随负载电阻的减小而缓慢下降。建议使用 R_L 大于 5 kΩ 的负载。

驱动大容性负载会使电压反馈运放产生稳定性问题。当负载电容增大时，反馈环路的相位裕度会减小，闭环带宽也会变窄。这会使频率响应中产生增益剧增（gain peaking），并使阶跃响应中产生过冲和振铃。即，由于 V_{OUT} 引脚的电压无法快速跟随缓冲器的输入电压而变化（由于大容性负载），输出缓冲器将过冲超出所需的目标电压。当驱动器检测到这种电压过冲时，它会通过将它强制设为低于目标的电压来进行补偿。这会导致在 V_{OUT} 引脚上产生电压振铃。

所以，使用输出缓冲器驱动大容性负载时，在输出上使用一个小串联电阻（R_{ISO}，见图 5-7）使输出负载在较高频率时呈现阻性，可以提高输出缓冲器的稳定性（反馈环路的相位裕度）。然而，其带宽通常会低于无容性负载时的带宽。

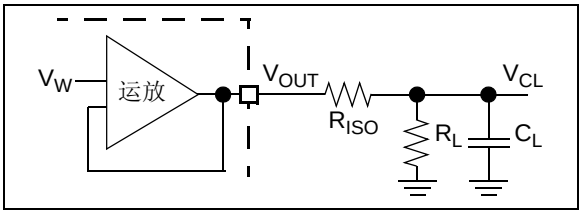


图 5-7： *用于针对大容性负载（C_L）稳定输出缓冲器的电路*

电路的 R_{ISO} 电阻值需要进行选择。请在实验室中验证对于该 R_{ISO} 电阻值产生的频率响应峰值，以及阶跃响应是否存在过冲。修改 R_{ISO} 的电阻值，直到输出特性满足要求为止。

一种评估系统性能的方法是在 V_{REF} 引脚上注入步阶电压，并观察 V_{OUT} 引脚的特性。

注：	关于驱动容性负载的电路设计的更多深入信息，请参见 AN884《使用运放驱动容性负载》（DS00000884A_CN）。

© 2015 Microchip Technology Inc.

表 5-3：　DAC 输入码与计算的模拟输出 （V_{OUT}）（V_{DD} = 5.0V）

器件	易失性 DAC 寄存器的值	V_{RL} (1)	LSb		增益选择 (2)	V_{OUT} (3)	
			公式	μV		公式	V
MCP47FEB2X（12 位）	1111 1111 1111	5.0V	5.0V/4096	1,220.7	1x	V_{RL} * (4095/4096) * 1	4.998779
		2.5V	2.5V/4096	610.4	1x	V_{RL} * (4095/4096) * 1	2.499390
					2x(2)	V_{RL} * (4095/4096) * 2)	4.998779
	0111 1111 1111	5.0V	5.0V/4096	1,220.7	1x	V_{RL} * (2047/4096) * 1)	2.498779
		2.5V	2.5V/4096	610.4	1x	V_{RL} * (2047/4096) * 1)	1.249390
					2x(2)	V_{RL} * (2047/4096) * 2)	2.498779
	0011 1111 1111	5.0V	5.0V/4096	1,220.7	1x	V_{RL} * (1023/4096) * 1)	1.248779
		2.5V	2.5V/4096	610.4	1x	V_{RL} * (1023/4096) * 1)	0.624390
					2x(2)	V_{RL} * (1023/4096) * 2)	1.248779
	0000 0000 0000	5.0V	5.0V/4096	1,220.7	1x	V_{RL} * (0/4096) * 1)	0
		2.5V	2.5V/4096	610.4	1x	V_{RL} * (0/4096) * 1)	0
					2x(2)	V_{RL} * (0/4096) * 2)	0
MCP47FEB1X（10 位）	11 1111 1111	5.0V	5.0V/1024	4,882.8	1x	V_{RL} * (1023/1024) * 1	4.995117
		2.5V	2.5V/1024	2,441.4	1x	V_{RL} * (1023/1024) * 1	2.497559
					2x(2)	V_{RL} * (1023/1024) * 2	4.995117
	01 1111 1111	5.0V	5.0V/1024	4,882.8	1x	V_{RL} * (511/1024) * 1	2.495117
		2.5V	2.5V/1024	2,441.4	1x	V_{RL} * (511/1024) * 1	1.247559
					2x(2)	V_{RL} * (511/1024) * 2	2.495117
	00 1111 1111	5.0V	5.0V/1024	4,882.8	1x	V_{RL} * (255/1024) * 1	1.245117
		2.5V	2.5V/1024	2,441.4	1x	V_{RL} * (255/1024) * 1	0.622559
					2x(2)	V_{RL} * (255/1024) * 2	1.245117
	00 0000 0000	5.0V	5.0V/1024	4,882.8	1x	V_{RL} * (0/1024) * 1	0
		2.5V	2.5V/1024	2,441.4	1x	V_{RL} * (0/1024) * 1	0
					2x(2)	V_{RL} * (0/1024) * 1	0
MCP47FEB0X（8 位）	1111 1111	5.0V	5.0V/256	19,531.3	1x	V_{RL} * (255/256) * 1	4.980469
		2.5V	2.5V/256	9,765.6	1x	V_{RL} * (255/256) * 1	2.490234
					2x(2)	V_{RL} * (255/256) * 2	4.980469
	0111 1111	5.0V	5.0V/256	19,531.3	1x	V_{RL} * (127/256) * 1	2.480469
		2.5V	2.5V/256	9,765.6	1x	V_{RL} * (127/256) * 1	1.240234
					2x(2)	V_{RL} * (127/256) * 2	2.480469
	0011 1111	5.0V	5.0V/256	19,531.3	1x	V_{RL} * (63/256) * 1	1.230469
		2.5V	2.5V/256	9,765.6	1x	V_{RL} * (63/256) * 1	0.615234
					2x(2)	V_{RL} * (63/256) * 2	1.230469
	0000 0000	5.0V	5.0V/256	19,531.3	1x	V_{RL} * (0/256) * 1	0
		2.5V	2.5V/256	9,765.6	1x	V_{RL} * (0/256) * 1	0
					2x(2)	V_{RL} * (0/256) * 2	0

注　**1：** V_{RL} 是梯形电阻网络的参考电压。它与 VREF1:VREF0 选择无关。

2： 增益选择为 2x （Gx = 1）时，要求参考电压源来自 V_{REF} 引脚 （VREF1:VREF0 = 10 或 11），并要求 V_{REF} 引脚电压 （或 V_{RL}） ≤ V_{DD}/2 或来自内部带隙 （VREF1:VREF0 = 01）。

3： 这些理论计算未考虑失调、增益和非线性误差。

© 2015 Microchip Technology Inc.

5.4 内部带隙

内部带隙用于驱动梯形电阻网络缓冲器。

梯形电阻网络的目标电阻（R_{RL}）为140 kΩ（±40 kΩ），这意味着最小电阻为 100 kΩ。

可以在不同 V_{DD} 电压下选择使用带隙，同时最大程度增大 V_{OUT} 电压范围。V_{DD} 电压低于 2 * 增益 * V_{BG} 电压时，对应于较高编码的输出会被削为 V_{DD} 电压。表 5-4 列出了在给定器件 V_{DD} 和增益位设置下的最大 DAC 寄存器编码。

表 5-4： 使用带隙时的 V_{OUT}

V_{DD}	DAC 增益	最大 DAC 编码 (1)			备注
		12 位	10 位	8 位	
5.5	1	FFFh	3FFh	FFh	$V_{OUT(max)}$ = 2.44V (3)
	2	FFFh	3FFh	FFh	$V_{OUT(max)}$ = 4.88V (3)
2.7	1	FFFh	3FFh	FFh	$V_{OUT(max)}$ = 2.44V (3)
	2	8DAh	236h	8Dh	~ 0 至 55% 范围
2.0 (4)	1	D1Dh	347h	D1h	~ 0 至 82% 范围
	2 (2)	68Eh	1A3h	68h	~ 0 至 41% 范围

注 **1：** V_{OUT} 引脚电压不会发生削波。
2： 建议使用增益 = 1 设置。
3： V_{BG} = 1.22V （典型值）时。
4： 从V_{DD}为2.0V开始，带隙性能达到完全性能。

© 2015 Microchip Technology Inc.

5.5 锁存引脚（$\overline{LAT}$）

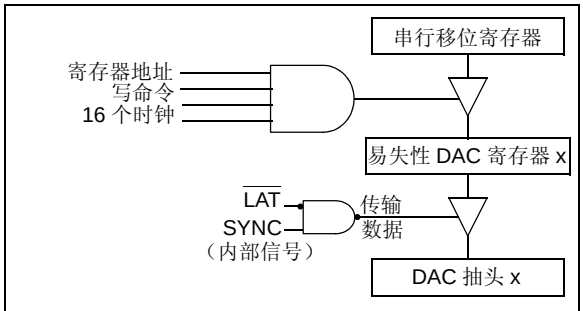
锁存引脚用于控制何时将易失性DAC寄存器的值传输到DAC 抽头。对于需要将抽头更新与外部事件（例如过零事件或对器件上的其他抽头的更新）进行同步的应用，这会非常有用。 $\overline{LAT}$ 引脚是与串行接口操作异步的。

当 $\overline{LAT}$ 引脚为高电平时，将禁止从易失性 DAC 寄存器到 DAC 抽头的传输。易失性 DAC 寄存器的值可以继续更新。

当 $\overline{LAT}$ 引脚为低电平时，易失性 DAC 寄存器的值会被传输到 DAC 抽头。

注：	这使得可以在 $\overline{LAT}$ 引脚为高电平时更新易失性 DAC0 和 DAC1 寄存器，并让输出在 $\overline{LAT}$ 引脚驱动为低电平时同步更新。

图 5-8 显示了 $\overline{LAT}$ 引脚和 DAC 抽头 x（从易失性 DAC 寄存器 x）装入数据之间的交互。数据传输是由电平驱动的。如果 $\overline{LAT}$ 引脚保持低电平，相应的 DAC 抽头会在易失性 DAC 寄存器值发生更新时立即更新。



$\overline{LAT}$	SYNC	传输数据	备注
1	1	0	无传输
1	0	0	无传输
0	1	1	易失性 DAC 寄存器 x → DAC 抽头 x
0	0	0	无传输

图 5-8： *LAT 和 DAC 的交互*

$\overline{LAT}$ 引脚使 DAC 抽头可以随外部事件发生更新，以及多个 DAC 通道 / 器件随某个公共事件发生更新。

由于 DAC 抽头 x 是从易失性 DAC 寄存器 x 中更新数据，所以可以同步更新与给定 $\overline{LAT}$ 引脚关联的所有 DAC。

如果应用不需要同步，则应将该信号保持为低电平。

图 5-9 显示了两种相对于正弦波信号的值使用 $\overline{LAT}$ 引脚控制何时更新抽头寄存器的情形。

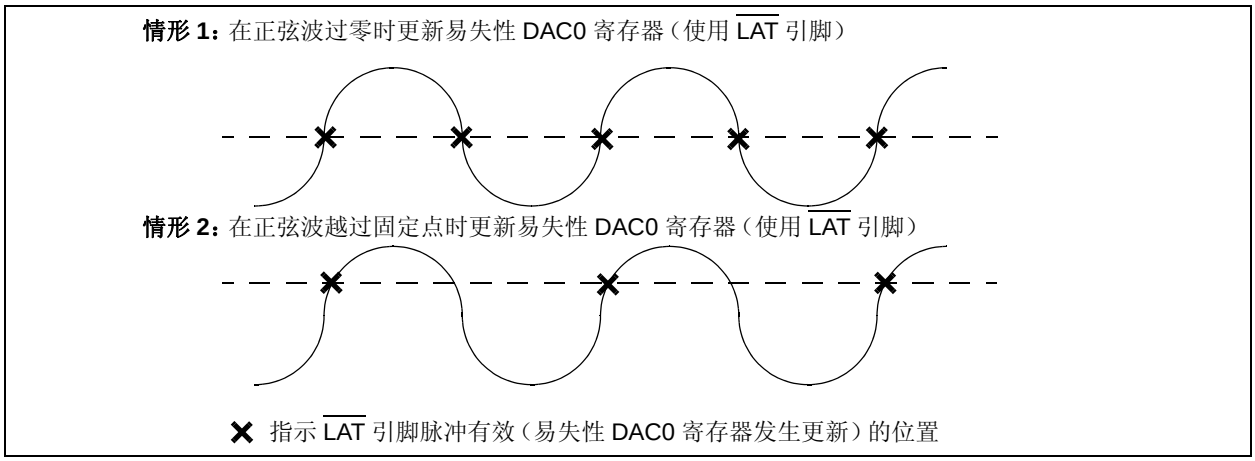


图 5-9： *使用 $\overline{LAT}$ 引脚操作的示例*

5.6 掉电操作

为了让应用在不需要 DAC 工作时可以节省功耗，器件提供了三种掉电模式。掉电配置位（PD1:PD0）用于控制掉电操作（图 5-10 和表 5-5）。在具有多个 DAC 的器件上，可单独控制每个 DAC 的掉电模式。所有掉电模式都会执行以下操作：

- 关闭 DAC 模块的大部分内部电路（输出运放和梯形电阻网络等）
- 运放输出变为对 V_{OUT} 引脚高阻
- 将梯形电阻网络与参考电压（V_{RL}）断开
- 保持易失性 DAC 寄存器和配置位、以及非易失性（EEPROM） DAC 寄存器和配置位的值

根据选定的掉电模式，将会发生以下事件：

- V_{OUT} 引脚切换为使用两个下拉电阻之一（见表 5-5）
  - 100 kΩ（典型值）
  - 1 kΩ（典型值）
- 运放掉电， V_{OUT} 引脚为高阻抗。

从 PD1:PD0 位从 00 变为 01、 10 或 11，到运放不再驱动 V_{OUT} 输出、下拉电阻吸入电流的过程之间存在一定的延时（T_{PDE}）。

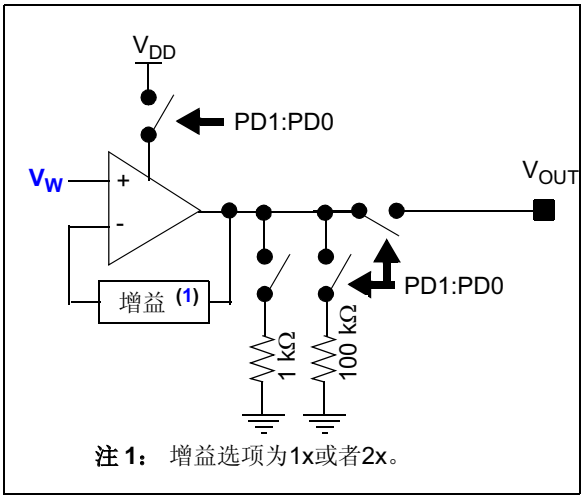
在任意一种掉电模式下， V_{OUT} 引脚不与外部连接（吸入或送出电流），单通道 DAC 器件的掉电电流的典型值约为 650 nA。随着 DAC 数量增加，器件的掉电电流也会升高。

掉电位的修改方式是，对易失性掉电寄存器执行写命令或发生 POR 事件， POR 事件会将非易失性掉电寄存器的值传输到易失性掉电寄存器。

第 7.0 节 “器件命令”介绍了用于写入掉电位的 I^2C 命令。可以更新易失性 PD1:PD0 位的命令有：

- 写命令 （正常和高电压）
- 读命令 （正常和高电压）
- 使能配置位 （高电压）
- 禁止配置位 （高电压）
- 广播呼叫复位
- 广播呼叫唤醒

注： I^2C 串行接口电路不会受掉电模式影响。该电路会保持工作，以接收任何可能来自 I^2C 主器件的命令。



注 1： 增益选项为1x或者2x。

图 5-10： *V_{OUT} 掉电框图*

表 5-5： 掉电位和输出阻性负载

PD1	PD0	功能
0	0	正常工作
0	1	1 kΩ 电阻接地
1	0	100 kΩ 电阻接地
1	1	开路

表 5-6 根据选定的 DAC 参考电压源和器件是处于正常工作模式还是掉电模式，列出了 DAC 的电流源。

表 5-6： DAC 电流源

器件 V_{DD} 电流源	PD1:0 = 00, VREF1:0 =				PD1:0 ≠ 00, VREF1:0 =			
	00	01	10	11	00	01	10	11
输出运放	Y	Y	Y	Y	N	N	N	N
梯形电阻网络	Y	Y	N(1)	Y	N	N	N(1)	N
RL 运放	N	Y	N	Y	N	N	N	N
带隙	N	Y	N	N	N	Y	N	N

注 1： 电流从 V_{REF} 引脚而不是器件 V_{DD} 送入。

© 2015 Microchip Technology Inc.

5.6.1 退出掉电模式

当器件退出掉电模式时，将发生以下事件：

- 已禁止的电路（运放和梯形电阻网络等）会被开启
- 梯形电阻网络连接到选定的参考电压（V_{RL}）
- 选定的下拉电阻会被断开
- V_{OUT} 输出会被驱动为易失性 DAC 寄存器值和配置位所代表的电压

V_{OUT} 输出信号将需要一定的时间，因为这些电路需要上电，输出电压需要驱动为由易失性 DAC 寄存器和配置位决定的指定值。

注： 由于运放和梯形电阻网络的电源先前被关闭（0V），所以运放的输入电压（V_W）可视为 0V。在 PD1:PD0 位更新为 00 和运放驱动 V_{OUT} 输出之间存在一定的延时（T_{PDD}）。此外还需要考虑运放的稳定时间（从 0V 开始），以确保 V_{OUT} 电压可以反映选定的值。

以下事件会将 PD1:PD0 位更改为 00，因而退出掉电模式。它们是：

- PD1:PD0 位为 00 的任何 I^2C 写命令。
- I^2C 广播呼叫唤醒命令。
- I^2C 广播呼叫复位命令。
  （如果非易失性 PD1:PD0 位为 00）。

5.6.2 复位命令

当 MCP47FEBXX 处于有效工作电压内时，I^2C 广播呼叫复位命令将强制发生复位事件。它与上电复位类似，只是不会启动复位延时定时器。

如果 I^2C 接口总线似乎无响应，可以使用**第 8.9 节 “软件 I^2C 接口复位序列”**所示的技术来强制 I^2C 接口发生复位。

5.7 DAC 寄存器、配置位和状态位

MCP47FEBXX 器件同时具有易失性和非易失性（EEPROM）存储器。表 4-2 显示了易失性和非易失性存储器，以及它们在发生 POR 事件时的交互。

易失性和非易失性存储器中都具有 5 个配置位和 DAC 寄存器，此外还有两个易失性状态位。DAC 寄存器（易失性和非易失性）为 12 位（MCP47FEB2X）、10 位（MCP47FEB1X）或 8 位（MCP47FEB0X）宽。

在器件最初上电时，它会自动将 EEPROM 存储器值上传到易失性存储器中。易失性存储器将决定模拟输出（V_{OUT}）引脚电压。在器件上电之后，用户可以更新器件存储器。

I^2C接口用于读写存储器。关于读写器件存储器的更多详细信息，请参见**第 6.0 节 “I^2C 串行接口模块”**和**第 7.0 节 “器件命令”**。

在写入非易失性存储器时，器件会在接收到写命令的应答脉冲时开始写入 EEPROM 单元。

寄存器 4-4 列出了器件状态位的操作，表 4-3 和表 4-4 列出了器件配置位的操作，表 4-2 列出了器件配置位在发生 POR/BOR 事件时的出厂默认值。

器件具有两个状态位。它们仅存在于易失性存储器中，用于指示器件的状态。POR 位用于指示器件 V_{DD} 是高于还是低于 POR 跳变点。在正常工作期间，该位应为 1。RDY/BSY 位用于指示 EEPROM 写周期是否正在进行中。当 RDY/BSY 位为低电平时（在 EEPROM 写操作期间），所有命令都会被忽略（读命令除外）。

6.0 I²C 串行接口模块

MCP47FEBXX 的 I²C 串行接口模块支持 I²C 串行协议规范。该 I²C 接口是双线接口 （时钟和数据）。图 6-1 显示了典型的 I²C 接口连接。

I²C 规范仅定义了帧的字段类型、字段长度和时序等方面。帧的内容将决定器件的行为。**第 7.0 节 “器件命令”** 中定义了 MCP47FEBXX 帧的内容 （命令）。

附录 B： “I²C 串行接口” 对 I²C 协议进行了概述。

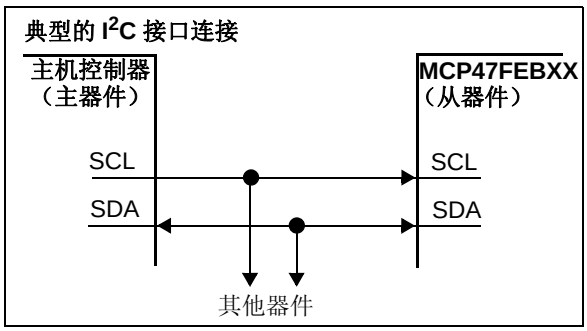


图 6-1： *典型的 I²C 接口*

6.1 概述

本节介绍 MCP47FEBXX 的 I²C 串行接口模块的一些具体特性。这是为了协助您进行应用开发。

以下几节介绍了这些特定于器件的特性中的部分特性。

- **接口引脚 （SCL 和 SDA）**
- **通信数据速率**
- **POR/BOR**
- **器件存储器地址**
- **广播呼叫命令**
- **器件 I²C 从器件寻址**
- **进入高速 （HS）模式**

6.2 接口引脚 （SCL 和 SDA）

MCP47FEBXX I²C模块的SCL引脚不会产生串行时钟，因为器件以从模式工作。此外，由于存储器读访问的速度足够快，所以 MCP47FEBXX 不会延长时钟信号（SCL）。

MCP47FEBXX I²C 模块实现了对 SDA 引脚输出驱动器的斜率控制。

6.3 通信数据速率

I²C 接口可指定不同的通信比特率。它们分别称为标准、快速和高速模式。 MCP47FEBXX 支持这三种模式。这些模式的时钟速率 （比特率）为：

- 标准模式：最高 100 kHz （kb/s）
- 快速模式：最高 400 kHz （kb/s）
- 高速模式 （HS 模式）：最高 3.4 MHz （Mb/s）

第 6.9 节 “进入高速 （HS）模式” 介绍了如何进入高速模式。

6.4 POR/BOR

发生 POR/BOR 事件时， I²C 串行接口模块状态机会发生复位，这包括将器件的存储器地址指针强制设为 00h。

6.5 器件存储器地址

存储器地址为 5 位值，它指定在器件的存储器中，指定的命令将进行操作的单元。

发生 POR/BOR 事件时，器件的存储器地址指针会被强制设为 00h。

MCP47FEBXX 会保留它接收到的最后一个 “器件存储器地址” 。即，在产生重复启动或停止条件之后，MCP47FEBXX 不会破坏 “器件存储器地址”。

6.6 广播呼叫命令

广播呼叫命令采用 I²C 规范保留的广播呼叫命令地址和命令代码。 MCP47FEBXX 还实现了非标准的广播呼叫命令。

广播呼叫命令包括

- **广播呼叫复位**
- **广播呼叫唤醒** （MCP47FEBXX 定义）

广播呼叫唤醒命令会导致所有 MCP47FEBXX 器件退出其掉电状态。

6.7 多主器件系统

MCP47FEBXX 不是主器件（产生接口时钟），但可以在多主器件应用中使用。

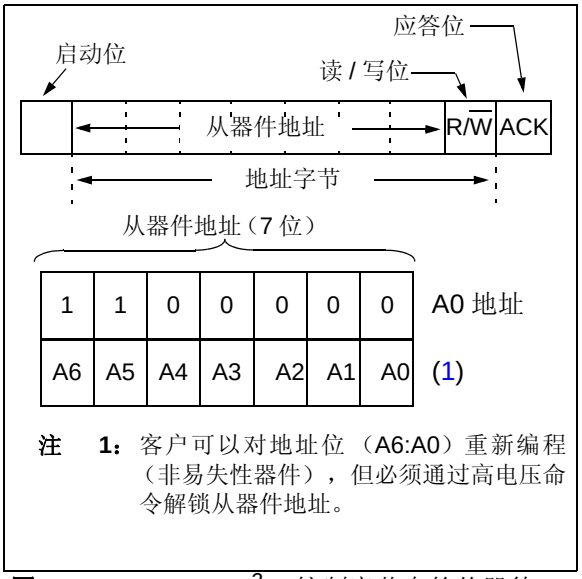
© 2015 Microchip Technology Inc.

6.8 器件 I²C 从器件寻址

MCP47FEBXX 实现了 7 位从器件寻址。地址字节是产生启动条件之后从主器件接收到的第一个字节（见图 6-2）。

从器件地址在一个非易失性寄存器（寄存器 4-5）中实现，通过从器件地址锁定（SALCK）配置位来防止意外的寄存器写操作。SALCK 配置位需要高电压（V_{IHH}）才能进行修改。必须先禁止 SALCK 配置位（见**第 7.6 节 “禁止配置位（高电压）”**），之后对非易失性从器件地址寄存器的写操作才能修改其值。

注： 修改非易失性从器件地址值（寄存器 4-5）之后，强烈建议使能 SALCK 配置位（见**第 7.5 节 “使能配置位（高电压）”**）。



注 1： 客户可以对地址位（A6:A0）重新编程（非易失性器件），但必须通过高电压命令解锁从器件地址。

图 6-2： *I²C 控制字节中的从器件地址位*

注： 不支持 I²C 10 位寻址模式。

表 6-1 列出了 4 个标准的可订购 I²C 从器件地址，以及它们相应的器件订购代码。

表 6-1： I²C 地址 / 订购代码

7 位 I²C 地址	器件订购代码 (1)	备注
1100000 (2)	MCP47FEBXXA0-E/ST	
	MCP47FEBXXA0T-E/ST	卷带式
1100001 (2)	MCP47FEBXXA1-E/ST	
	MCP47FEBXXA1T-E/ST	卷带式
1100010 (2)	MCP47FEBXXA2-E/ST	
	MCP47FEBXXA2T-E/ST	卷带式
1100011 (2)	MCP47FEBXXA3-E/ST	
	MCP47FEBXXA3T-E/ST	卷带式

注 1： 订购代码中的 xx 表示器件的分辨率和输出通道数量。

2： 最终用户可以对器件I²C从器件地址重新编程。

6.8.0.1 定制 I²C 从器件地址选项

客户可以申请定制 I²C 从器件地址选项。客户可以通过非标客户授权申请（NSCAR）流程申请定制 I²C 从器件地址。

注 1： 对于定制订单，需支付一次性工程（NRE）费用并满足最低订货要求。更多信息，请与 Microchip 销售人员联系。

2： 定制器件将分配定制器件标记。

6.9 进入高速 （HS）模式

I^2C 规范要求必须 “激活”高速模式器件之后才能以高速 （3.4 Mb/s）模式工作。实现方法是主器件在启动位之后发送一个特殊的地址字节。该字节称为高速主器件模式代码 （HSMMC）。

此时，器件就可以在 SDA 和 SCL 线上以最高 3.4 Mb/s 的速率进行通信。在产生下一个停止条件时，器件会退出 HS 模式。

主器件代码的发送形式如下：

1. 启动条件 （S）
2. 高速主器件模式代码（0000 1XXX），XXX 位对于高速 （HS）模式主器件是唯一的。
3. 无应答 （$\overline{A}$）

切换为高速模式之后，传输的下一个字节是 I^2C 控制字节 （它指定要进行通信的器件），以及任意数量的数据字节加上应答。然后，主器件可以发出重复启动位来寻址不同器件 （在高速模式下），也可以发出停止位来返回到快速 / 标准总线速度模式。在停止位之后，任意其他主器件（在多主器件系统中）都可以请求进行 I^2C 总线仲裁。

MCP47FEBXX 器件不会应答 HS 选择字节。但是，在接收该命令时，器件会切换为 HS 模式。

关于 HS 模式命令序列的图示，请参见图 6-3。

关于 HS 模式或其他 I^2C 模式的更多信息，请参见 NXP I^2C 规范。

6.9.1 斜率控制

SDA 输出的斜率控制在接口的快速 / 标准速度模式和高速时钟模式之间是不同的。

6.9.2 脉冲干扰抑制器

在 HS 模式期间，SCL 引脚上的脉冲干扰抑制器会自动进行调节，以抑制尖峰脉冲 （< 10 ns）。

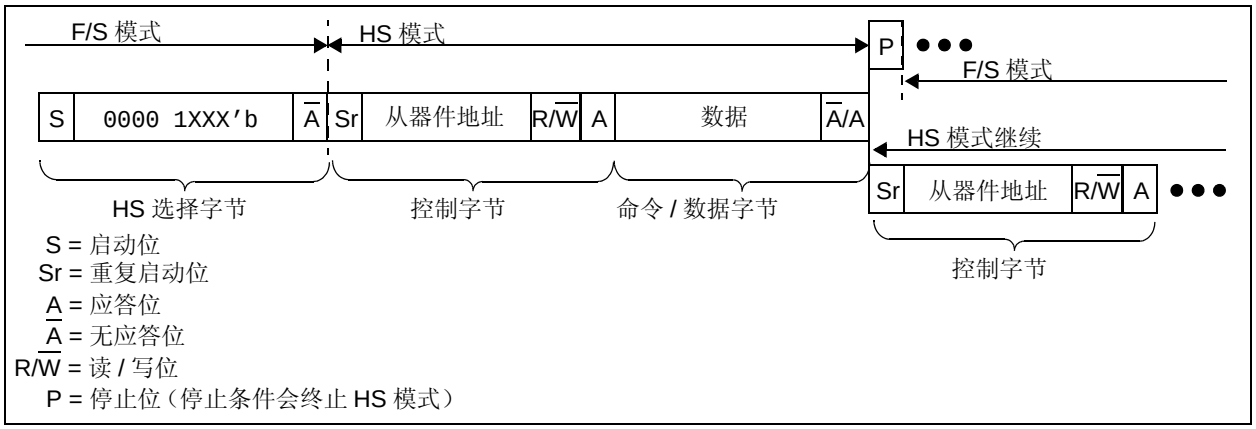


图 6-3：　　HS 模式序列

© 2015 Microchip Technology Inc.

7.0 器件命令

本节介绍器件支持的命令。

命令可以分为以下几类：

- 写命令 （正常和高电压）（C1:C0 = 00）
- 读命令 （正常和高电压）（C1:C0 = 11）
- 广播呼叫命令
- 修改器件配置位命令
  （HVC = V_{IHH}）
  - 使能配置位 （C1:C0 = 10）
  - 禁止配置位 （C1:C0 = 01）

表 7-1 列出了支持的命令。这些命令允许单次数据或连续数据操作。连续数据操作意味着，I^2C 主器件不会产生停止位，而是重复所需的数据 / 时钟。由于消除了 I^2C 控制字节的开销，这可以支持更快速的更新。表 7-1 还列出了每个命令的不同工作模式所需的位时钟数。

7.0.1 中止发送

预期数据位单元中的重复启动或停止条件会中止当前命令序列，并且如果命令是写操作，数据字将不会写入 MCP47FEBXX。此外， I^2C 状态机会发生复位。

如果条件是重复启动 （启动），则预期的下一个字节是从器件地址字节。

如果条件是停止，则器件会监视启动条件。

表 7-1： 器件命令 —— 时钟数

命令					位时钟数(1)	数据更新速率（8 位 /10 位 /12 位）（数据字 / 秒）			备注
操作	代码		HV	模式 (6)					
	C1	C0				100 kHz	400 kHz	3.4 MHz(5)	
写命令 （正常和高电压）	0	0	(3)	单次	38	2,632	10,526	89,474	
	0	0	(3)	连续	27n + 11	3,559	14,235	120,996	对于 10 个数据字
读命令 （正常和高电压）(2)	1	1	(3)	随机	48	2,083	8,333	70,833	
	1	1	(3)	连续	18n + 11	4,762	19,048	161,905	对于 10 个数据字
	1	1	(3)	最后一个地址	29	3,448	13,793	117,241	
广播呼叫复位命令	—	—	(3)	单次	20	5,000	20,000	170,000	注 4
广播呼叫唤醒命令	—	—	(3)	单次	20	5,000	20,000	170,000	注 4
使能配置位 （高电压）命令	1	0	是	单次	20	5,000	20,000	170,000	
	1	0	是	连续	9n + 11	9,901	39,604	336,634	对于 10 个数据字
禁止配置位 （高电压）命令	0	1	是	单次	20	5,000	20,000	170,000	
	0	1	是	连续	9n + 11	9,901	39,604	336,634	对于 10 个数据字

注 1： “n”表示命令操作的重复次数。
2： 该命令对于确定 EEPROM 编程周期何时完成很有用。
3： 该命令可以为正常电压或高电压。
4： 由 I^2C 广播呼叫地址之后的广播呼叫命令字节决定。
5： 进入 3.4 MHz 模式需要一个最低限度的开销。
6： 非易失性寄存器只能使用 “单次”模式。

7.1 写命令（正常和高电压）

写命令用于将数据传输到所需的存储单元（从主机控制器）。对于易失性和非易失性存储单元都可以发出写命令。

写命令可以构造为单次或连续。连续格式可以对器件存储单元实现更快速的数据更新速率，但非易失性存储单元不支持该格式。

图 7-1（单次）和图 7-3（连续）显示了命令的格式。关于示例 ACK/NACK 行为，请参见图 7-2。

接收到格式正确的写命令和 A/$\overline{A}$ 时钟之后，针对易失性存储单元的写命令会更改该单元的内容。

只有接收到格式正确的写命令，并且出现停止条件之后，针对非易失性存储单元的写命令才会启动 EEPROM 写周期。

注 1： 对某些存储单元的写操作将取决于 WiperLock 技术状态位的状态。

2： 在器件通信期间，如果器件地址 / 命令组合无效，或指定了未实现的器件地址，MCP47FEBXX 将对该字节产生 NACK。要复位 I^2C 状态机，I^2C 通信必须检测到启动位。

7.1.1 单次写入易失性存储器

对于易失性存储单元，数据将在每次数据字传输之后（在应答期间）写入 MCP47FEBXX。如果在数据传输期间产生了停止或重复启动条件（应答之前），数据将不会写入 MCP47FEBXX。在 A 位之后，主器件可以使用停止或重复启动条件启动下一个序列。

关于字节写序列的信息，请参见图 7-1。

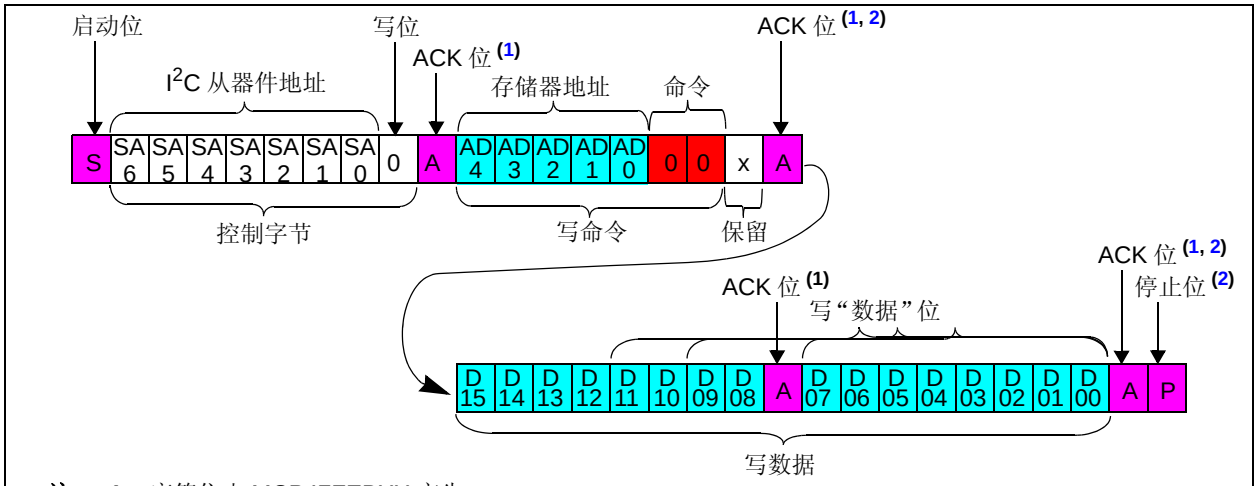
7.1.2 单次写入非易失性存储器

单次写入非易失性存储单元的序列与单次写入易失性存储器的序列基本相同，只是 EEPROM 写周期（t_{WC}）是在接收到格式正确的命令（包括停止位）之后启动。在出现停止条件之后，可以通过产生启动条件来立即重新使能串行接口。

在 EEPROM 写周期期间，允许使用适当的命令序列访问易失性存储器。寻址非易失性存储器的命令会被忽略，直到 EEPROM 写周期（t_{WC}）完成为止。这使主机控制器可以对易失性 DAC 寄存器进行操作。

注： EEWA 状态位可以指示 EEPROM 写周期是否处于活动状态（见寄存器 4-4）。

图 7-1 给出了单次写操作的波形。



注 1： 应答位由 MCP47FEBXX 产生。

2： 在写命令 ACK 位的 SCL 引脚下降沿， MCP47FEBXX 器件更新指定器件寄存器的值。

3： 该命令序列不需要终止（使用停止位），并且可以重复写命令（请参见连续写格式，**第 7.1.3 节 “连续写入易失性存储器”**）。

图 7-1： *写随机地址命令（易失性和非易失性存储器）*

© 2015 Microchip Technology Inc.

7.1.3 连续写入易失性存储器

在写入器件的易失性存储器寄存器时，可以使用连续写工作模式（见表）。这种连续写模式允许在不出现停止或重复启动条件，或者重复发送 I^2C 控制字节的情况下进行写操作。图 7-3 给出了 3 次连续写操作的序列。写操作不需要针对同一易失性存储器地址。该序列以主系统发送停止或重复启动条件结束。

表 7-1： 易失性存储器地址

地址	单通道	双通道
00h	有	有
01h	**无**	有
08h	有	有
09h	有	有
0Ah	有	有

7.1.4 连续写入非易失性存储器

如果对非易失性存储器尝试执行连续写操作，则缺失的停止条件会导致命令成为错误条件（$\overline{A}$）。需要使用启动位来复位命令状态机。

7.1.5 高电压命令（HVC）信号

高电压命令（HVC）信号用于指示命令或命令序列处于高电压操作状态。通过高电压命令，可以使能和禁止器件的 WiperLock 技术和写保护功能。

注： 只有 LAT（HVC）引脚从 V_{IHHEN} 电压变为 V_{IL} 电压时，写入易失性 DAC 寄存器的数据才会传输到输出寄存器。

写 1 字节命令

	S	从器件地址	R/W	ACK	命令	ACK	数据字节								ACK	数据字节								ACK	P
主器件	S	SAA6 SAA5 SAA4 SAA3 SAA2 SAA1 SAA0	0	1	AADD4 AADD3 AADD2 AADD1 AADD0 CC10 x	ACK	D15	D14	D13	D12	D11	D10	D09	D08	1	D07	D06	D05	D04	D03	D02	D01	D00	1	P

示例 1（无命令错误）

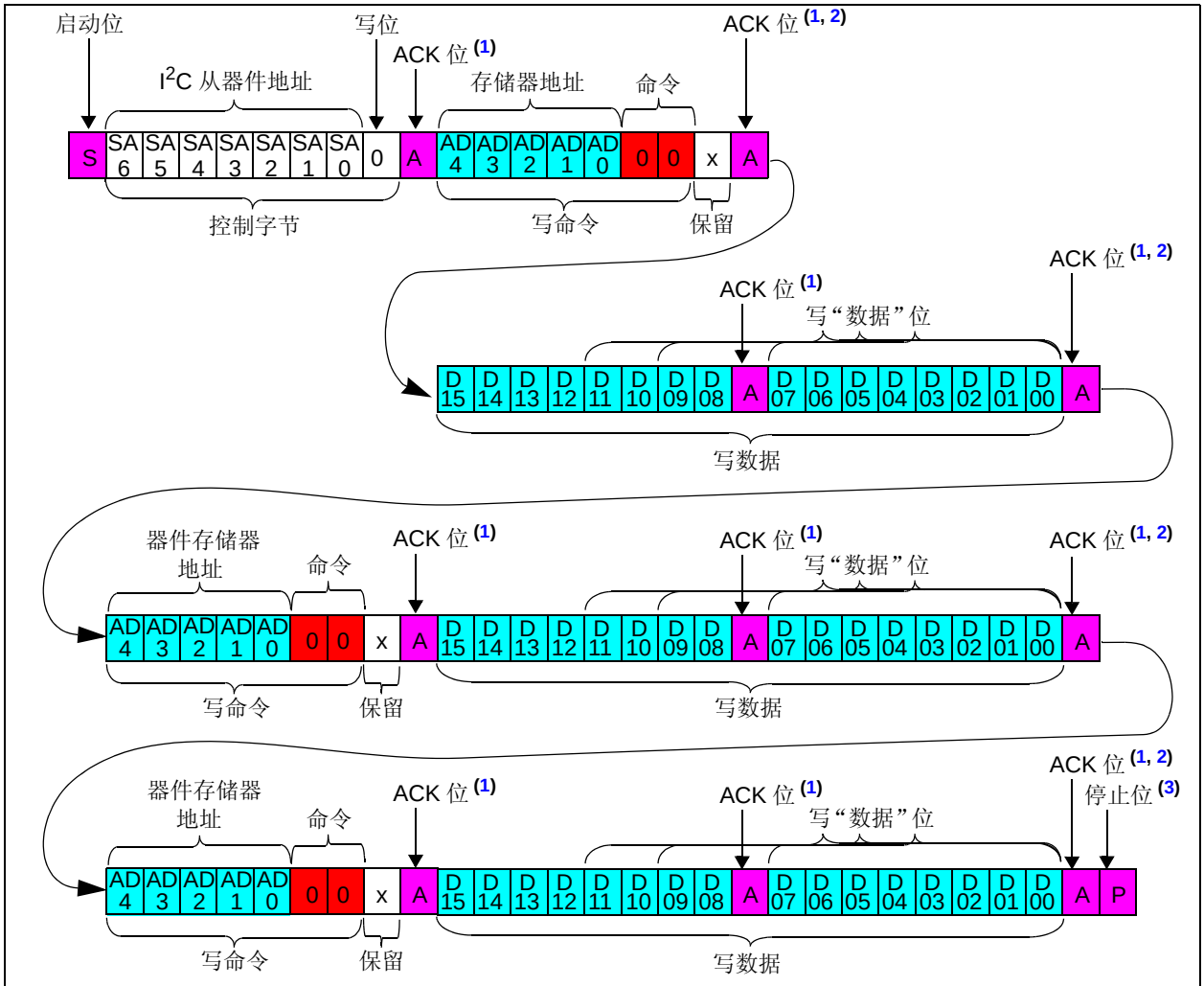
主器件	S	1	1	0	0	0	0	0	0	1	0	0	0	0	1	0	0	x	1	d	d	d	d	d	d	d	d	1	d	d	d	d	d	d	d	d	1	P
MCP47FEBXXA0									0										0									0									0	
I^2C 总线	S	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	x	0	d	d	d	d	d	d	d	d	0	d	d	d	d	d	d	d	d	0	P

示例 2（命令错误）

主器件	S	1	1	0	0	0	0	0	0	1	0	1	1	1	1	0	0	x	1	d	d	d	d	d	d	d	d	1	d	d	d	d	d	d	d	d	1	P
MCP47FEBXXA0									0										1									1									1	
I^2C 总线	S	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	x	0	d	d	d	d	d	d	d	d	1	d	d	d	d	d	d	d	d	1	P

注： 发生命令错误之后（示例 2），MCP47FEBXX 将产生 NACK，直到出现启动条件为止。

图 7-2： I^2C ACK/NACK 行为（写命令示例）



注 **1：** 应答位由 MCP47FEBXX 产生。

2： 在写命令 ACK 位的 SCL 引脚下降沿， MCP47FEBXX 器件更新指定器件寄存器的值。

3： 该命令序列不需要终止 （使用停止位），并且可以重复写命令 （请参见连续写格式，**第 7.1.3 节 “连续写入易失性存储器”**）。

4： 仅在写入易失性寄存器 （AD4:AD0 = 00h 至 0Ah）时起作用。

图 7-3： *连续写命令 （仅易失性存储器）*

© 2015 Microchip Technology Inc.

7.2 读命令 （正常和高电压）

读命令用于将数据从指定存储单元传输数据（到主机控制器）。对于易失性和非易失性存储单元都可以发出读命令。

在 EEPROM 写周期期间 （写入非易失性存储单元或使能 / 禁止配置位命令），读命令只能读取易失性存储单元。通过读取状态寄存器 （0Ah），主机控制器可以确定写周期何时完成 （通过 EEWA 位的状态）。

读命令格式包括：

- **单次读**
  - **单个存储器地址**
  - **访问的上一个存储器地址**
- **连续读**

MCP47FEBXX 会保留它接收到的最后一个器件存储器地址。即，在产生重复启动或停止条件之后，MCP47FEBXX 不会破坏器件存储器地址。

如果地址指针指向非易失性存储单元，并且正处于非易失性写周期 （t_{WC}）期间， MCP47FEBXX 将使用 A 位进行响应。

注	**1：**	在器件通信期间，如果器件地址 / 命令组合无效，或指定了未实现的地址，MCP47FEBXX 将对该字节产生 NACK。要复位 I^2C 状态机， I^2C 通信必须检测到启动位。
	2：	如果 LAT 引脚为高电平 （V_{IH}），则易失性 DAC 寄存器的读操作将读取输出值，而不是内部寄存器的值。
	3：	无论高电压命令 （HVC）信号的状态如何，读命令的操作都是相同的。

7.2.1 单次读

读命令格式会写入两个字节，即控制字节和读命令字节（所需的存储器地址和读命令），然后发出重复启动条件。然后，将会发送第二个控制字节，但该控制字节会指示 I^2C 读操作 （R/W 位 = 1）。

7.2.1.1 单个存储器地址

图 7-4 显示了读取指定存储器地址的序列。

7.2.1.2 访问的上一个存储器地址

图 7-5 显示了单次读取访问的上一个存储单元的波形。

在检查 EEPROM 写操作有效（EEWA）位（见寄存器 4-4）的状态时，如果该器件上一个命令的寄存器地址是 0Ah，则该命令可以进行更快速的通信。

7.2.2 连续读

连续读使得可以快速读取器件存储器的内容。连续读可以针对所有存储单元执行。如果正在执行非易失性存储器写周期，则读命令只能访问易失性存储单元。

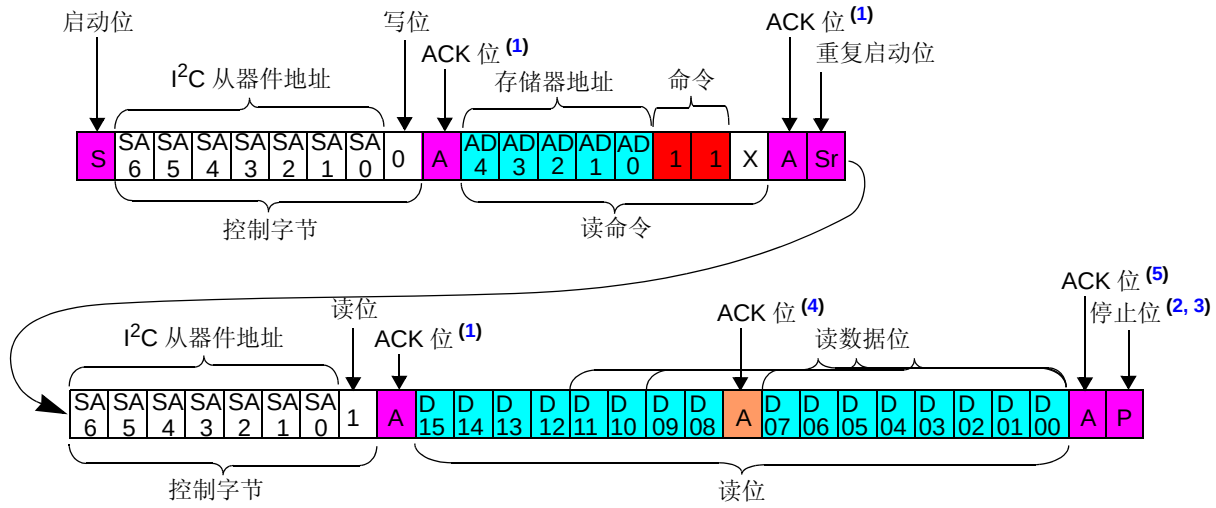
图 7-7 给出了 3 次连续读操作的序列。

对于连续读操作，在传输数据之后，主器件会连续读取数据字节，而不是发送停止或重复启动条件。序列以主器件产生无应答并发送停止或重复启动条件而结束。

这对于通过读取系统状态寄存器（0Ah）来确定 EEPROM 写周期是否已完成 （EEWA 位）非常有用。

7.2.3 忽略 I^2C 数据发送并 “脱离” 总线

MCP47FEBXX 总是预期接收到完整、有效的 I^2C 命令，并假定任何未定义为有效命令的命令都是由于总线数据损坏而产生的，因而此时 SDA 信号会进入被动高电平状态。所有信号都会被忽略，直到接收到下一个有效的启动条件和控制字节为止。



注 **1：** 应答位由 MCP47FEBXX 产生。

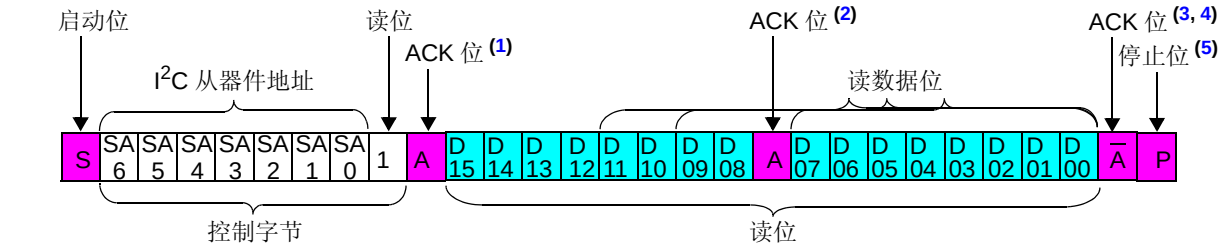
2： 在读命令 ACK 位的 SCL 引脚下降沿， MCP47FEBXX 器件更新指定器件寄存器的值。

3： 该命令序列不需要终止 （使用停止位），并且可以重复读命令 （请参见连续读格式，**第 7.2.2 节 “连续读”**）。

4： 主器件负责产生 A/$\overline{A}$ 信号。如果出现 $\overline{A}$ 信号， MCP47FEBXX 将会中止该传输并释放总线。

5： 主器件将产生无应答， MCP47FEBXX 将会释放总线，从而主器件可以产生停止或重复启动条件。

图 7-4： *读命令 —— 单个存储器地址*



注 **1：** 应答位由 MCP47FEBXX 产生。

2： 主器件负责产生 A/$\overline{A}$ 信号。如果出现 $\overline{A}$ 信号， MCP47FEBXX 将会中止该传输并释放总线。

3： 主器件将产生无应答， MCP47FEBXX 将会释放总线，从而主器件可以产生停止或重复启动条件。

4： 在读命令 ACK 位的 SCL 引脚下降沿， MCP47FEBXX 器件更新指定器件寄存器的值。

5： 该命令序列不需要终止 （使用停止位），并且可以重复读命令 （请参见连续读格式，**第 7.2.2 节 “连续读”**）。

图 7-5： *读命令 —— 访问的上一个存储器地址*

© 2015 Microchip Technology Inc.

写 1 字节命令

	S	从器件地址	R/W	ACK	命令	ACK
主器件	S	SA6 SA5 SA4 SA3 SA2 SA1 SA0	0	1	AD4 AD3 AD2 AD1 AD0 C1 C0 x	1

	Sr	从器件地址	R/W	ACK	数据字节	ACK	数据字节	ACK	P
主器件 （续）	Sr	SA6 SA5 SA4 SA3 SA2 SA1 SA0	1	1	D15 D14 D13 D12 D11 D10 D09 D08	1	D07 D06 D05 D04 D03 D02 D01 D00	1	P

示例 1 （无命令错误）

主器件	S	1	1	0	0	0	0	0	0	1	0	0	0	0	1	1	1	x	1														
MCP47FEBXXA0									0										0														
I²C 总线	S	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	x	0														
主器件 （续）									S	0	0	0	0	1	0	0	1	1								1						1	P
MCP47FEBXXA0 （续）																			0	d	d	d	d	d	d	d	d	0	d	d	d	d	d	d	d	d	0
I²C 总线 （续）	S	0	0	0	0	0	0	0	1	0	d	d	d	d	d	d	d	d	0	d	d	d	d	d	d	d	d	0	P					

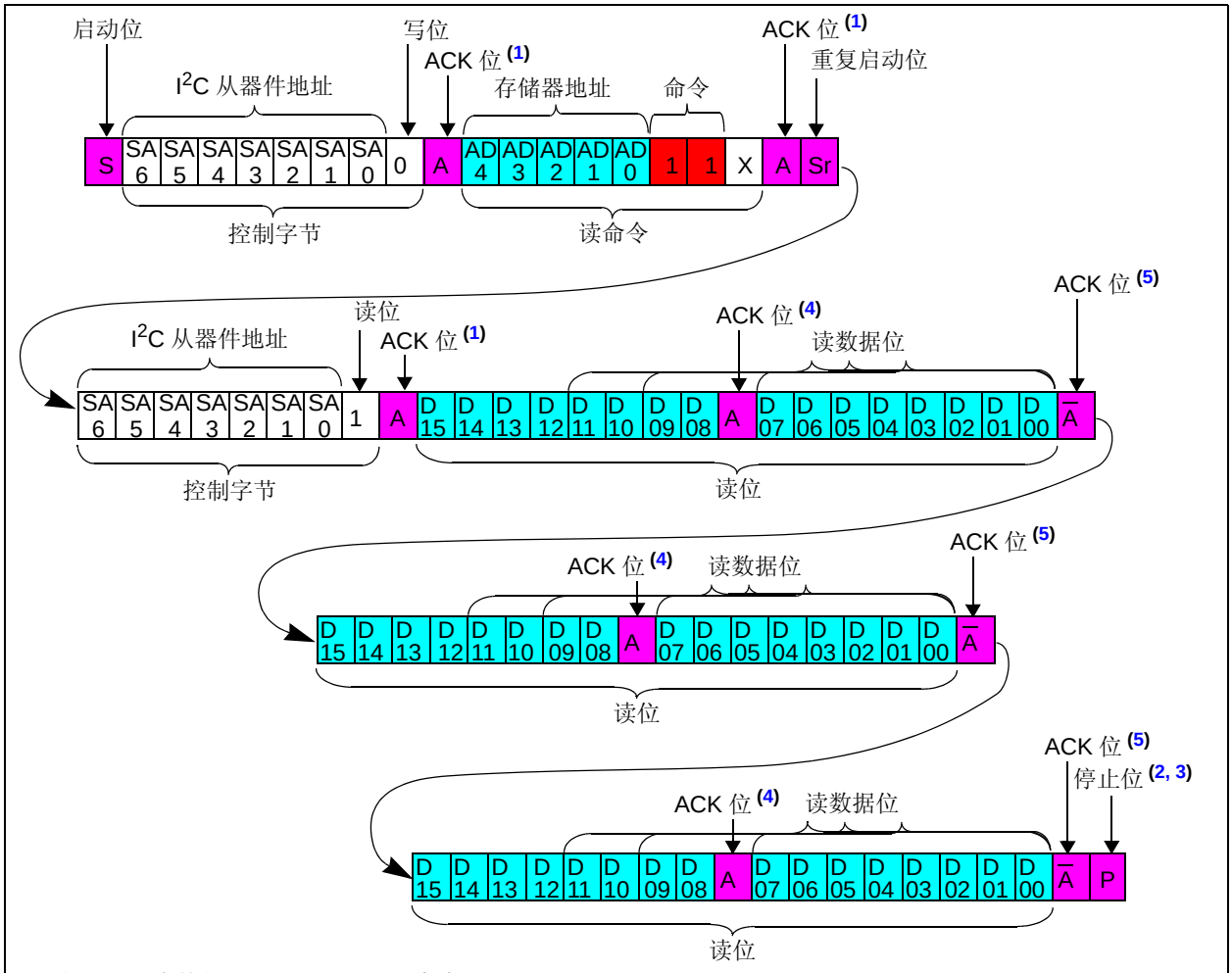
示例 2 （带命令错误）

主器件	S	1	1	0	0	0	0	0	0	1	0	1	1	1	1	0	0	x	1														
MCP47FEBXXA0									0										1														
I²C 总线	S	1	1	0	0	0	0	0	0	0	1	1	1	1	0	0	x	1															
主器件 （续）									S	1	1	0	0	0	0	0	1	1								1						1	P
MCP47FEBXXA0 （续）																			0	?	?	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?	1
I²C 总线 （续）	S	1	1	0	0	0	0	0	1	0	?	?	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?	1	P					

注 1： 发生命令错误之后 （示例 2）， MCP47FEBXX 将产生 NACK，直到出现启动条件为止。

2： 对于命令错误情形 （示例 2），读取的数据来自对应于装入器件的最后一个有效地址的寄存器。

图 7-6： *I^2C ACK/NACK 行为 （读命令示例）*



注 **1：** 应答位由 MCP47FEBXX 产生。

2： 在读命令 ACK 位的 SCL 引脚下降沿， MCP47FEBXX 器件更新指定器件寄存器的值。

3： 该命令序列不需要终止 （使用停止位），并且可以重复读命令 （请参见连续读格式，**第 7.2.2 节 “连续读”**）。

4： 主器件负责产生 A/$\overline{A}$ 信号。如果出现 $\overline{A}$ 信号， MCP47FEBXX 将会中止该传输并释放总线。

5： 主器件将产生无应答， MCP47FEBXX 将会释放总线，从而主器件可以产生停止或重复启动条件。

图 7-7： *指定地址的连续读命令*

© 2015 Microchip Technology Inc.

7.3 广播呼叫命令

MCP47FEBXX 会应答广播呼叫地址命令（第 1 个字节中为 00h）。广播呼叫命令可以用于与 I^2C 总线上理解广播呼叫命令的所有器件（同时）进行通信。广播呼叫地址的含义总是在第二个字节中指定（见图 7-8）。

如果第二个字节的 LSb 为 1，规范意在使用它来表示“硬件广播呼叫”。MCP47FEBXX 将忽略该字节和所有后续字节（以及 $\overline{A}$），直到遇到停止位（P）为止。

MCP47FEBXX 器件支持以下 I^2C 广播呼叫命令：

- **广播呼叫复位**（06h）
- **广播呼叫唤醒**（0Ah）

广播呼叫复位命令格式是由 I^2C 规范规定的。广播呼叫唤醒命令是 Microchip 定义的格式。广播呼叫唤醒命令会将所有器件唤醒（即，退出掉电模式）。

不支持其他两个 I^2C 规范命令代码（04h 和 00h），因此对于这两个命令会产生无应答。

如果这些 7 位命令与总线上的其他 I^2C 器件发生冲突，则客户需要两条 I^2C 总线，并确保器件处于所需应用功能的正确总线上。

注： 关于广播呼叫规范的更多详细信息，请参见 NXP 规范 #UM10204（版本 03，2007 年 6 月 19 日）文档。I^2C 规范不允许第 2 个字节为 00000000（00h）。

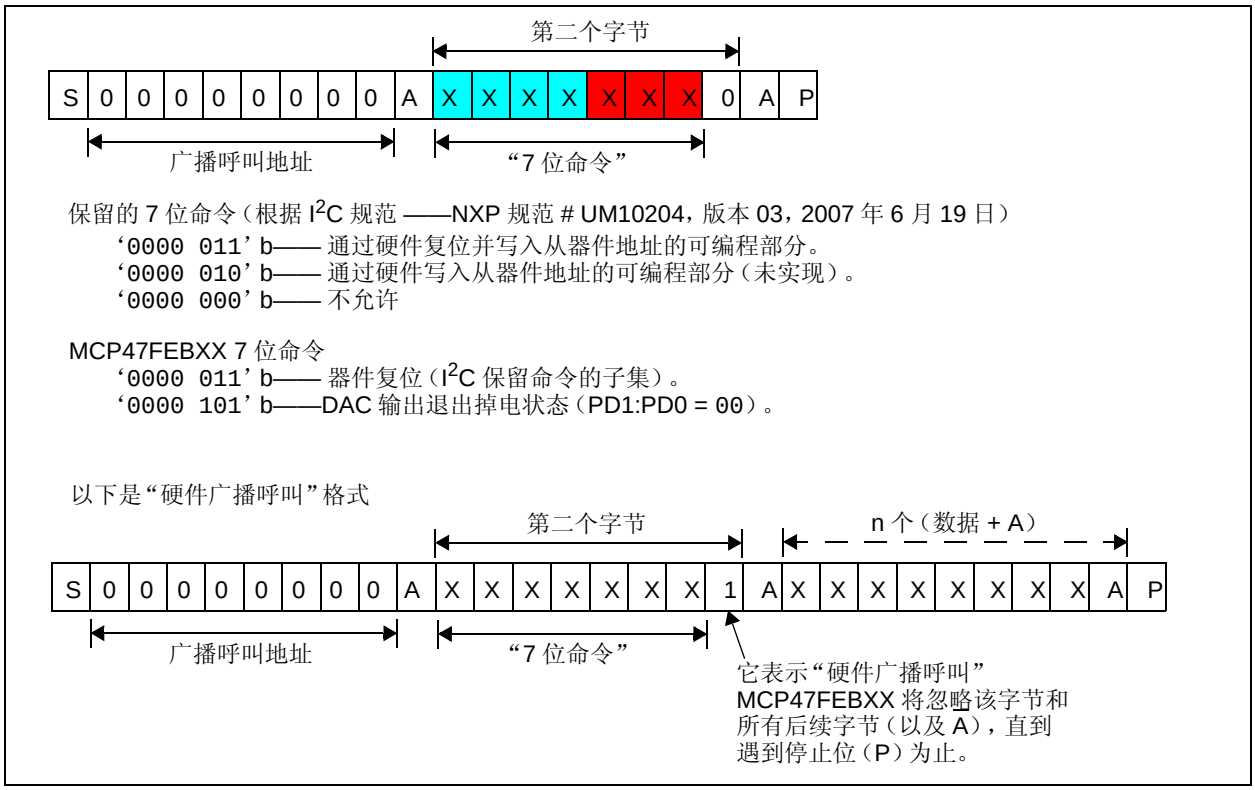


图 7-8： *广播呼叫格式*

7.3.1 广播呼叫复位

I^2C 广播呼叫复位命令会强制产生复位事件。它与上电复位类似，只是不会启动复位延时定时器。通过该命令可以使多个 MCP47FEBXX 器件同步复位。

如果第 2 个字节为 `00000110`（06h），则器件会执行广播呼叫复位。在应答该字节时，器件会中止当前的转换并执行以下任务：

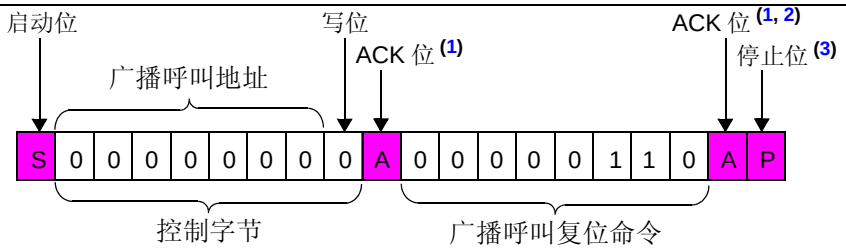
- 类似于上电复位（POR）的内部复位。将 EEPROM 的内容装入 DAC 寄存器，并且模拟输出立即可供使用（在应答脉冲之后）。
- V_{OUT} 将立即可供使用，但需要经过应答脉冲之后的一个短暂延时。V_{OUT} 值由 EEPROM 内容决定。

7.3.2 广播呼叫唤醒

I^2C 广播呼叫唤醒命令会强制器件从掉电状态退出（强制将 PDxB:PDxA 位设为 `00`）。通过该命令可以使多个 MCP47FEBXX 器件同步唤醒。

如果（广播呼叫地址之后）第 2 个字节为 `00001010`（0Ah），则器件会执行广播呼叫唤醒。在应答该字节时，器件将执行以下任务：

- 强制将器件的易失性掉电位（PDxB:PDxA）设为 `00`。非易失性（EEPROM）掉电位值不受该命令影响。

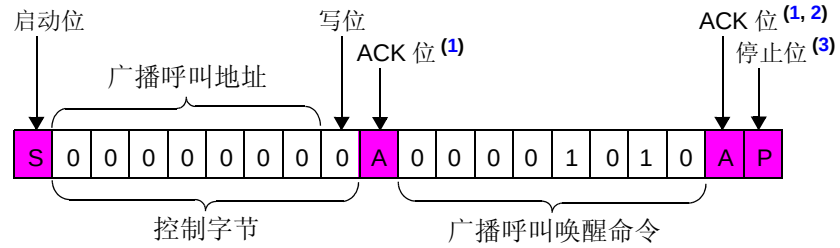


注 **1：** 应答位由 MCP47FEBXX 产生。

2： 在广播呼叫唤醒命令 ACK 位的 SCL 引脚下降沿， MCP47FEBXX 器件发生复位。

3： 该命令序列不需要终止（使用停止位），并且可以重复广播呼叫唤醒命令，或者也可以发送广播呼叫复位命令。

图 7-9： *广播呼叫复位命令*



注 **1：** 应答位由 MCP47FEBXX 产生。

2： 在广播呼叫唤醒命令ACK位的SCL引脚下降沿，易失性掉电位（PDxB:PDxA）会被强制设为`00`。

3： 该命令序列不需要终止（使用停止位），并且可以重复广播呼叫唤醒命令，或者也可以发送广播呼叫复位命令。

图 7-10： *广播呼叫唤醒命令*

© 2015 Microchip Technology Inc.

7.4 修改器件配置位命令

这些命令用于对器件配置位进行编程。这些命令要求 HVC 引脚上具有高电压（V_{IHH}）。

MCP47FEBXX 器件支持修改器件配置位命令：

- 使能配置位（高电压）
- 禁止配置位（高电压）

这些配置位用于防止 DAC 值发生意外修改。需要修改 DAC 值时，需要通过高电压来更改这些位的状态。

7.5 使能配置位（高电压）

图 7-11（使能）显示了单次修改写保护或 WiperLock 技术命令的格式。

只有接收到格式正确的命令和出现停止条件之后，修改写保护或 WiperLock 技术命令才会启动 EEPROM 写周期（t_{WC}）。

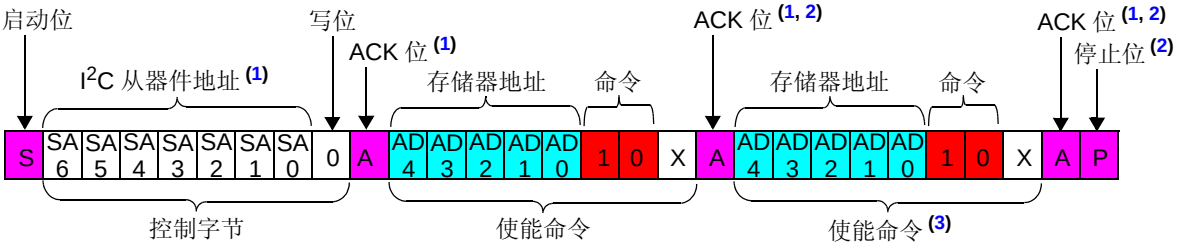
在 EEPROM 写周期期间，仅接受针对易失性存储器的串行命令。所有其他串行命令都会被忽略，直到 EEPROM 写周期（t_{WC}）完成为止。这使主机控制器可以对易失性 DAC 寄存器、易失性 V_{REF} 寄存器、掉电寄存器、增益和状态寄存器以及 WiperLock 技术状态寄存器进行操作。状态寄存器中的 EEWA 位可以指示 EEPROM 写周期的状态。

7.5.1 高电压命令（HVC）信号

高电压命令（HVC）信号用于指示命令或命令序列处于高电压模式。HVC 引脚上的信号 >V_{IHH}（~9.0V）时，器件会进入高电压模式。通过高电压命令，可以使能和禁止器件的 WiperLock 技术和写保护功能。

注 1： 在 HVC 引脚驱动为 V_{IHH} 电压到 SCL 引脚出现第一个边沿之间需要一定的延时。

2： 对于指定地址，命令序列能从递增命令到任何其他有效命令。对非易失性单元发出递增或递减命令会导致错误条件（将会产生 A）。



注 1： 从器件地址由非易失性增益和 I^2C 7 位从器件地址寄存器决定。默认出厂地址为 `110 0000b`（带写操作的控制字节为 C0h，带读操作的控制字节为 C1h）。

2： 该命令序列不需要终止（使用停止位），并且可以更改为任何其他需要的命令序列（禁止、读或写）。

3： 该命令字节不是必需的，停止位可以在该序列中第二个 ACK 位后立即出现。

图 7-11： *I^2C 使能命令序列*

7.6 禁止配置位 （高电压）

图 7-12 （禁止）显示了单次修改写保护或 WiperLock 技术命令的格式。

只有接收到格式正确的命令和出现停止条件之后，修改写保护或 WiperLock 技术命令才会启动 EEPROM 写周期 （t_{WC}）。

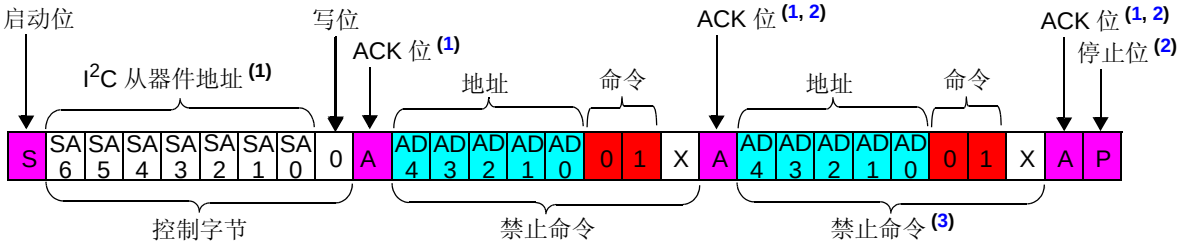
在 EEPROM 写周期期间，仅接受针对易失性存储器的串行命令。所有其他串行命令都会被忽略，直到 EEPROM 写周期 （t_{WC}）完成为止。这使主机控制器可以对易失性 DAC 寄存器、易失性 V_{REF} 寄存器、掉电寄存器、增益和状态寄存器以及 WiperLock 技术状态寄存器进行操作。状态寄存器中的 EEWA 位可以指示 EEPROM 写周期的状态。

7.6.1 高电压命令 （HVC）信号

高电压命令 （HVC）信号用于指示命令或命令序列处于高电压模式。 HVC 引脚上的信号 >V_{IHH} （~9.0V）时，MCP47FEBXX 器件会进入高电压模式。通过高电压命令，可以使能和禁止器件的 WiperLock 技术和写保护功能。

注 1： 在 HVC 引脚驱动为 V_{IHH} 电压到 SCL 引脚出现第一个边沿之间需要一定的延时。

2： 对于指定地址，命令序列能从递增命令到任何其他有效命令。对非易失性单元发出递增或递减命令会导致错误条件（将会产生 A）。



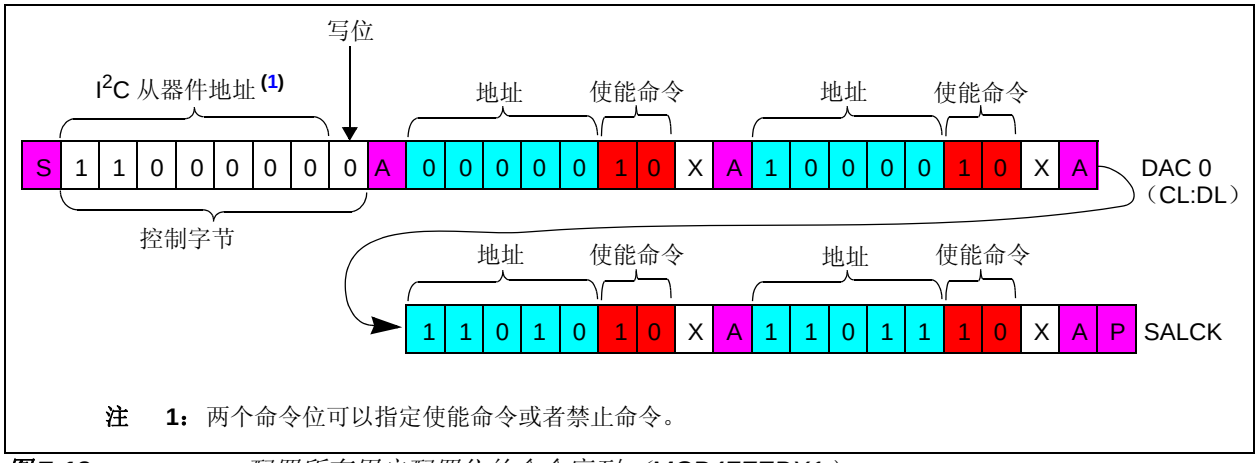
注 1： 从器件地址由非易失性增益和 I2C 7 位从器件地址寄存器决定。默认出厂地址为 `110 0000b` （带写操作的控制字节为 C0h，带读操作的控制字节为 C1h）。

2： 该命令序列不需要终止 （使用停止位），并且可以更改为任何其他需要的命令序列 （使能、读或写）。

3： 该命令字节不是必需的，停止位可以在该序列中第二个 ACK 位后立即出现。

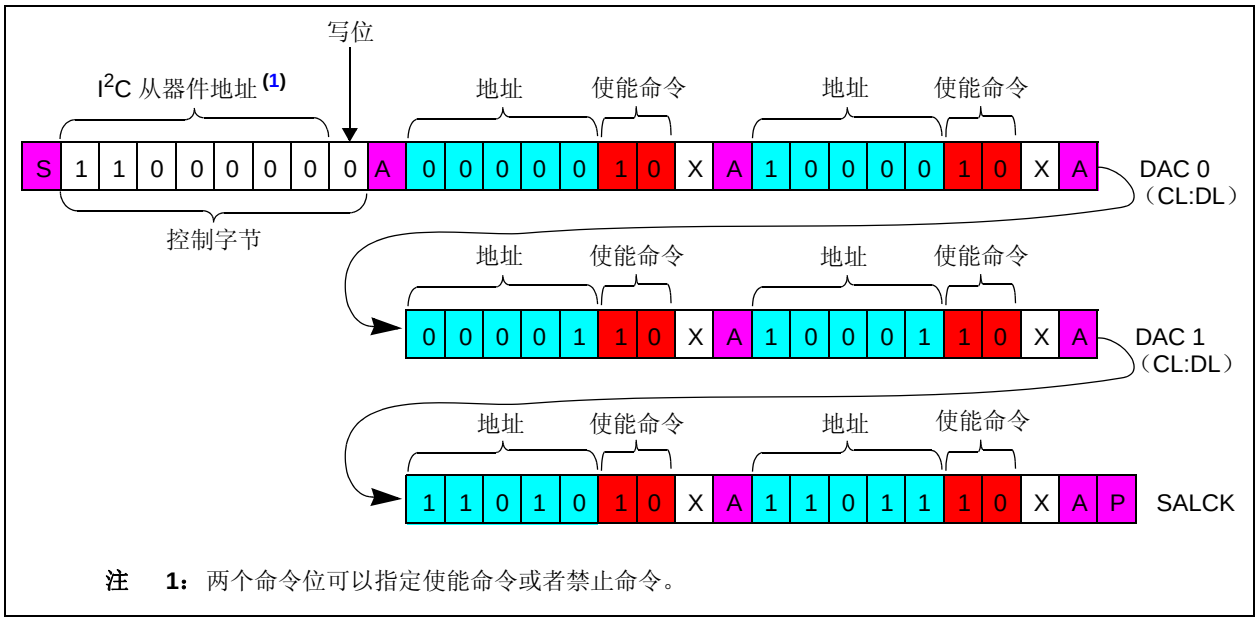
图 7-12： *I^2C 禁止命令序列*

© 2015 Microchip Technology Inc.



注 **1：** 两个命令位可以指定使能命令或者禁止命令。

图 7-13： *配置所有用户配置位的命令序列（MCP47FEBX1）*



注 **1：** 两个命令位可以指定使能命令或者禁止命令。

图 7-14： *配置所有用户配置位的命令序列（MCP47FEBX2）*

注：

© 2015 Microchip Technology Inc.

8.0 典型应用

MCP47FEBXX 系列器件是通用的单 / 双通道电压输出 DAC，适用于需要进行高精度操作并要求低功耗和非易失性 EEPROM 存储器的各种应用。

由于器件包含了非易失性 EEPROM 存储器，用户可以将这些器件用于要求输出在后续上电时恢复为先前设置值的应用。

适合使用这些器件的应用有：

- 设置点或失调微调
- 传感器校准
- 便携式仪器 （电池供电）
- 电机控制

8.1 使用上拉电阻连接至 I²C 总线

MCP47FEBXX 器件的 SCL 和 SDA 引脚采用漏极开路配置。这些引脚需要一个上拉电阻，如图 8-2 所示。

SCL 和 SDA 引脚的上拉电阻值 （R_1 和 R_2）取决于工作速度 （标准、快速和高速）和 I^2C 总线线路的负载电容。上拉电阻的阻值越高，功耗就越低，但总线线路上的信号转换时间会上升（RC 时间常数变大）。因此，它会限制总线的工作速度。另一方面，电阻值越低，功耗就越高，但支持更高的工作速度。如果总线线路由于金属走线很长或多个器件连接到总线线路上而具有较高的电容，则需要使用一个较小的上拉电阻来对较大的 RC 时间常数进行补偿。对于标准和快速模式，上拉电阻通常选择 1 kΩ 和 10 kΩ 之间的范围；对于高速模式，通常选择小于 1 kΩ。

8.1.1 器件连接测试

用户可以通过简单的 I^2C 命令来测试 I^2C 总线线路上是否存在器件。该测试的实现方式是：先发送一条读命令或写命令，之后检查来自器件的应答响应。图 8-1 给出了一个使用读命令的示例。步骤包括：

1. 在器件的地址字节中，将 R/$\overline{W}$ 位设置为 “高电平”。
2. 检查地址字节的 ACK 位。
   如果器件应答 （ACK = 0）命令，则说明器件已连接。否则，说明器件未连接。
3. 发送停止位。

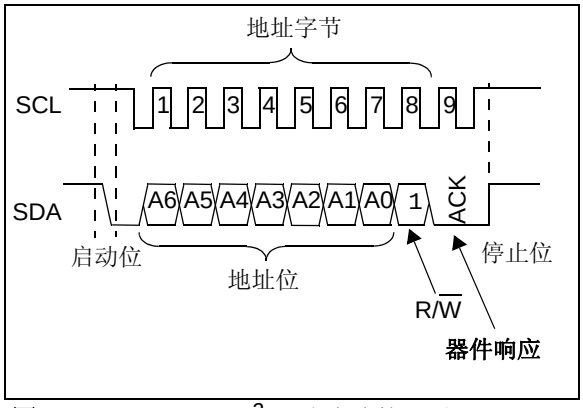
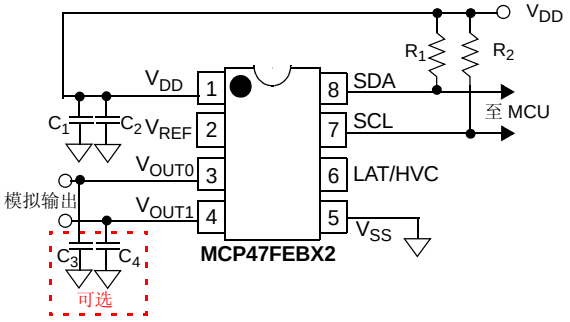


图 8-1： *I^2C 总线连接测试*

8.2 电源注意事项

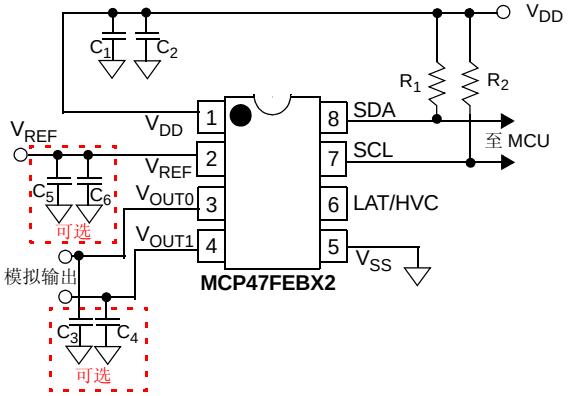
电源应尽可能纯净。如果选择内部 V_{DD} 作为梯形电阻网络参考电压（VRxB:VRxA = 00），则器件的电源也在内部用作 DAC 参考电压。

在 V_{DD} 线上任何噪声都会影响 DAC 的性能。典型应用需要一个旁路电容，以滤除 V_{DD} 线上的高频噪声。噪声会被感应到电源走线上，或者由于 DAC 输出变化而产生。旁路电容有助于最大限度地降低这些噪声源对于信号完整性的影响。图 8-2 给出了一个在 V_{DD} 线上并联使用两个旁路电容（一个 10 µF 的钽电容和一个 0.1 µF 的陶瓷电容）的示例。这两个电容应尽可能靠近 V_{DD} 引脚放置（在 4 mm 以内）。如果应用电路具有独立的数字和模拟电源，则器件的 V_{DD} 和 V_{SS} 引脚应位于模拟平面上。



(a) 选择 V_{DD} 作为参考电压时的电路

（**注：** V_{DD} 在内部连接到参考电路。）



(b) 使用外部参考电压时的电路。

R_1 和 R_2 是 I^2C 上拉电阻：

R_1 和 R_2：

5 kΩ - 10 kΩ：	对于 f_{SCL}	=	100 kHz 至 400 kHz
~700Ω：	对于 f_{SCL}	=	3.4 MHz

C_1：	0.1 µF 电容	陶瓷电容
C_2：	10 µF 电容	钽电容
C_3：	~ 0.1 µF	可选，用于降低 V_{OUT} 引脚中的噪声。
C_4：	0.1 µF 电容	陶瓷电容
C_5：	10 µF 电容	钽电容
C_6：	0.1 µF 电容	陶瓷电容

图 8-2： *示例电路*

© 2015 Microchip Technology Inc.

8.3 应用示例

MCP47FEBXX 器件是轨到轨输出 DAC，设计为工作于 V_{DD} 范围 2.7V 至 5.5V。内部的输出运放足够强健，可直接驱动常见的小信号负载，从而可消除大多数应用因外部缓冲器而增加的成本和尺寸。用户可以通过设置配置寄存器位选择输出运放的增益为 1 或 2。此外，用户还可以使用内部 V_{DD} 作为参考电压，也可以使用外部参考电压。各种用户选项和易用的功能使器件适用于各种现代 DAC 应用。

应用示例包括：

- 降低输出步阶大小
- 构造 “窗口” DAC
- 双极性工作
- 增益和偏移可选的双极性电压输出
- 设计双精度 DAC
- 构造可编程电流源
- 串行接口通信时间
- 软件 I^2C 接口复位序列
- 电源注意事项
- 布线注意事项

8.3.1 直流设置点或校准

器件的一种常见应用是数字控制的设置点和 / 或可变参数（如传感器失调或斜率）校准。例如，MCP47FEB2X 提供了 4096 个输出步阶。如果参考电压为 4.096V（其中，Gx = 0），则 LSb 的大小为 1 mV。如果希望产生更小的输出步阶大小，则需要使用更低的外部参考电压。

8.3.1.1 降低输出步阶大小

如果应用需要校准二极管或晶体管的偏置电压，则可能需要0.8V的偏置电压范围，分辨率为每步阶约200 µV。实现小步阶的两种常见方法是使用较低的 V_{REF} 引脚电压或在 DAC 输出上使用分压器。

如果存在具有所需输出电压范围的外部参考电压，则可以选择使用外部参考电压（V_{REF}）。但有时候，在使用低电压的参考电压时，基底噪声会导致不可容忍的SNR误差。使用分压器方法是另一种选项，并且在需要外部参考电压极低时，或无法提供所需输出电压时，这种方法可带来一些优势。在这种情况下，可以使用一个电压值较大的参考电压，同时使用两个电阻将输出范围缩至所需的精度级别。

图 8-3 说明了这一概念。分压器输出上的一个旁路电容对于衰减 DAC 输出噪声和环境产生的噪声起着非常关键的作用。

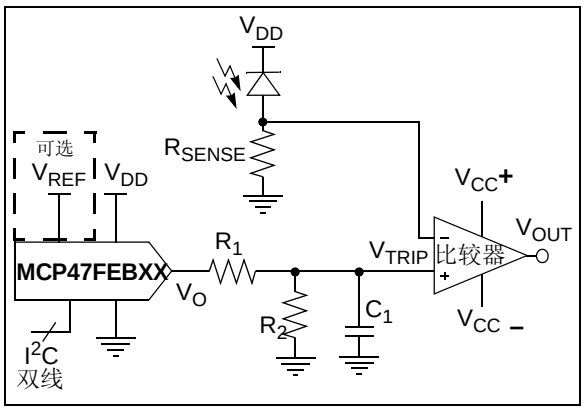


图 8-3： *设置点或阈值校准的示例电路*

公式 8-1：　V_{OUT} 和 V_{TRIP} 计算

$$V_{OUT} = V_{REF} \bullet G \bullet \frac{DAC\ 寄存器的值}{2^N}$$

$$V_{trip} = V_{OUT}\left(\frac{R_2}{R_1 + R_2}\right)$$

8.3.1.2 构造 “窗口” DAC

校准传感器的设置点或阈值时，通常仅利用到 DAC 输出范围的一小部分。如果 LSb 大小已经足够，可以满足应用的精度需求，则未用范围无关紧要。如果需要更高的精度，则需要减小输出范围，以提高所需阈值附近的分辨率。

如果阈值不是接近 V_{REF}、2 • V_{REF} 或 V_{SS}，则在阈值附近构造一个 “窗口” 具有几个优点。构造该 “窗口” 的一种简单方法是使用一个带有上拉和下拉电阻的分压器网络。图 8-4 和图 8-6 说明了这一概念。

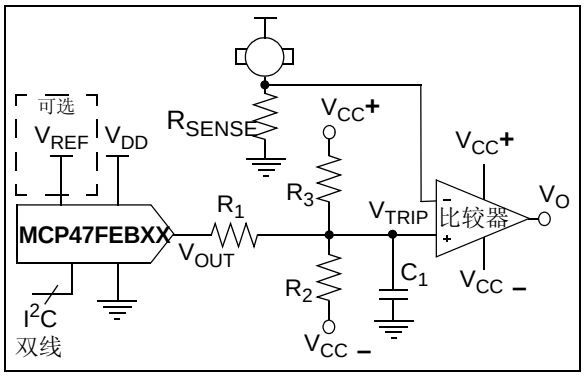


图 8-4： *单电源 “窗口” DAC*

公式 8-2：　V_{OUT} 和 V_{TRIP} 计算

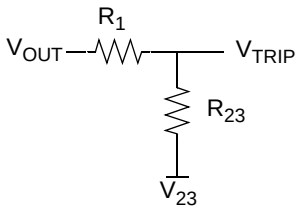
$$V_{OUT} = V_{REF} \bullet G \bullet \frac{DAC\ 寄存器的值}{2^N}$$

$$V_{TRIP} = \frac{V_{OUT}R_{23} + V_{23}R_1}{R_1 + R_{23}}$$

戴维宁等效式：

$$R_{23} = \frac{R_2R_3}{R_2 + R_3}$$

$$V_{23} = \frac{(V_{CC+}R_2) + (V_{CC-}R_3)}{R_2 + R_3}$$



8.4 双极性工作

双极性工作通过采用一个外部运算放大器来实现。由于运放品种繁多且可用性强，所以该配置是一种合意的选择。这使得通用 DAC 在其成本和可用性方面极具优势的情况下，还能满足各种输出电压范围、功耗和噪声性能方面的要求。

图 8-5 显示了一个简单的双极性电压源配置。R_1 和 R_2 用于选择增益，而 R_3 和 R_4 用于将 DAC 的输出平移到选定的偏移位置。请注意，如果需要更高的偏移量，可以将 R4 连接到 V_{DD}，而不是 V_{SS}。

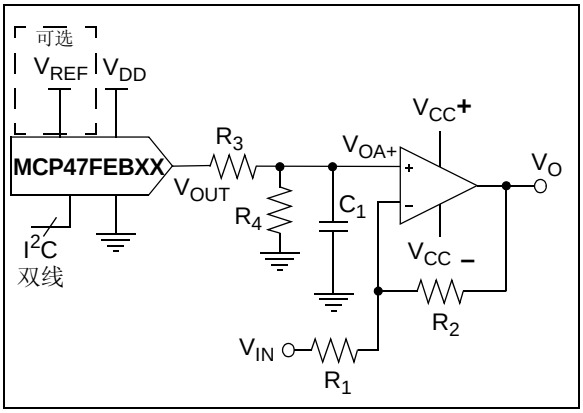


图 8-5： *数字控制的双极性电压源示例电路*

公式 8-3：　V_{OUT}、V_{OA+} 和 V_O 计算

$$V_{OUT} = V_{REF} \bullet G \bullet \frac{DAC\ 寄存器的值}{2^N}$$

$$V_{OA+} = \frac{V_{OUT} \bullet R_4}{R_3 + R_4}$$

$$V_O = V_{OA+} \bullet \left(1 + \frac{R_2}{R_1}\right) - V_{DD} \bullet \left(\frac{R_2}{R_1}\right)$$

© 2015 Microchip Technology Inc.

8.5 增益和偏移可选的双极性电压输出

在一些应用中，需要对输出范围进行精确的数字控制。图 8-6 说明了如何使用 DAC 器件在双极性或单电源应用中实现这一目标。

该电路通常用于对斜率和偏移可变的传感器进行线性化。

如果安装了 R_3、R_4 和 R_5，则将使用用于设计双极性“窗口” DAC 的公式。

8.5.1 双极性 DAC 示例

对于某个特定应用，希望产生 1 mV 的输出步阶大小，输出范围为 ±2.05V。

步骤 1： 计算范围：+2.05V – (-2.05V) = 4.1V。

步骤 2： 计算所需的分辨率：

4.1V/1 mV = 4100

由于 2^{12} = 4096，所以需要 12 位分辨率。

步骤 3： 放大器增益（R_2/R_1）乘以满量程 V_{OUT}（4.096V）必须等于所需的最小输出，以实现双极性工作。由于通过选择电阻值（$R_1 + R_2$）可以实现任意增益，所以必须先选择 V_{REF} 值。如果使用的 V_{REF} 为 4.096V，在已知所需输出为 -2.05V 的情况下，通过将 DAC 设置为 0 来求解放大器的增益。

公式可以简化为：

公式 8-4：

$$\frac{-R_2}{R_1} = \frac{-2.05}{4.096V} \qquad \frac{R_2}{R_1} = \frac{1}{2}$$

如果 R_1 = 20 kΩ， R_2 = 10 kΩ，增益将为 0.5。

步骤 4： 下一步，在已知所需输出为 +2.05V 的情况下，通过将DAC设定为4096来求解R_3和R_4。

公式 8-5：

$$\frac{R_4}{(R_3 + R_4)} = \frac{2.05V + (0.5 \text{ Þ } 4.096V)}{1.5 \text{ Þ } 4.096V} = \frac{2}{3}$$

如果R_4 = 20 kΩ，则R_3 = 10 kΩ

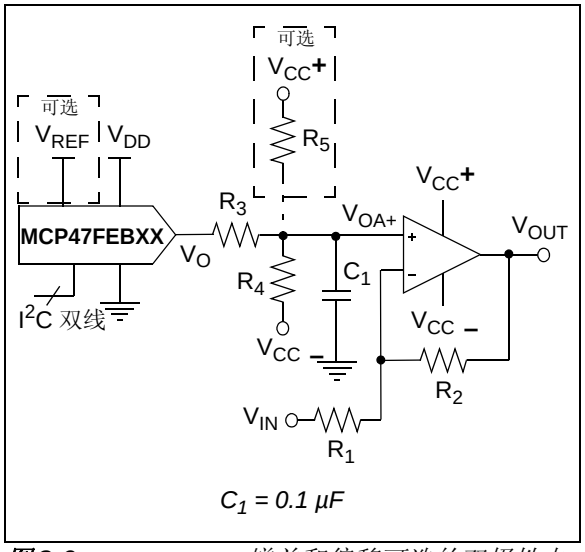


图 8-6： *增益和偏移可选的双极性电压源*

公式 8-6： **V_{OUT}、V_{OA+} 和 V_O 计算**

$$V_{OUT} = V_{REF} \bullet G \bullet \frac{DAC \text{ 寄存器的值}}{2^N}$$

$$V_{OA+} = \frac{V_{OUT} \bullet R_4 + V_{CC-} \bullet R_5}{R_3 + R_4}$$

$$V_O = \underbrace{V_{OA+} \bullet (1 + \frac{R_2}{R_1})}_{\text{偏移调节}} - \underbrace{V_{IN} \bullet (\frac{R_2}{R_1})}_{\text{增益调节}}$$

公式 8-7： **使用 R_4 和 R_5 的双极性 “窗口” DAC**

戴维宁等效式

$$V_{45} = \frac{V_{CC+}R_4 + V_{CC-}R_5}{R_4 + R_5}$$

$$V_{IN+} = \frac{V_{OUT}R_{45} + V_{45}R_3}{R_3 + R_{45}}$$

$$R_{45} = \frac{R_4R_5}{R_4 + R_5}$$

$$V_O = \underbrace{V_{IN+}\left(1 + \frac{R_2}{R_1}\right)}_{\text{偏移调节}} - \underbrace{V_A\left(\frac{R_2}{R_1}\right)}_{\text{增益调节}}$$

8.6 设计双精度 DAC

图 8-7 给出了一个最高可支持 24 位分辨率的单电源电压输出的设计示例。它需要两个 12 位 DAC。该设计实际上只是一个带有缓冲输出的分压器。

举例来说，如果一个与**第 8.5.1 节“双极性 DAC 示例”**中所开发的应用类似的应用需要 1 µV 而不是 1 mV 的分辨率，以及 0V 至 4.1V 的电压范围，则 12 位分辨率将不足够。

步骤 1： 计算所需的分辨率：

4.1V/1 µV = 4.1 x 10^6。
由于 2^{22} = 4.2 x 10^6，所以需要 22 位分辨率。
由于 DNL = ±1.0 LSb，所以可以尝试使用 12 位 DAC 来实现该设计。

步骤 2： 由于 DAC1 的 V_{OUT1} 所具有的分辨率为 1 mV，所以只需将其输出“拉至”1/1000 即可满足 1 µV 的目标。将 V_{OUT0} 除以 1000 将使应用可以补偿 DAC1 的 DNL 误差。

步骤 3： 如果 R_2 为 100Ω，则 R_1 需要为 100 kΩ。

步骤 4： 例 8-8 的公式中给出得到的传递函数。

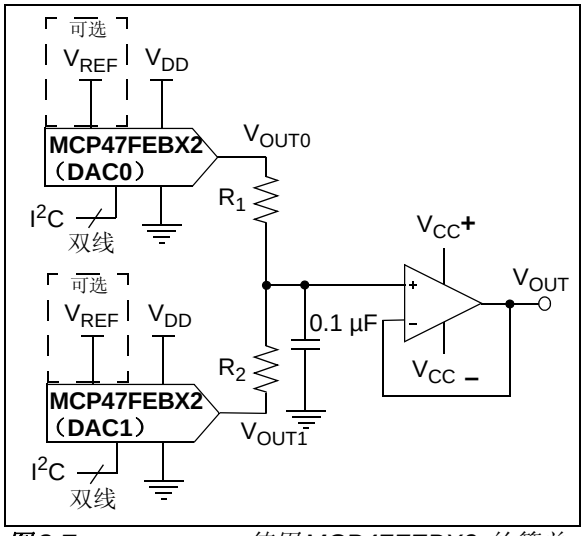


图 8-7：　使用 MCP47FEBX2 的简单双精度 DAC

公式 8-8：　V_{OUT} 计算

$$V_{OUT} = \frac{V_{OUT0} * R_2 + V_{OUT1} * R_1}{R_1 + R_2}$$

其中：

V_{OUT0} = (V_{REF} * G * DAC0 寄存器值)/4096

V_{OUT1} = (V_{REF} * G * DAC1 寄存器值)/4096

Gx = 选定的运放增益

8.7 构造可编程电流源

图 8-8 给出了一个使用电压跟随器构造可编程电流源的示例。电流传感器电阻用于将 DAC 电压输出转换为可通过数字方式选择的电流源。

R_{SENSE} 越小，其上的功耗就越低。但是，这也会降低可控制电流的分辨率。

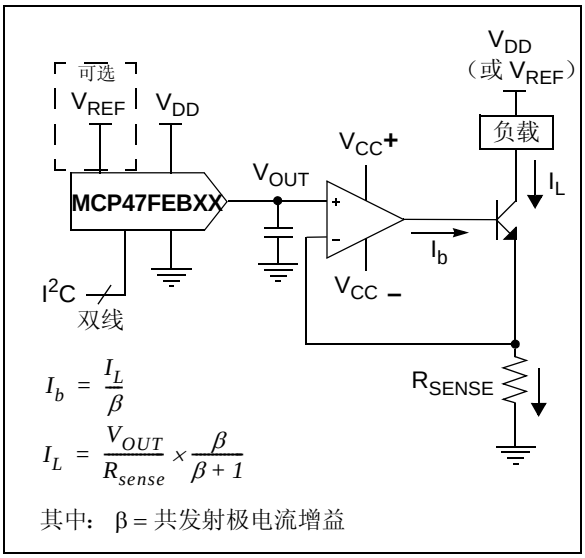


图 8-8：　数字控制的电流源

© 2015 Microchip Technology Inc.

8.8 串行接口通信时间

表 8-1 列出了对于不同的串行接口工作频率， I^2C 串行接口所支持操作的时间 / 频率。这一性能与 V_{OUT} 输出性能 （例如压摆率）一起用于确定应用的易失性 DAC 寄存器的更新速率。

表 8-1： 串行接口时间 / 频率

命令					位时钟数(1)	数据更新速率（8 位 /10 位 /12 位）（数据字 / 秒）			备注
操作	代码 C1	代码 C0	HV	模式 (6)		100 kHz	400 kHz	3.4 MHz(5)	
写命令 （正常和高电压）	0	0	(3)	单次	38	2,632	10,526	89,474	
	0	0	(3)	连续	27n + 11	3,559	14,235	120,996	对于 10 个数据字
读命令 （正常和高电压） (2)	1	1	(3)	随机	48	2,083	8,333	70,833	
	1	1	(3)	连续	18n + 11	4,762	19,048	161,905	对于 10 个数据字
	1	1	(3)	最后一个地址	29	3,448	13,793	117,241	
广播呼叫复位命令	—	—	(3)	单次	20	5,000	20,000	170,000	**注 4**
广播呼叫唤醒命令	—	—	(3)	单次	20	5,000	20,000	170,000	**注 4**
使能配置位 （高电压）命令	1	0	是	单次	20	5,000	20,000	170,000	
	1	0	是	连续	9n + 11	9,901	39,604	336,634	对于 10 个数据字
禁止配置位 （高电压）命令	0	1	是	单次	20	5,000	20,000	170,000	
	0	1	是	连续	9n + 11	9,901	39,604	336,634	对于 10 个数据字

注 1： “n”表示命令操作的重复次数。

2： 该命令对于确定 EEPROM 编程周期何时完成很有用。

3： 该命令可以为正常电压或高电压。

4： 由 I^2C 广播呼叫地址之后的广播呼叫命令字节决定。

5： 进入 3.4 MHz 模式需要一个最低限度的开销。

6： 非易失性寄存器只能使用 “单次”模式。

8.9 软件 I²C 接口复位序列

注：	AN1028 中介绍了该技术。

有时，可能需要通过执行软件复位序列来确保MCP47FEBXX器件处于正确并且已知的I²C接口状态。该技术只会复位 I²C 状态机。

在以下情况下，它会很有用：MCP47FEBXX 器件以错误状态上电（由于总线噪声过大等原因）；主器件在通信期间发生复位。图 8-9 给出了对器件进行软件复位的通信序列。

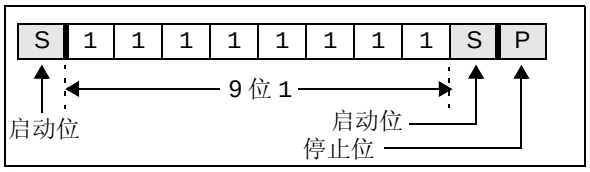


图 8-9： *软件复位序列格式*

第 1 个启动位会使器件从期望接收主器件数据的状态复位。在该模式下，器件在接收模式下监视数据总线，能够检测启动位是否强制内部复位。

9 位 1 用于强制复位那些无法通过前面的启动位复位的器件。只有 MCP47FEBXX 在 I²C 总线上驱动 A 位，或者它处于输出模式（由于读命令）并且正在 I²C 总线上驱动数据位0时，才会发生这种情况。在这两种情况下，由于 MCP47FEBXX 将总线保持为低电平，所以无法产生前面的启动位。通过送出 9 个 1 位，可以确保器件检测到一个 $\overline{A}$ 位（主器件不会通过将 I²C 总线驱动为低电平来应答由 MCP47FEBXX 发送的数据），这还会强制 MCP47FEBXX 复位。

发送第 2 个启动位是为了防止极少数条件下会发生的错误写操作。以下条件下会发生这种情况：主器件在向 MCP47FEBXX 发送写命令时发生复位，然后主器件恢复为正常工作状态，并在 MCP47FEBXX 发出应答时发出启动条件。这种情况下，如果未发送第 2 个启动位（并且先前发送了停止位），MCP47FEBXX 可能会启动写周期。

注：	发生这种错误写操作的唯一可能条件是，主器件在向MCP47FEBxx发送写命令时发生复位。

停止位会终止当前的 I²C 总线活动。 MCP47FEBXX 会等待检测到下一个启动条件。

该序列不会影响总线上的任何其他 I²C 器件，它们会将其视为无效命令而直接忽略。

8.10 设计注意事项

在使用 MCP47FEBXX 器件设计系统时，需要考虑以下注意事项：

- 电源注意事项
- 布线注意事项

8.10.1 电源注意事项

典型的应用需要使用旁路电容，以滤除电源线上的高频噪声。旁路电容可以帮助最大程度降低这些噪声源对信号完整性的影响。图 8-10 给出了相应的旁路策略的图示。

在该示例中，建议的旁路电容值为 0.1 µF。该电容应尽可能靠近 （在 4 mm 以内）器件电源引脚 （V_{DD}）。

为这些器件供电的电源应尽可能纯净。如果应用电路具有独立的数字电源和模拟电源，V_{DD} 和 V_{SS} 应位于模拟平面。

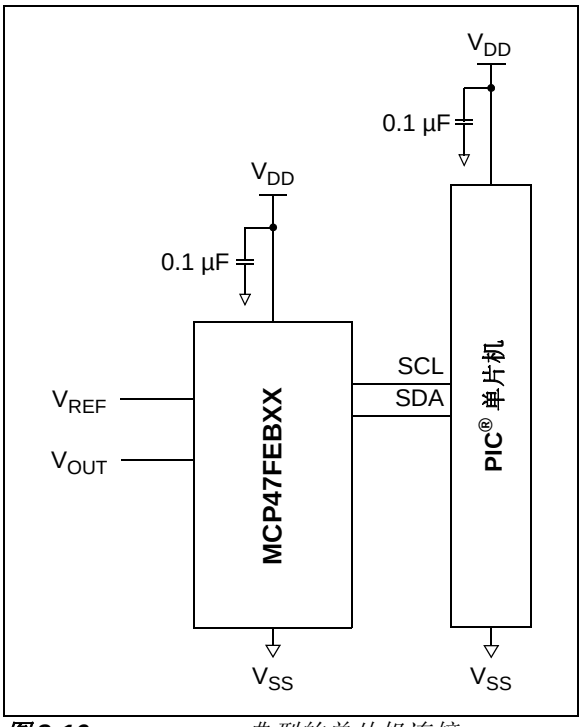


图 8-10： *典型的单片机连接*

© 2015 Microchip Technology Inc.

8.10.2 布线注意事项

有几个布线注意事项可能适合于您的应用。这些注意事项包括：

- **噪声**
- **PCB 面积要求**

8.10.2.1 噪声

电感耦合交流瞬态和数字开关噪声会降低输入和输出信号完整性，可能会降低 MCP47FEBXX 的性能。仔细的电路板布线可以最大程度降低这些影响，并提高信噪比（Signal-to-Noise Ratio， SNR）。使用低电感地平面、隔离输入、隔离输出和正确去耦的多层电路板对于实现芯片可提供的性能非常重要。对于特别恶劣的环境，可能需要对关键信号进行屏蔽保护。

建议使用独立的数字和模拟地平面。在这种情况下，V_{SS} 引脚和 V_{DD} 电容的接地引脚应该连接到模拟地平面。

注：	建议不要使用面包板或绕线电路板。

8.10.2.2 PCB 面积要求

在某些应用中，PCB 面积是进行器件选择的一项标准。表 8-2 列出了对应于不同封装选项的典型封装尺寸和面积。

表 8-2： 封装尺寸 (1)

封装			封装尺寸		
引脚数	类型	代码	尺寸（mm）		面积（mm^2）
			长度	宽度	
8	TSSOP	ST	3.00	4.40	13.20

注 1： 不包括建议的焊盘布局尺寸。尺寸均为典型值。

注：

© 2015 Microchip Technology Inc.

9.0 开发支持

开发支持可分为两类。它们是：

- 开发工具
- 技术文档

9.1 开发工具

有几种开发工具可以用于帮助设计和评估 MCP47FEBXX 器件。表 9-1 列出了当前可获得的工具。

图 9-1 说明了如何填装 TSSOP20EV 外合 PCB 来简便地评估 MCP47FEBXX 器件。8 引脚和 20 引脚 TSSOP 封装具有相同的引脚间距（0.65 mm BSC）和封装宽度（4.40 mm，典型值），8 引脚 TSSOP 封装可以放置在 20 引脚 TSSOP 封装上。器件评估可以使用 PICkit™ 串行分析器来控制 DAC 输出寄存器以及配置、控制和状态寄存器的状态。

TSSOP20EV 电路板可以从 Microchip 网站（www.microchip.com）直接购买。

9.2 技术文档

另外还有几个技术文档可以用于帮助进行设计和开发。这些技术文档包括应用笔记、技术简介和设计指南。表 9-2 列出了其中部分文档。

表 9-1： 开发工具 （注 1）

电路板名称	部件编号	备注
20 引脚 TSSOP 和 SSOP 评估板	TSSOP20EV	最灵活选项 —— 推荐的外合 PCB
14 引脚 SOIC/TSSOP/DIP 评估板	SOIC14EV	
SOIC-8 评估板	SOIC8EV	

注 1： 支持 PICkit™ 串行分析器。更多信息和要求，请参见用户指南。

表 9-2： 技术文档

应用笔记编号	标题	文献编号
AN1326	《利用 MCP4728 12 位 DAC 设计 LDMOS 放大器偏置电压控制应用》	DS01326A_CN
—	《信号链设计指南》	DS21825G_CN
—	Analog Solutions for Automotive Applications Design Guide	DS01005

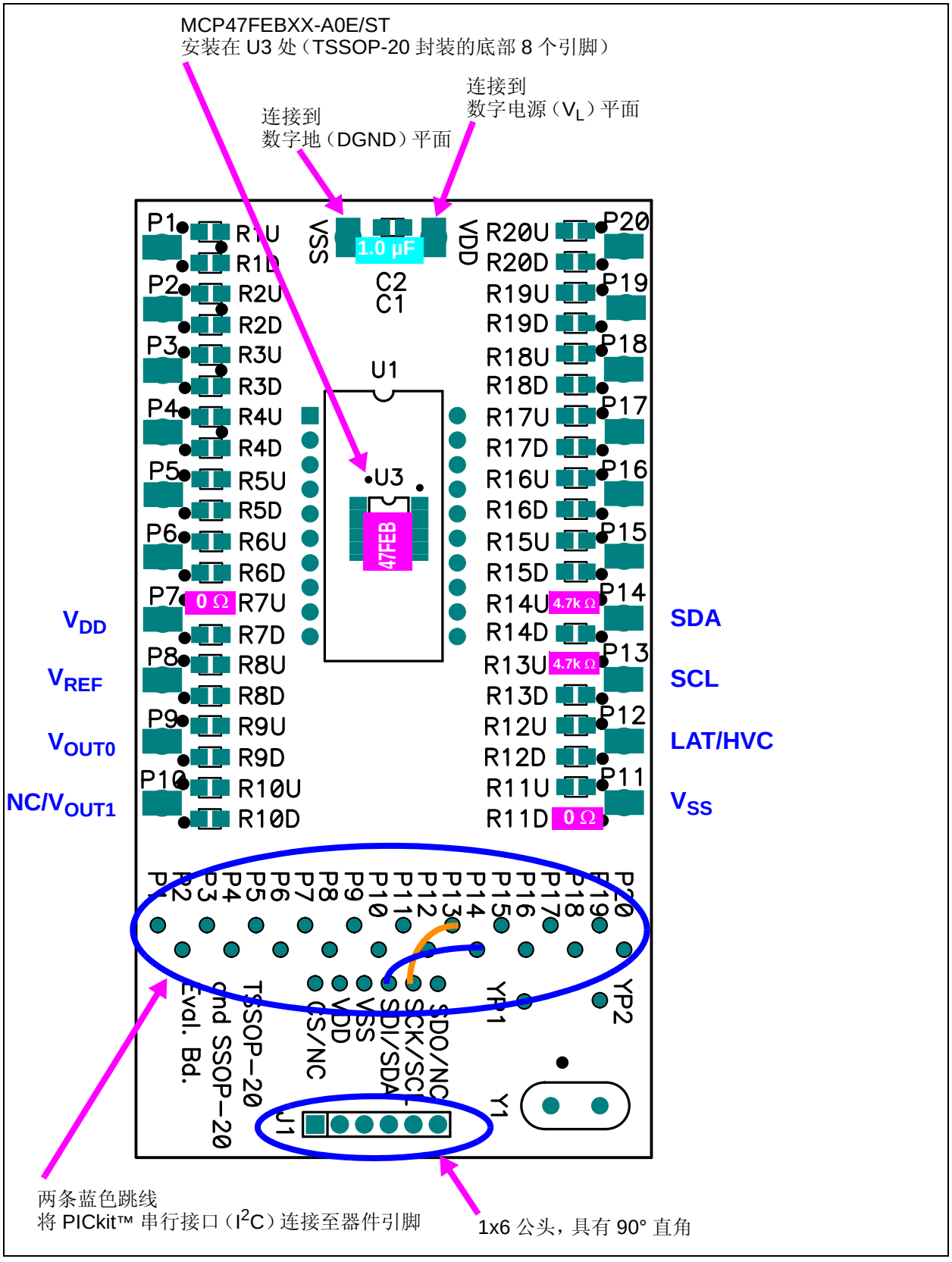


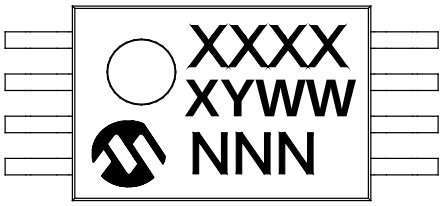
图 9-1： *采用 TSSOP20EV 的 MCP47FEBXX 评估板电路*

© 2015 Microchip Technology Inc.

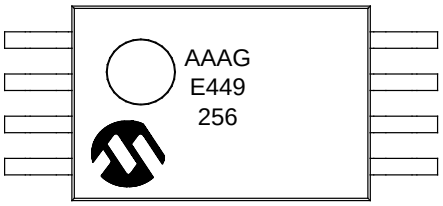
10.0 封装信息

10.1 封装标识信息

8 引脚 TSSOP（4.4 mm）



示例



器件编号	代码	器件编号	代码
MCP47FEB01A0-E/ST	AAAG	MCP47FEB12A0-E/ST	AAAL
MCP47FEB01A0T-E/ST	AAAG	MCP47FEB12A0T-E/ST	AAAL
MCP47FEB01A1-E/ST	AAAU	MCP47FEB12A1-E/ST	AABG
MCP47FEB01A1T-E/ST	AAAU	MCP47FEB12A1T-E/ST	AABG
MCP47FEB01A2-E/ST	AAAV	MCP47FEB12A2-E/ST	AABH
MCP47FEB01A2T-E/ST	AAAV	MCP47FEB12A2T-E/ST	AABH
MCP47FEB01A3-E/ST	AAAW	MCP47FEB12A3-E/ST	AABJ
MCP47FEB01A3T-E/ST	AAAW	MCP47FEB12A3T-E/ST	AABJ
MCP47FEB02A0-E/ST	AAAK	MCP47FEB21A0-E/ST	AAAJ
MCP47FEB02A0T-E/ST	AAAK	MCP47FEB21A0T-E/ST	AAAJ
MCP47FEB02A1-E/ST	AABD	MCP47FEB21A1-E/ST	AABA
MCP47FEB02A1T-E/ST	AABD	MCP47FEB21A1T-E/ST	AABA
MCP47FEB02A2-E/ST	AABE	MCP47FEB21A2-E/ST	AABB
MCP47FEB02A2T-E/ST	AABE	MCP47FEB21A2T-E/ST	AABB
MCP47FEB02A3-E/ST	AABF	MCP47FEB21A3-E/ST	AABC
MCP47FEB02A3T-E/ST	AABF	MCP47FEB21A3T-E/ST	AABC
MCP47FEB11A0-E/ST	AAAH	MCP47FEB22A0-E/ST	AAAM
MCP47FEB11A0T-E/ST	AAAH	MCP47FEB22A0T-E/ST	AAAM
MCP47FEB11A1-E/ST	AAAX	MCP47FEB22A1-E/ST	AABK
MCP47FEB11A1T-E/ST	AAAX	MCP47FEB22A1T-E/ST	AABK
MCP47FEB11A2-E/ST	AAAY	MCP47FEB22A2-E/ST	AABL
MCP47FEB11A2T-E/ST	AAAY	MCP47FEB22A2T-E/ST	AABL
MCP47FEB11A3-E/ST	AAAZ	MCP47FEB22A3-E/ST	AABM
MCP47FEB11A3T-E/ST	AAAZ	MCP47FEB22A3T-E/ST	AABM

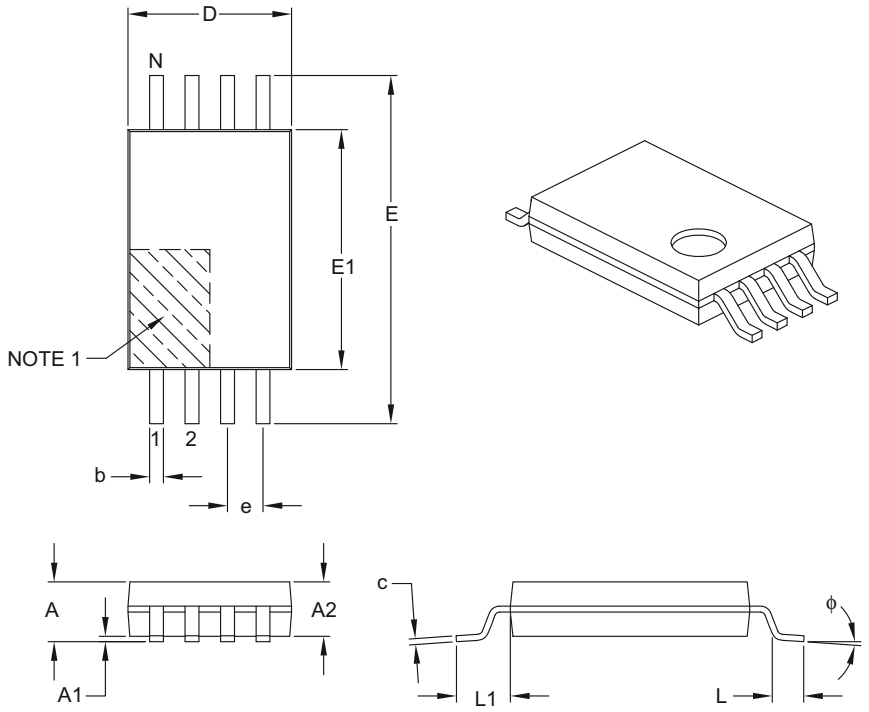
图注：

XX...X	客户指定信息
Y	年份代码 （日历年的最后一位数字）
YY	年份代码 （日历年的最后两位数字）
WW	星期代码 （一月一日的星期代码为 “01”）
NNN	以字母数字排序的追踪代码
(e3)	雾锡 （Matte Tin， Sn）的 JEDEC® 无铅标志
*	表示无铅封装。 JEDEC 无铅标志 （(e3)）标示于此种封装的外包装上。

注： Microchip 器件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户指定信息的字符数。

8 引脚塑封薄型缩小外形封装 （ST） —— 主体 4.4 mm [TSSOP]

注： 最新封装图请至 http://www.microchip.com/packaging 查看 Microchip 封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		8	
Pitch	e		0.65 BSC	
Overall Height	A	–	–	1.20
Molded Package Thickness	A2	0.80	1.00	1.05
Standoff	A1	0.05	–	0.15
Overall Width	E		6.40 BSC	
Molded Package Width	E1	4.30	4.40	4.50
Molded Package Length	D	2.90	3.00	3.10
Foot Length	L	0.45	0.60	0.75
Footprint	L1		1.00 REF	
Foot Angle	ϕ	0°	–	8°
Lead Thickness	c	0.09	–	0.20
Lead Width	b	0.19	–	0.30

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15 mm per side.
3. Dimensioning and tolerancing per ASME Y14.5M.

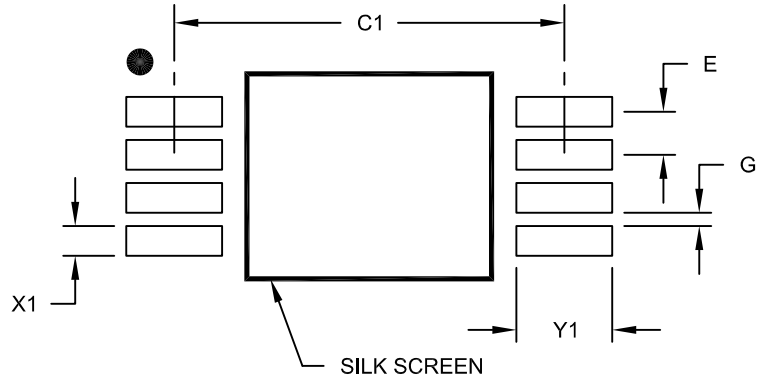
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-086B

© 2015 Microchip Technology Inc.

8 引脚塑封薄型缩小外形封装 （ST） —— 主体 4.4 mm [TSSOP]

注： 最新封装图请至 http://www.microchip.com/packaging 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.65 BSC	
Contact Pad Spacing	C1		5.90	
Contact Pad Width (X8)	X1			0.45
Contact Pad Length (X8)	Y1			1.45
Distance Between Pads	G	0.20		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2086A

注：

© 2015 Microchip Technology Inc.

附录 A： 版本历史

版本 A （2015 年 2 月）

- 本文档的初始版本。

附录 B： I²C 串行接口

该 I²C 接口是双线接口，允许多个器件与该双线总线连接。图 B-1 给出了典型的 I²C 接口连接。

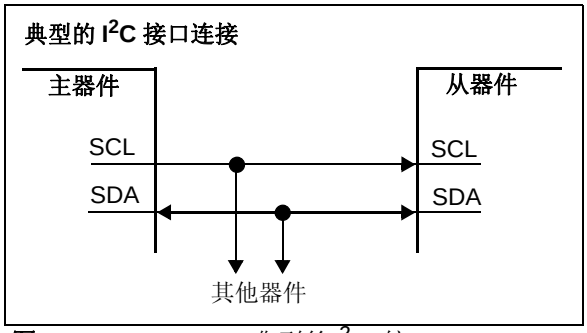


图 B-1： 典型的 I²C 接口

B.1 概述

在总线上发送数据的器件定义为发送器，而接收数据的器件定义为接收器。总线必须由主器件控制，主器件会产生串行时钟 （SCL）、控制总线访问以及产生启动和停止条件。不产生串行时钟的器件作为从器件工作。主器件和从器件都可以作为发送器或接收器工作，但激活何种模式由主器件决定。通信由主器件 （单片机）启动，它会发送启动位，然后是从器件地址字节。发送的第一个字节总是从器件地址字节，其中包含器件代码、地址位和 R/W 位。

I²C 接口可指定不同的通信比特率。它们分别称为标准、快速和高速模式。 MCP47FEBXX 支持这三种模式。这些模式的时钟速率 （比特率）为：

- 标准模式：最高 100 kHz （kb/s）
- 快速模式：最高 400 kHz （kb/s）
- 高速模式 （HS 模式）：最高 3.4 MHz （Mb/s）

I²C 协议支持两种寻址模式：

- 7 位从器件寻址
- 10 位从器件寻址（允许 I²C 总线上有更多的器件）

本节仅介绍 7 位从器件寻址。

I²C 串行协议允许 I²C 总线上存在多个主器件。这称为“多主器件”。因此，所有主器件都必须支持多主器件操作。在该配置下，所有主器件都会监视它们的通信。如果它们检测到，自己希望发送逻辑高电平的位，但被检测为逻辑低电平 （某个其他主器件正在驱动），它们会“脱离”总线。也即，它们会停止通信，并继续侦听是否有发送给它们的通信。

I²C 串行协议仅定义了帧的字段类型、字段长度和时序等方面。帧的内容将决定器件的行为。关于帧内容（命令 / 数据）的详细信息，请参见**第 7.0 节“器件命令”**。

I²C 串行协议定义了一些称为“广播呼叫寻址”的命令，使主器件可以与 I²C 总线上的所有从器件通信。

注：	关于I²C规范的更多详细信息，请参见NXP规范 #UM10204（版本 03， 2007 年 6 月 19 日）文档。

© 2015 Microchip Technology Inc.

B.2 信号说明

I²C 接口使用两个引脚 （信号）。它们是：

- SDA （串行数据）
- SCL （串行时钟）

B.2.1 串行数据 （SDA）

串行数据 （SDA）信号是器件的数据信号。当信号为输入时，该引脚上的值在 SCL 信号的上升沿进行锁存。

启动 （重复启动）和停止条件除外， SDA 引脚的高电平或低电平状态只能在SCL引脚上的时钟信号为低电平时发生变化。在时钟为高电平时， SDA 引脚的值 （高电平或低电平）必须保持稳定。当 SCL 引脚为高电平时， SDA 引脚值的变化会被解释为启动或停止条件。

B.2.2 串行时钟 （SCL）

串行时钟（SCL）信号是器件的时钟信号。SCL 信号的上升沿会锁存 SDA 引脚上的值。

根据时钟速率模式，接口会表现出不同的特性。

B.3 I²C 工作原理

B.3.1 I²C 位状态和序列

图 B-8 显示了 I²C 传输序列，图 B-7 显示了位定义。串行时钟由主器件产生。以下定义用于描述位状态：

- 启动位 （S）
- 数据位
- 应答 （A）位 （驱动为低电平） / 无应答 （$\overline{A}$）位 （不驱动为低电平）
- 重复启动位 （Sr）
- 停止位 （P）

B.3.1.1 启动位

启动位 （见图 B-2）指示数据传输序列开始。启动位定义为在 SCL 信号为 “高电平” 时， SDA 信号下降。

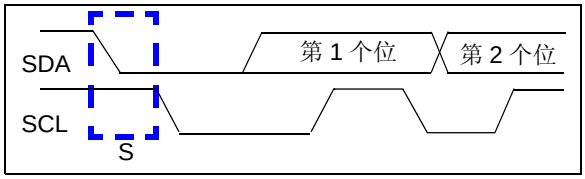


图 B-2： *启动位*

B.3.1.2 数据位

SDA信号可以在SCL信号为低电平时改变状态。当SCL信号为高电平时，SDA 信号必须保持稳定（见图 B-3）。

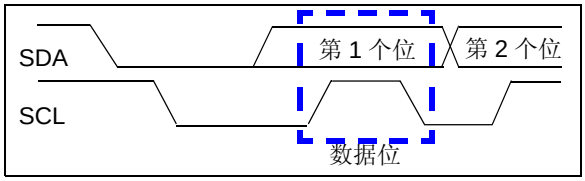


图 B-3： *数据位*

B.3.1.3 应答 （A）位

A 位 （见图 B-4）通常是从接收器件传输到发送器件的响应。根据传输序列的上下文，A位可以指示不同情况。通常，从器件会在接收到启动位和 8 个 “数据” 位之后提供 A 响应。A 位的 SDA 信号为低电平，而 $\overline{A}$ 位的 SDA 信号为高电平。

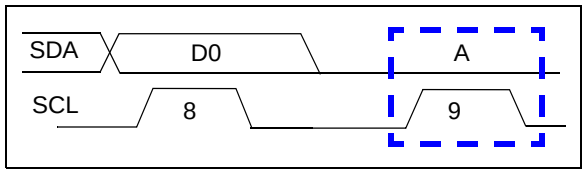


图 B-4： *应答波形*

表 B-1 列出了从器件发出应答 （A）或无应答 （$\overline{A}$）的一些条件。

如果出现错误条件 （例如 $\overline{A}$ 而不是 A），则必须发出启动位来复位命令状态机。

表 B-1： MCP47FEBXX A/$\overline{A}$ 响应

事件	应答位响应	备注
广播呼叫	A	
从器件地址有效	A	
从器件地址无效	$\overline{A}$	
EEPROM 写周期期间的通信	A	在器件接收到地址和命令，以及对 EEPROM 进行写操作的有效条件之后
总线冲突	N/A	I²C 模块发生复位，或者如果冲突是在主器件的启动位发生的，则视为 “无关” 事件

B.3.1.4 重复启动位

重复启动位（见图 B-5）指示当前主器件希望继续与当前从器件进行通信，而又不释放 I^2C 总线。重复启动条件与启动条件基本相同，只是重复启动位是跟随在启动位（以及数据位 + A 位）之后，而不是停止位之后。

启动位是数据传输序列的开始，定义为在 SCL 信号为“高电平”时 SDA 信号下降。

注 1： 在重复启动条件期间，以下事件将会导致发生总线冲突：

- 当 SCL 由低电平变为高电平时， SDA 被采样为低电平。
- 在 SDA 被置为低电平之前， SCL 变为低电平。这指示另一个主器件正试图发送一个数据 1。

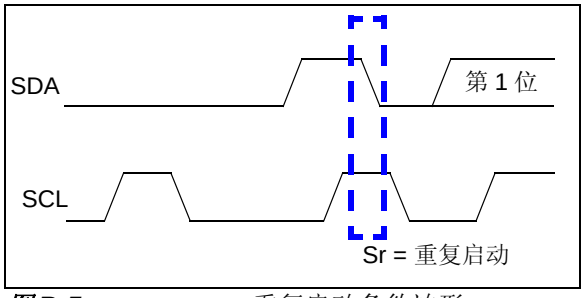


图 B-5： *重复启动条件波形*

B.3.1.5 停止位

停止位（见图 B-6）指示 I^2C 数据传输序列结束。停止位定义为在 SCL 信号为“高电平”时，SDA 信号上升。

停止位会复位从器件的 I^2C 接口。

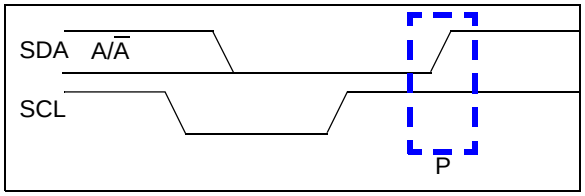


图 B-6： *停止条件接收或发送模式*

B.3.2 时钟延长

“时钟延长”是接收器件可以执行的一种操作，以便可以有更多时间来“响应”已接收的“数据”。

B.3.3 中止发送

如果 I^2C 发送数据的任何部分不满足命令格式要求，则它会被中止。可以通过启动或停止条件来特意实现这一点。这么做可以在带有噪声的发送数据（通常是一个额外的启动或停止条件）损坏器件之前中止它们。

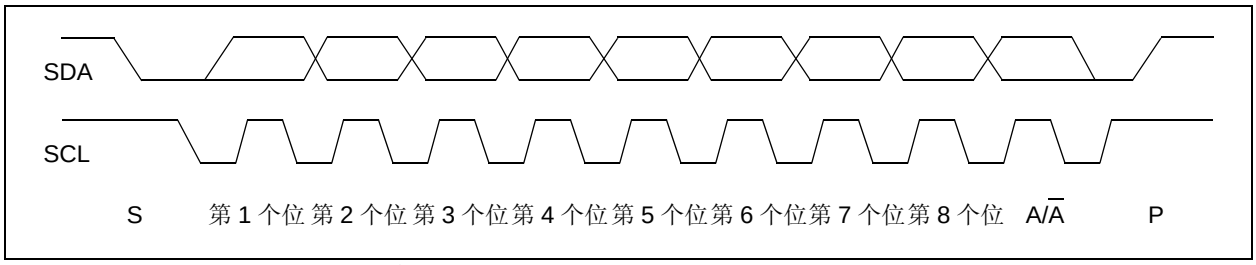


图 B-7： *典型的 8 位 I^2C 波形格式*

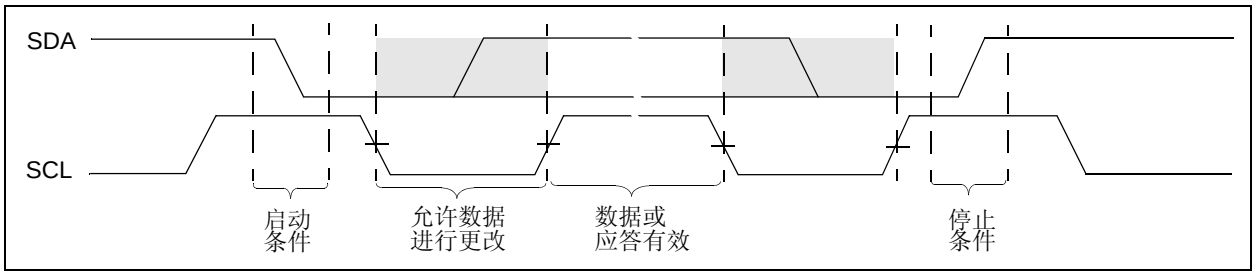


图 B-8： *I^2C 数据状态和位序列*

© 2015 Microchip Technology Inc.

B.3.4 斜率控制

当器件从 HS 模式切换为 FS 模式时，斜率控制参数将从 HS 规范变为 FS 规范。

对于快速 （FS）和高速 （HS）模式，器件在 SDA 和 SCL 输入上具有尖峰脉冲抑制功能和施密特触发器。

B.3.5 器件寻址

I^2C 从器件地址控制字节是产生启动条件之后从主器件接收到的第一个字节。该字节具有 7 位，用于指定从器件地址和读 / 写控制位。

图 B-9 显示了 I^2C 从器件地址字节格式，其中包含 7 个地址位和 1 个读 / 写 （R/$\overline{W}$）位。

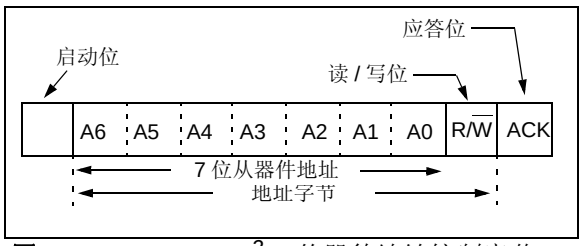


图 B-9： *I^2C 从器件地址控制字节*

B.3.6 HS 模式

I^2C 规范要求必须“激活”高速模式器件之后才能以高速（3.4 Mb/s）模式工作。实现方法是主器件在启动位之后发送一个特殊的地址字节。该字节称为高速主器件模式代码 （HSMMC）。

此时，器件就可以在 SDA 和 SCL 线上以最高 3.4 Mb/s 的速率进行通信。在产生下一个停止条件时，器件会退出 HS 模式。

主器件代码的发送形式如下：

1. 启动条件 （S）
2. 高速主器件模式代码（0000 1XXX），XXX 位对于高速 （HS）模式主器件是唯一的。
3. 无应答 （$\overline{A}$）

切换为高速模式之后，传输的下一个字节是 I^2C 控制字节 （它指定要进行通信的器件），以及任意数量的数据字节加上应答。然后，主器件可以发出重复启动位来寻址不同器件 （在高速模式下），也可以发出停止位来返回到快速 / 标准总线速度模式。在停止位之后，任意其他主器件（在多主器件系统中）都可以请求进行 I^2C 总线仲裁。

关于 HS 模式命令序列的图示，请参见图 B-10。

关于 HS 模式或其他 I^2C 模式的更多信息，请参见 NXP I^2C 规范。

B.3.6.1 斜率控制

SDA 输出的斜率控制在接口的快速 / 标准速度模式和高速时钟模式之间是不同的。

B.3.6.2 脉冲干扰抑制器

在 HS 模式期间，SCL 引脚上的脉冲干扰抑制器会自动进行调节，以抑制尖峰脉冲 （< 10 ns）。

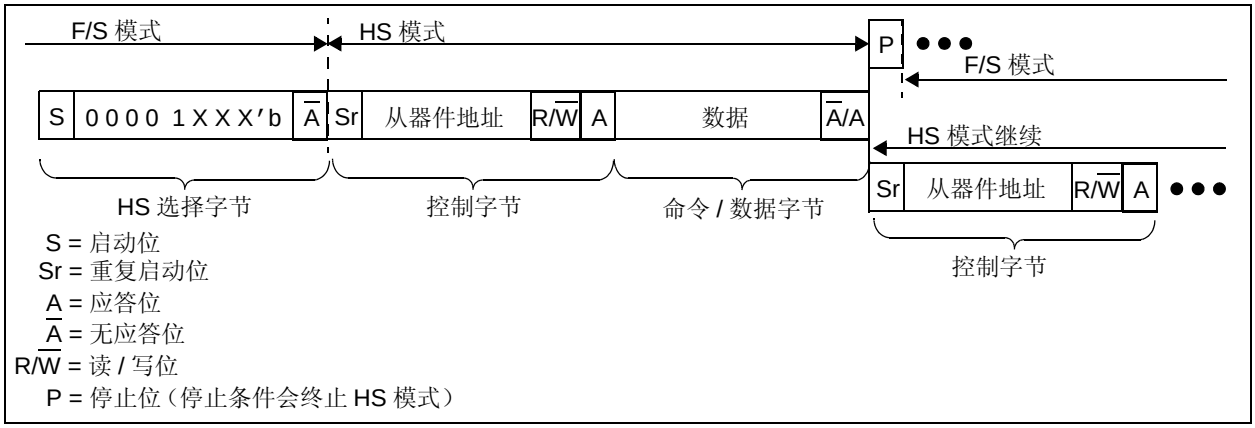


图 B-10： *HS 模式序列*

B.3.7 广播呼叫

广播呼叫是主器件与所有其他从器件进行通信的一种方法。在多主器件应用中，其他主器件将以从模式工作。广播呼叫地址具有两种约定的格式。图 B-11 中显示了这两种格式。

I^2C 规范规定了 3 个 7 位命令字节。

I^2C 规范不允许第 2 个字节为 00000000（00h）。此外，规范还定义了“00000100”和“00000110”的功能。最后， LSb 为 1 的数据字节表示 “硬件广播呼叫”。

关于 MCP47FEBXX 的广播呼叫命令操作的详细信息，请参见**第 7.3 节 “广播呼叫命令”**。

注：	每发出一个广播呼叫控制字节时，只会产生一条广播呼叫命令。所有额外的广播呼叫命令都会被忽略，产生无应答。

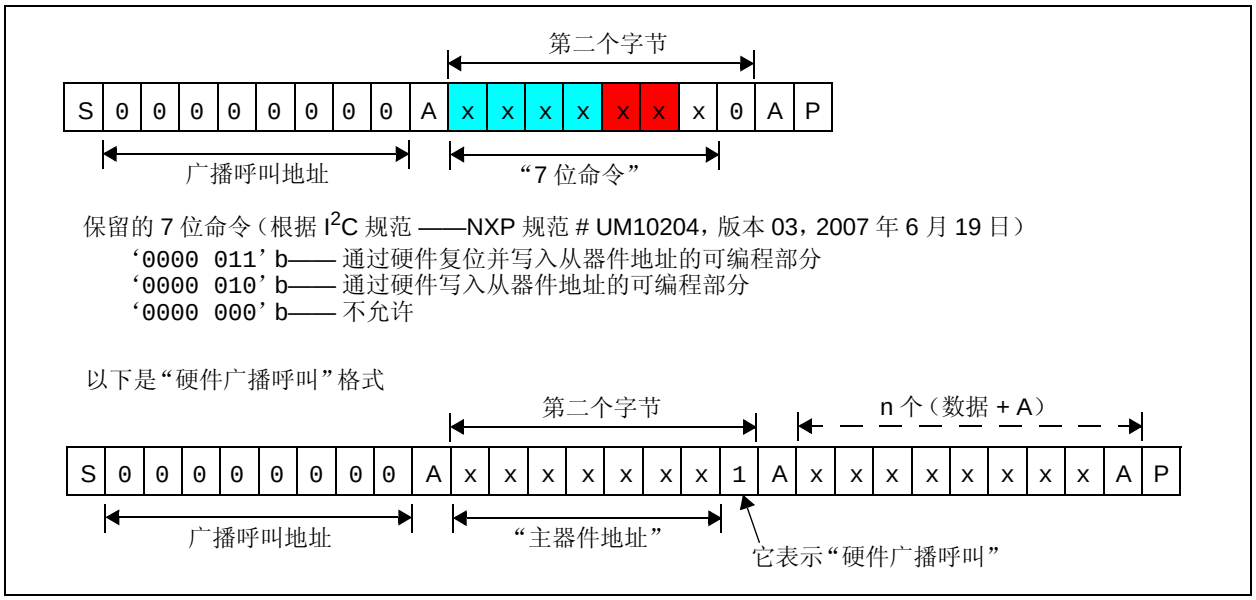


图 B-11： *广播呼叫格式*

© 2015 Microchip Technology Inc.

附录 C： 术语

C.1 分辨率

分辨率等于均分满量程范围的DAC输出状态的数量。对于 12 位 DAC，分辨率为 2^{12}，即 DAC 编码范围为 0 至 4095。

注：	当梯形电阻网络中具有 2^N 个电阻和 2^N 个抽头点时，满量程 DAC 寄存器编码对应的电压与源参考电压（V_{DD} 或 V_{REF}）相差一个电阻元件 （1 LSb）。

C.2 最低有效位 （LSb）

它等于两个连续编码之间的电压差。对于给定的输出电压范围，它等于输出范围除以器件的分辨率（公式C-1）。该范围可以为从 V_{DD} （或 V_{REF}）到 V_{SS} （理想情况）、输出驱动器线性范围内的 DAC 寄存器编码 （测量值 1）或从满量程到零量程 （测量值 2）。

公式 C-1： LSb 电压计算

理想

$$V_{LSb(IDEAL)} = \frac{V_{DD}}{2^N} \text{ 或 } \frac{V_{REF}}{2^N}$$

测量值 1

$$V_{LSb(Measured)} = \frac{V_{OUT(@4000)} - V_{OUT(@100)}}{(4000 - 100)}$$

测量值 2

$$V_{LSb} = \frac{V_{OUT(@FS)} - V_{OUT(@ZS)}}{2^N - 1}$$

2^N = 4096（MCP47FEB2x）
= 1024（MCP47FEB1x）
= 256（MCP47FEB0x）

C.3 单调性操作

单调性操作是指器件的输出电压 （V_{OUT}）随每 1 个编码步阶 （LSb）递增而上升 （从 V_{SS} 到 DAC 的参考电压 （V_{DD} 或 V_{REF}））。

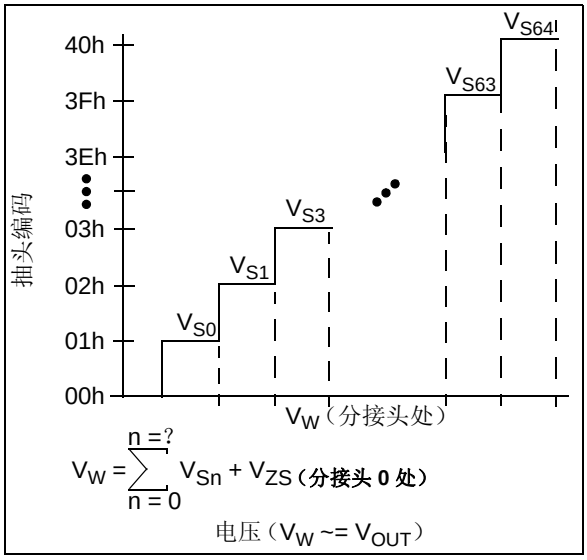


图 C-1： V_W （V_{OUT}）

C.4 满量程误差（E_{FS}）

满量程误差（见图 C-3）是指处于最大器件 DAC 寄存器编码（12 位器件的编码为 FFFh，10 位器件的编码为 3FFh，8 位器件的编码为 FFh）时，V_{OUT} 引脚上的电压相对于预期 V_{OUT} 电压（理论值）的误差（见公式 C-2）。该误差取决于 V_{OUT} 引脚上的阻性负载（以及负载的连接位置，例如 V_{SS} 或 V_{DD}）。负载（至 V_{SS}）大于规定值时，满量程误差会更大。

以位为单位表示的误差由得到以 LSb 为单位表示的误差的理论电压步阶大小决定。

公式 C-2：　　满量程误差

$$E_{FS} = \frac{V_{OUT(@FS)} - V_{IDEAL(@FS)}}{V_{LSb(IDEAL)}}$$

其中：

E_{FS} 以 LSb 为单位表示

$V_{OUT(@FS)}$ 是 DAC 寄存器编码处于满量程时的 V_{OUT} 电压

$V_{IDEAL(@FS)}$ 是 DAC 寄存器编码处于满量程时的理想输出电压

$V_{LSb(IDEAL)}$ 是理论电压步阶大小。

C.5 零量程误差（E_{ZS}）

零量程误差（见图 C-2）是指在 DAC 寄存器编码等于 000h 时，理想输出电压与测量的 V_{OUT} 电压之间的差（见公式 C-3）。该误差取决于 V_{OUT} 引脚上的阻性负载（以及负载的连接位置，例如 V_{SS} 或 V_{DD}）。负载（至 V_{DD}）大于规定值时，零量程误差会更大。

以位为单位表示的误差由得到以 LSb 为单位表示的误差的理论电压步阶大小决定。

公式 C-3：　　零量程误差

$$E_{ZS} = \frac{V_{OUT(@ZS)}}{V_{LSb(IDEAL)}}$$

其中：

E_{ZS} 以 LSb 为单位表示

$V_{OUT(@ZS)}$ 是 DAC 寄存器编码处于零量程时的 V_{OUT} 电压

$V_{LSb(IDEAL)}$ 是理论电压步阶大小。

C.6 未调整总误差（E_T）

未调整总误差（E_T）是理想电压和测量 V_{OUT} 电压之间的差值。通常情况下，将通过实现输出电压校准来提高系统性能。

以位为单位表示的误差根据理论电压步长得到以 LSb 为单位表示的误差。

公式 C-4 给出了未调整总误差的计算公式

公式 C-4：　　未调整总误差计算

$$E_T = \left(\frac{V_{OUT_ACTUAL(@CODE)} - V_{OUT_IDEAL(@CODE)}}{V_{LSb(IDEAL)}} \right)$$

其中：

E_T 以 LSb 为单位表示。

$V_{OUT_Actual(@code)}$ = 处于指定编码时测量的 DAC 输出电压。

$V_{OUT_Ideal(@code)}$ = 处于指定编码时计算的 DAC 输出电压。
(编码 * $V_{LSb(Ideal)}$)

$V_{LSb(Ideal)}$ = V_{REF}/ 步阶数
12 位 = V_{REF}/4096
10 位 = V_{REF}/1024
8 位 = V_{REF}/256

© 2015 Microchip Technology Inc.

C.7 失调误差（E_{OS}）

失调误差是指处于指定编码时，V_{OUT} 电压相对于理想输出电压的电压差。指定该编码后，输出放大器需要处于线性工作范围内；对于 MCP47FEBXX，我们指定编码 100（十进制）。失调误差不包括增益误差。图 C-2 说明了这一点。

该误差以mV为单位表示。失调误差可以为负值或正值。失调误差可以通过软件在应用电路中进行校准。

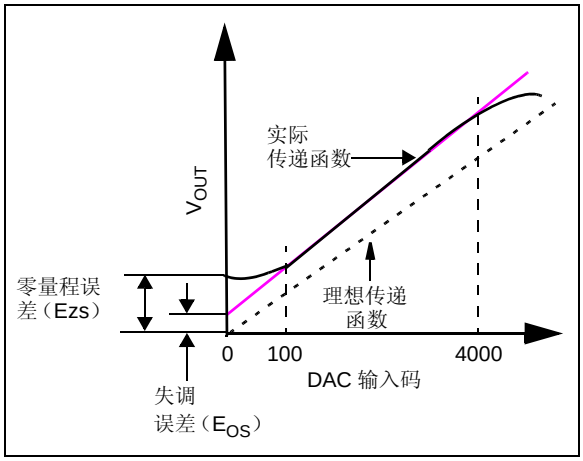


图 C-2： *失调误差（零增益误差）*

C.8 失调误差漂移（E_{OSD}）

失调误差漂移是指由于环境温度变化而引起的失调误差变化。失调误差漂移通常以 ppm/°C 或 µV/°C 为单位表示。

C.9 增益误差（E_G）

增益误差通过使用输出驱动器线性范围的电压边界（例如编码 100 和编码 4000），基于理想斜率计算（见图 C-3）。增益误差计算会抵消器件的失调误差。

增益误差表示实际传递函数斜率与理想传递函数斜率的匹配程度。增益误差通常表示为满量程范围的百分比（FSR 的百分比），或以 LSb 为单位表示。FSR 是 DAC 的理想满量程电压（见公式 C-5）。

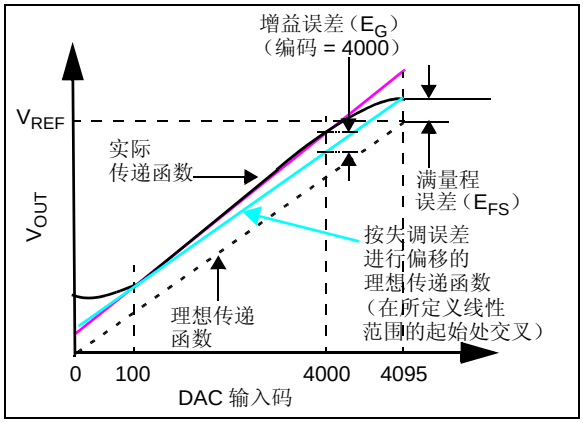


图 C-3： *增益误差和满量程误差示例*

公式 C-5：　　增益误差示例

$$E_G = \frac{(V_{OUT(@4000)} - V_{OS} - V_{OUT_IDEAL(@4000)})}{V_{FULL\text{-}SCALE\ RANGE}} * 100$$

其中：

E_G 以满量程范围（FSR）的百分比表示

$V_{OUT(@4000)}$ = 处于指定编码时测量的 DAC 输出电压。

$V_{OUT_Ideal(@4000)}$ = 处于指定编码时计算的 DAC 输出电压。(4000 * $V_{LSb(Ideal)}$)

V_{OS} = 测量的失调电压。

$V_{Full\ Scale\ Range}$ = 预期的满量程输出值（如 V_{REF} 电压）。

C.10 增益误差漂移（E_{GD}）

增益误差漂移是指由于环境温度变化而引起的增益误差变化。增益误差漂移通常以 ppm/°C 为单位表示（满量程范围）。

C.11 积分非线性误差 （INL）

积分非线性（INL）误差是指在通过所定义的 DAC 传递函数定义端点时，实际传递函数相对于理想传递函数（直线）的最大偏差（消除失调误差和增益误差之后）。

在 MCP47FEBXX 中， INL 使用 DAC 编码 100 和编码 4000 这两个定义的端点计算。INL 可以表示为满量程范围（FSR）的百分比，或以 LSb 为单位表示。INL 也称为相对精度。公式 C-6 说明了如何以 LSb 为单位计算 INL 误差，图 C-4 给出了 INL 精度的一个示例。

INL 为正值意味着 V_{OUT} 电压大于理想电压。INL 为负值意味着 V_{OUT} 电压小于理想电压。

公式 C-6： INL 误差

$$E_{INL} = \frac{(V_{OUT} - V_{CALC_IDEAL})}{V_{LSb(MEASURED)}}$$

其中：

INL 以 LSb 为单位表示。

V_{Calc_Ideal} = 编码 * $V_{LSb(Measured)}$ + V_{OS}

$V_{OUT(Code = n)}$ = 使用给定 DAC 寄存器编码时测量的 DAC 输出电压

$V_{LSb(Measured)}$ = 对于测量值：$(V_{OUT(4000)} - V_{OUT(100)})/3900$

V_{OS} = 测量的失调电压。

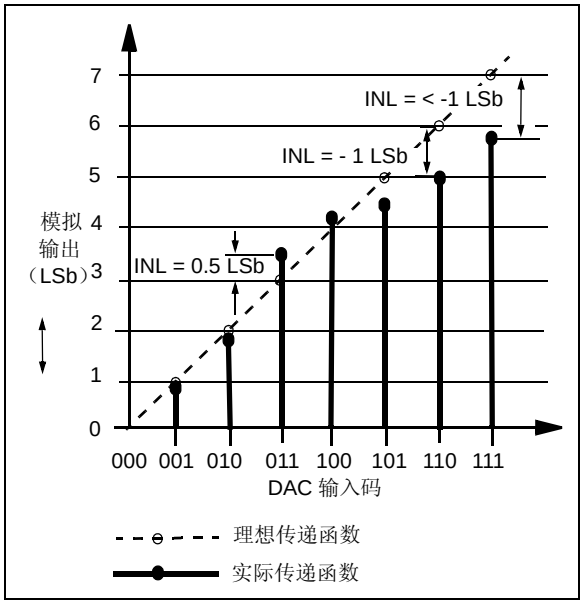


图 C-4： INL 精度

C.12 微分非线性误差 （DNL）

微分非线性 （DNL）误差 （见图 C-5）用于衡量实际传递函数中编码之间的步阶大小。编码之间的理想步阶大小为 1 LSb。DNL 误差为零意味着每个编码正好为 1 LSb 宽。如果 DNL 误差小于 1 LSb，则 DAC 可以确保单调性输出和无失码。公式 C-7 说明了如何以 LSb 为单位计算任意两个相邻编码之间的 DNL 误差。

公式 C-7： DNL 误差

$$E_{DNL} = \frac{(V_{OUT(CODE = N+1)} - V_{OUT(CODE = N)})}{V_{LSb(MEASURED)}} - 1$$

其中：

DNL 以 LSb 为单位表示。

$V_{OUT(Code = n)}$ = 使用给定 DAC 寄存器编码时测量的 DAC 输出电压。

$V_{LSb(Measured)}$ = 对于测量值：$(V_{OUT(4000)} - V_{OUT(100)})/3900$

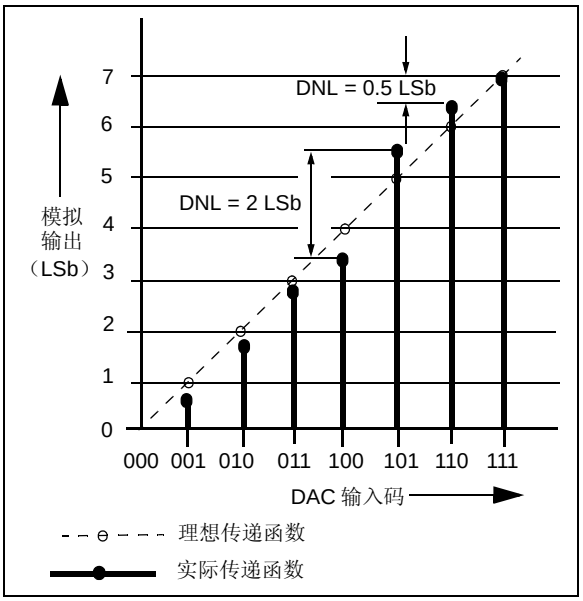


图 C-5： DNL 精度

© 2015 Microchip Technology Inc.

C.13 稳定时间

稳定时间是指 V_{OUT} 电压稳定为其新输出值所需的延时。该时间从编码跳变起始点开始测量，直到 V_{OUT} 电压处于规定精度范围为止。

在 MCP47FEBXX 中，稳定时间用于衡量在易失性 DAC 寄存器从满量程范围 1/4 变为 3/4（12 位器件：400h 变为 C00h），直到 V_{OUT} 电压达到其最终值的 0.5 LSb 范围内的延时。

C.14 主编码跳变毛刺

主编码跳变毛刺是在 DAC 寄存器中的编码改变状态时，注入 DAC 模拟输出中的脉冲能量。它通常规定为以 nV-s 为单位的毛刺面积，并且在数字编码在主进位跳变处改变 1 LSb 时测量（例如：`011...111` 变至 `100...000` 或 `100...000` 变至 `011 ... 111`).

C.15 数字馈通

数字馈通是指由于器件数字输入引脚耦合而在模拟输出中出现的毛刺。毛刺面积以 nV-s 为单位表示，并在数字输入引脚发生满量程变化（例如：全 `0` 变为全 `1`，以及反之）时测量。数字馈通在 DAC 未被写入输出寄存器时测量。

C.16 -3 dB 带宽

它等于 V_{REF} 引脚上导致 V_{OUT} 引脚电压相对于 V_{REF} 引脚上的静态值下降 -3 dB 的信号的频率。输出下降是由于梯形电阻网络的 RC 特性和输出缓冲器的特性。

C.17 电源灵敏度 （PSS）

PSS用于指示电源电压变化对于DAC输出的影响程度。PSS 是 DAC 中间量程输出时， V_{OUT} 变化量与 V_{DD} 变化量之比。V_{OUT} 在 V_{DD} 从 5.5V 一步变为 2.7V（V_{REF} 电压保持恒定）时测量，并以 %/% 为单位表示，即 DAC 输出电压变化百分比与 V_{DD} 电压变化百分比之比。

公式 C-8： PSS 计算

$$PSS = \frac{(V_{OUT(@5.5V)} - V_{OUT(@2.7V)}) / V_{OUT(@5.5V)})}{(5.5V - 2.7V) / 5.5V}$$

其中：

PSS 以 %/% 为单位表示。

$V_{OUT(@5.5V)}$ = V_{DD} = 5.5V 时测量的 DAC 输出电压。

$V_{OUT(@2.7V)}$ = V_{DD} = 2.7V 时测量的 DAC 输出电压。

C.18 电源抑制比 （PSRR）

电源抑制比（Power-Supply Rejection Ratio，PSRR）用于指示电源电压变化对于 DAC 输出的影响程度。PSRR 是 DAC 满量程输出时， V_{OUT} 变化量与 V_{DD} 变化量之比。V_{OUT} 在 V_{DD} 变化 +/- 10%（V_{REF} 电压保持恒定）的情况下测量，并以 dB 或 µV/V 为单位表示。

C.19 V_{OUT} 温度系数

V_{OUT} 温度系数用于量化梯形电阻网络的电阻比率（DAC 寄存器编码值）和输出缓冲器由于温度漂移而产生的误差。

C.20 绝对温度系数

绝对温度系数用于量化在端到端输出电压 （标称输出电压 V_{OUT}）中由于温度漂移而产生的误差。对于 DAC，由于其输出是比例式输出，所以该误差通常不会产生问题。

C.21 噪声谱密度

噪声谱密度用于衡量器件内部产生的随机噪声，并以谱密度（v/√Hz）形式来描述。它的测量方式是，向 DAC 中装入中间量程值，并测量 V_{OUT} 引脚处的噪声。其单位为 nV/√Hz。

注：

© 2015 Microchip Technology Inc.

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	XX	X	–X	/XX
器件	地址选项	卷带式	温度范围	封装

器件：
- MCP47FEB01：带外部和内部参考电压的单通道 8 位非易失性 DAC
- MCP47FEB02：带外部和内部参考电压的双通道 8 位非易失性 DAC
- MCP47FEB11：带外部和内部参考电压的单通道 10 位非易失性 DAC
- MCP47FEB12：带外部和内部参考电压的双通道 10 位非易失性 DAC
- MCP47FEB21：带外部和内部参考电压的单通道 12 位非易失性 DAC
- MCP47FEB22：带外部和内部参考电压的双通道 12 位非易失性 DAC

地址选项：
- A0 = “1100000” I^2C 地址。
- A1 = “1100001” I^2C 地址。
- A2 = “1100010” I^2C 地址。
- A3 = “1100011” I^2C 地址。

卷带式：
- T = 卷带式
- 空白 = 管状封装

温度范围：
- E = -40°C 至 +125°C

封装：
- ST = 塑封薄型缩小外形封装（TSSOP），8 引脚

示例：

a) MCP47FEB01A0T-E/ST：8 位 V_{OUT} 分辨率，I^2C 地址 “1100000”，卷带式，扩展级温度，8 引脚 TSSOP 封装。

b) MCP47FEB01A3T-E/ST：8 位 V_{OUT} 分辨率，I^2C 地址 “1100011”，卷带式，扩展级温度，8 引脚 TSSOP 封装。

a) MCP47FEB11A0-E/ST：10 位 V_{OUT} 分辨率，I^2C 地址 “1100000”，管状，扩展级温度，8 引脚 TSSOP 封装。

b) MCP47FEB11A3T-E/ST：10 位 V_{OUT} 分辨率，I^2C 地址 “1100011”，卷带式，扩展级温度，8 引脚 TSSOP 封装。

a) MCP47FEB21A0T-E/ST：12 位 V_{OUT} 分辨率，I^2C 地址 “1100000”，卷带式，扩展级温度，8 引脚 TSSOP 封装。

b) MCP47FEB21A3T-E/ST：12 位 V_{OUT} 分辨率，I^2C 地址 “1100011”，卷带式，扩展级温度，8 引脚 TSSOP 封装。

注：

© 2015 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 dsPIC、 FlashFlex、 flexPWR、 JukeBlox、 KEELOQ、 KEELOQ 徽标、 Kleer、 LANCheck、 MediaLB、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、 PICSTART、 PIC32 徽标、 RightTouch、 SpyNIC、 SST、 SST 徽标、 SuperFlash 及 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

The Embedded Control Solutions Company 和 mTouch 为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、 BodyCom、 chipKIT、 chipKIT 徽标、 CodeGuard、 dsPICDEM、 dsPICDEM.net、 ECAN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 KleerNet、 KleerNet 徽标、 MiWi、 motorBench、 MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、 NetDetach、 Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、 RightTouch 徽标、 REAL ICE、 SQI、 Serial Quad I/O、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、 WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2015, Microchip Technology Inc. 版权所有。

ISBN：978-1-63277-754-6

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
ISO/TS 16949

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。 Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外， Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110

加拿大多伦多 Toronto
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

亚太地区

台湾地区 - 高雄
Tel: 886-7-213-7828

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Dusseldorf
Tel: 49-2129-3766400

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Venice
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

波兰 Poland - Warsaw
Tel: 48-22-3325737

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

07/14/15

© 2015 Microchip Technology Inc.