USB5734

带控制的4端口SS/HS USB集线器

要点

- USB集线器功能控制器IC，带4个USB 3.0/2.0下行端口
- 上行端口和下行端口均支持 USB-IF 电池充电器版本1.2（DCP、CDP和SDP）
- **FlexConnect**：下行端口可与上行端口交换，允许具有主机功能的设备控制集线器上的其他设备
- 支持USB转I^2C™/UART/SPI/GPIO桥接端点
- 支持USB链路电源管理（Link Power Management，LPM）
- 通过OTP或SPI ROM提供增强的OEM配置选项
- 采用64引脚（9 x 9 mm）SQFN无铅、符合RoHS标准的封装
- 支持商业级和工业级温度
- 配置脚：包括GPIO在内的预定义系统级功能配置

目标应用

- 分立式USB集线器
- 笔记本扩展坞
- PC主板
- PC监视器扩展坞
- 多功能USB 3.0外设

主要优势

- 符合USB 3.0标准的5 Gbps、480 Mbps、12 Mbps和1.5 Mbps操作
  - 5V耐压USB 2.0引脚
  - 1.32V耐压USB 3.0引脚
  - 集成终端和上拉/下拉电阻
- 每个端口均支持对最常见的电池供电设备进行充电
  - 支持USB-IF电池充电版本1.2（DCP、CDP和SDP）
  - Apple® 便携式产品充电器仿真
  - 中国YD/T 1591-2006充电器仿真
  - 中国YD/T 1591-2009充电器仿真
  - 支持欧盟通用移动充电器
  - 支持Microchip USC100x系列电池充电控制器
  - 支持其他便携式设备
- 智能端口控制器操作
  - 通过固件处理配套端口控制器
- 片上单片机
  - 管理I/O、VBUS和其他信号
- 8 KB RAM和64 KB ROM
- 8 KB可一次性编程（One Time Programmable，OTP）ROM
  - 包含片上电荷泵
- 通过OTP ROM、SPI ROM或SMBus进行配置编程
- **PortSwap**
  - 可配置的差分对信号交换
- **PHYBoost**™
  - 可编程的USB收发器驱动能力，用于恢复信号完整性
- **VariSense**™
  - 可编程的USB接收器灵敏度
- 与Microsoft Windows® 8、7和XP、Apple OS X 10.4+以及Linux®集线器驱动程序兼容
- 针对低功耗工作和低散热性能进行了优化
- 封装
  - 64引脚SQFN（9 x 9 mm）
- 环境
  - 3 kV HBM JESD22-A114F ESD保护
  - 商业级温度范围（0°C至+70°C）
  - 工业级温度范围（-40°C至+85°C）

© 2015 Microchip Technology Inc.

致 客 户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 **http://www.microchip.com**
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2015 Microchip Technology Inc.

1.0 前言 4
2.0 简介 6
3.0 引脚说明和配置 8
4.0 器件连接 26
5.0 工作模式 28
6.0 器件配置 31
7.0 器件接口 33
8.0 功能说明 35
9.0 工作特性 41
10.0 封装外形 50
11.0 版本历史 52

© 2015 Microchip Technology Inc.

1.0 前言

1.1 一般术语

表1-1： 一般术语

术语	说明
ADC	模数转换器
CDC	通信设备类
CSR	控制和状态寄存器
DWORD	32位
EOP	数据包结尾
EP	端点
FIFO	先进先出缓冲区
FS	全速
FSM	有限状态机
GPIO	通用I/O
HS	高速
HSOS	高速过采样
I^2C™	I^2C
LS	低速
lsb	最低有效位
LSB	最低有效字节
msb	最高有效位
MSB	最高有效字节
N/A	不适用
NC	无连接
OTP	可一次性编程
PCB	印刷电路板
PCS	物理编码子层
PHY	物理层
PLL	锁相环
SDK	软件开发工具包
SMBus	系统管理总线
UUID	通用惟一标识符
保留	指保留的位字段或地址。除非另外说明，否则保留位必须始终为零以进行写操作。除非另外说明，否则无法在读取保留位时保证这些值。除非另外说明，否则请勿读取或写入保留的地址。
集线器功能控制器	集线器功能控制器（简称集线器控制器）是用于使能USB控制器集线器独特功能的内部处理器。不应与在USB会话期间将集线器状态传递回主机的USB集线器控制器混淆。
字	16位
字节	8位

© 2015 Microchip Technology Inc.

1.2 参考文档

1. "*UNICODE UTF-16LE For String Descriptors*"USB Engineering Change Notice（USB工程变更通知），2004年12月29日，http://www.usb.org
2. "*Universal Serial Bus Specification*"，版本3.0，http://www.usb.org
3. "*Battery Charging Specification*"，版本1.2，2010年12月7日，http://www.usb.org
4. "*I^2C-Bus Specification*"，版本1.1，http://www.nxp.com
5. "*System Management Bus Specification*"，版本1.0，http://smbus.org/specs

2.0 简介

2.1 概述

Microchip USB5734集线器是一款低功耗、OEM可配置的USB 3.0集线器功能控制器，该控制器具有4个下行端口以及适用于嵌入式USB应用的高级功能。USB5734完全符合*USB 3.0规范*和*USB 2.0链路电源管理附录*。USB5734的所有下行端口在使能后均支持5 Gbps超高速（SS）、480 Mbps高速（HS）、12 Mbps全速（FS）以及1.5 Mbps低速（LS）USB下行设备。

USB5734通过专用USB 2.0集线器功能控制器支持传统USB速度（HS/FS/LS），其可靠性、互操作性和设备兼容性都经过验证，在产品设计与客户体验方面堪称Microchip五代集线器功能控制器中的巅峰之作。此超高速集线器功能控制器与USB 2.0控制器并行工作，可实现5 Gbps的超高速数据传输，突破了较慢的USB 2.0通信传输瓶颈。

USB5734使得OEM能够通过“配置脚”配置其系统。这些配置脚可为USB3.0端口和GPIO分配默认值，从而简化配置过程。OEM可将禁止端口、使能电池充电以及定义GPIO功能作为上电时的默认分配，从而消除对OTP或外部SPI ROM的需求。

USB5734支持上行电池充电器检测和下行电池充电。USB5734集成了电池充电器检测电路，支持USB-IF电池充电（BC1.2）检测方法以及大多数Apple设备。USB5734提供了电池充电握手功能，并且支持以下USB-IF BC1.2充电模式：

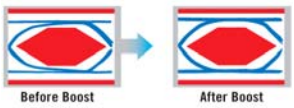
- DCP：专用充电端口（电源砖，无数据）
- CDP：充电下行端口（1.5A，含数据）
- SDP：标准下行端口（0.5A，含数据）
- 通过SMBus或OTP加载的自定义充电模式

USB5734提供了一个专门用作USB转I^2C/UART/SPI/GPIO接口的附加USB端点，支持通过USB接口监视、控制或者配置外部电路或设备。此外，USB5734还具有许多强大而独特的功能，例如：

FlexConnect：提供灵活的连接选项。USB5734的第一个下行端口可重新配置为上行端口，允许具有主机功能的设备控制集线器上的其他设备。

PortSwap：每个端口均可编程，以调节USB差分对的引脚位置。PortSwap可将USB信号（D+/D-）与连接器直接对齐，避免PCB上出现走线长度不均或USB差分信号交叉现象。

PHYBoost：在下行端口收发器中提供可编程的高速USB信号驱动能力。PHYBoost会在欠佳的系统环境中尝试恢复USB信号的完整性。右图所示为在欠佳系统环境中执行PHYBoost信号完整性恢复前后的高速USB眼图示例。



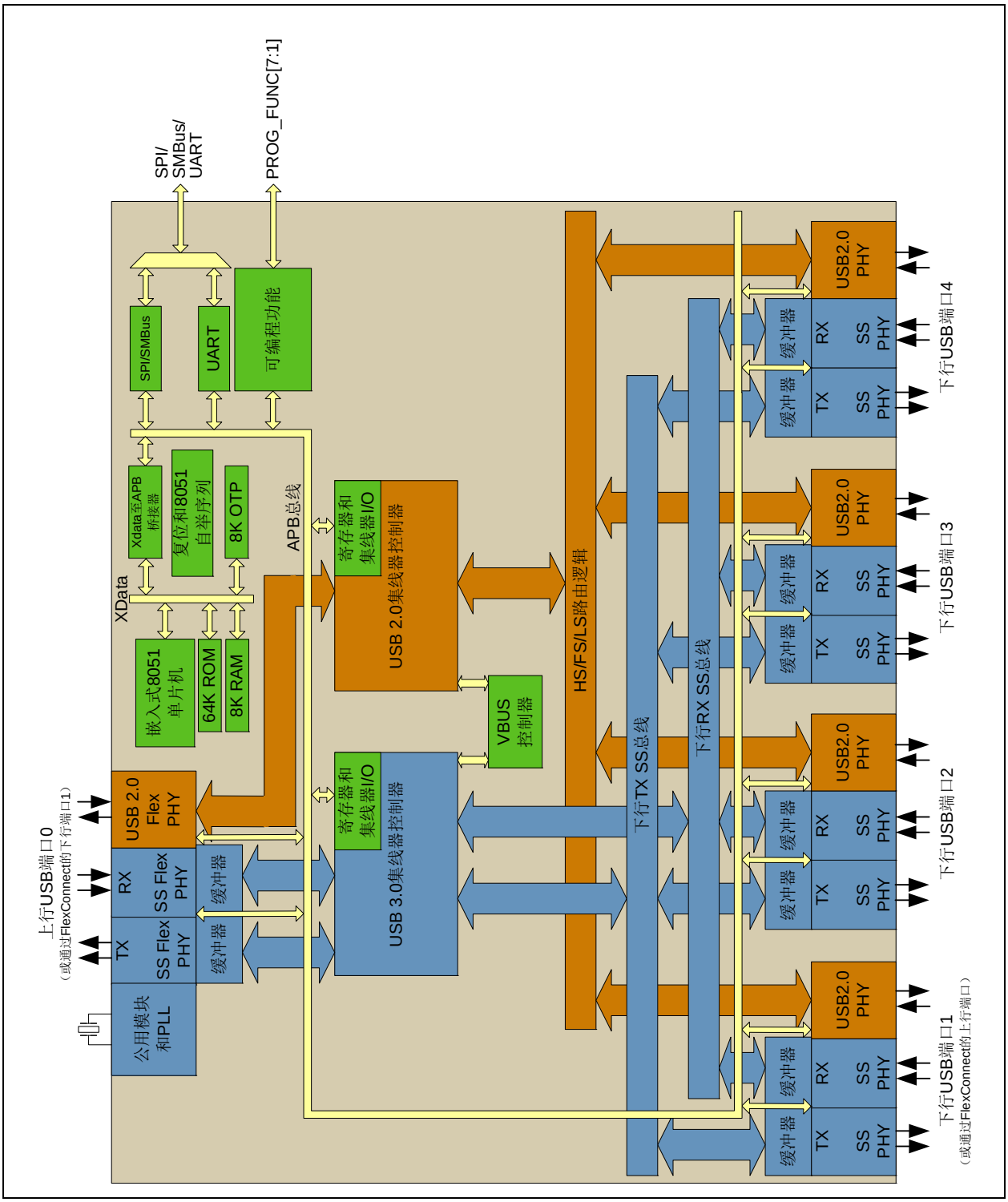
VariSense：控制USB接收器灵敏度，从而实现USB信号接收灵敏度的可编程性。此功能使得器件能够在欠佳系统环境（例如使用固定式USB电缆（Captive USB cable））中正常工作。

USB5734可配置为采用内部默认设置工作，也可通过外部SPI ROM或OTP ROM支持自定义OEM配置。所有端口控制信号引脚均由固件控制以实现最大的操作灵活性，并且可用作GPIO以满足客户特定用途。

USB5734可在商业级（0°C至+70°C）和工业级（-40°C至+85°C）温度范围内使用。图2-1给出了USB5734的内部框图。

© 2015 Microchip Technology Inc.

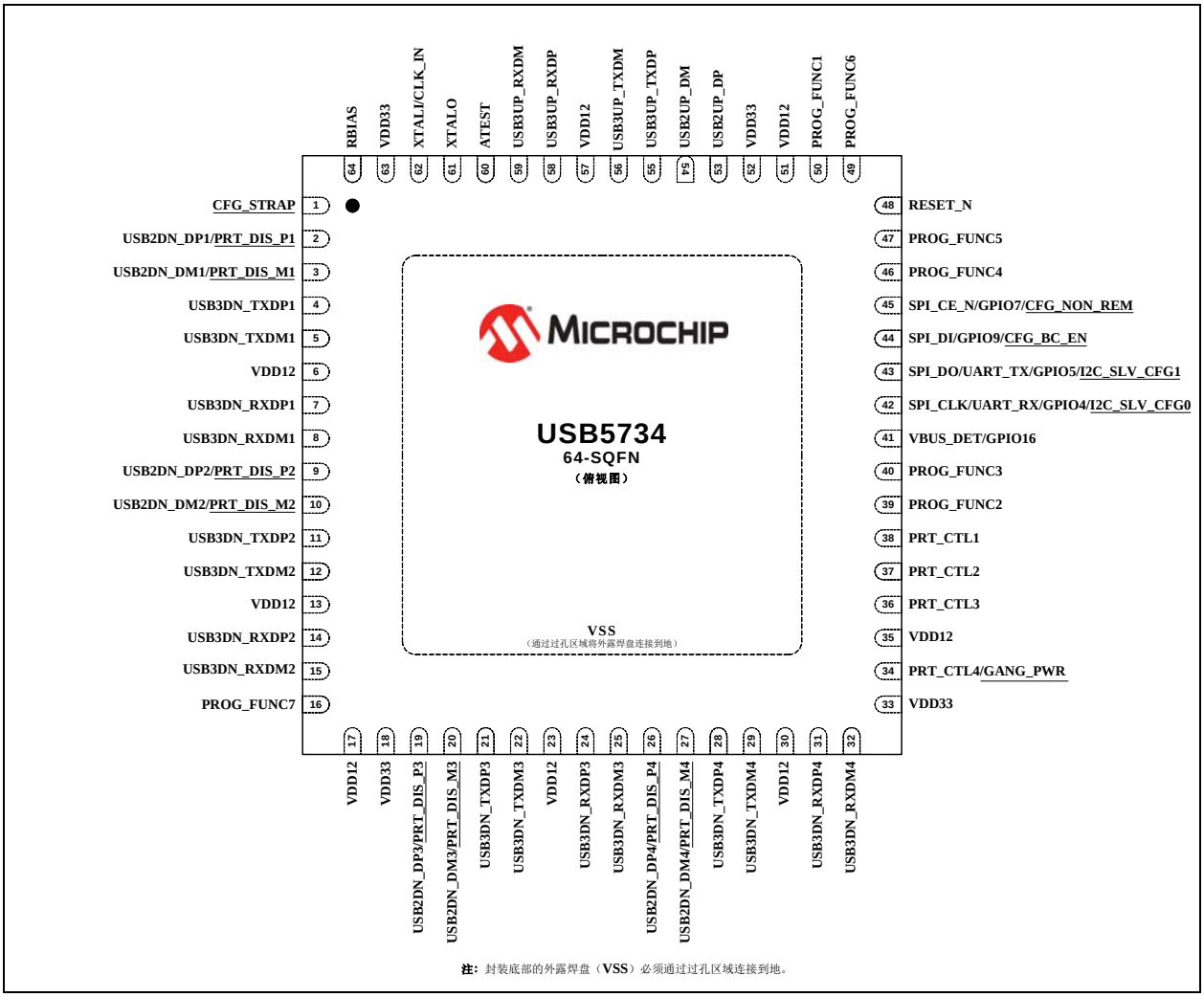
图2-1：　　内部框图


上行USB端口0
（或通过FlexConnect的下行端口1）
TX
RX
SS Flex PHY
SS Flex PHY
USB 2.0 Flex PHY
公用模块和PLL
缓冲器
缓冲器
XData
嵌入式8051单片机
64K ROM
8K RAM
Xdata至APB桥接器
复位和8051自举序列
8K OTP
SPI/SMBus
UART
可编程功能
SPI/ SMBus/ UART
PROG_FUNC[7:1]
APB总线
寄存器和集线器I/O
USB 2.0集线器控制器
寄存器和集线器I/O
USB 3.0集线器控制器
VBUS控制器
HS/FS/LS路由逻辑
下行TX SS总线
下行RX SS总线
缓冲器
缓冲器
TX
RX
SS PHY
SS PHY
USB2.0 PHY
下行USB端口1
（或通过FlexConnect的上行端口）
下行USB端口2
下行USB端口3
下行USB端口4

3.0 引脚说明和配置

3.1 引脚分配

图3-1： 64-SQFN引脚分配



注 1： 配置脚通过带下划线的符号名标识。用作配置脚的信号连接到负载时，必须增加一个外部电阻。更多信息，请参见第3.4节“配置包和可编程功能”。

© 2015 Microchip Technology Inc.

表3-1以表格形式详细介绍了封装引脚分配。

表3-1： 64-SQFN引脚分配

引脚编号	引脚名称	引脚编号	引脚名称
1	CFG_STRAP	33	VDD33
2	USB2DN_DP1/PRT_DIS_P1	34	PRT_CTL4/GANG_PWR
3	USB2DN_DM1/PRT_DIS_M1	35	VDD12
4	USB3DN_TXDP1	36	PRT_CTL3
5	USB3DN_TXDM1	37	PRT_CTL2
6	VDD12	38	PRT_CTL1
7	USB3DN_RXDP1	39	PROG_FUNC2
8	USB3DN_RXDM1	40	PROG_FUNC3
9	USB2DN_DP2/PRT_DIS_P2	41	VBUS_DET/GPIO16
10	USB2DN_DM2/PRT_DIS_M2	42	SPI_CLK/UART_RX/GPIO4/I2C_SLV_CFG0
11	USB3DN_TXDP2	43	SPI_DO/UART_TX/GPIO5/I2C_SLV_CFG1
12	USB3DN_TXDM2	44	SPI_DI/GPIO9/CFG_BC_EN
13	VDD12	45	SPI_CE_N/GPIO7/CFG_NON_REM
14	USB3DN_RXDP2	46	PROG_FUNC4
15	USB3DN_RXDM2	47	PROG_FUNC5
16	PROG_FUNC7	48	RESET_N
17	VDD12	49	PROG_FUNC6
18	VDD33	50	PROG_FUNC1
19	USB2DN_DP3/PRT_DIS_P3	51	VDD12
20	USB2DN_DM3/PRT_DIS_M3	52	VDD33
21	USB3DN_TXDP3	53	USB2UP_DP
22	USB3DN_TXDM3	54	USB2UP_DM
23	VDD12	55	USB3UP_TXDP
24	USB3DN_RXDP3	56	USB3UP_TXDM
25	USB3DN_RXDM3	57	VDD12
26	USB2DN_DP4/PRT_DIS_P4	58	USB3UP_RXDP
27	USB2DN_DM4/PRT_DIS_M4	59	USB3UP_RXDM
28	USB3DN_TXDP4	60	ATEST
29	USB3DN_TXDM4	61	XTALO
30	VDD12	62	XTALI/CLK_IN
31	USB3DN_RXDP4	63	VDD13
32	USB3DN_RXDM4	64	RBIAS

© 2015 Microchip Technology Inc.

3.2 引脚说明

本节包含USB5734各个引脚的说明。引脚说明已划分为如下各个功能组：

- USB 3.0引脚说明
- USB 2.0引脚说明
- USB端口控制引脚说明
- SPI/UART引脚说明
- 可编程功能引脚说明
- 其他引脚说明
- 电源和接地引脚说明

信号名称中的符号“**_N**”表示当信号处于低电压电平时，呈现激活或置为有效状态。例如，**RESET_N**表示该复位信号低电平有效。如果信号名称后面不存在“**_N**”，则该信号在处于高电压电平时置为有效。

置为有效和置为无效是一对互斥的术语，不可同时出现。目的是避免同时处理“低电平有效”和“高电平有效”信号时发生混淆。术语置为有效表示信号处于有效状态，与高低电压电平无关。术语置为无效表示信号处于无效状态。

> **注：** 引脚说明表的“缓冲器类型”列中给出了每个信号的缓冲器类型。第15页上的第3.3节“缓冲器类型”提供了缓冲器类型的说明。
> 有关配置脚和可配置引脚的更多信息，请参见第3.4节“配置包和可编程功能”。

表3-2： USB 3.0引脚说明

引脚编号	符号	缓冲器类型	说明
1	**USB3UP_TXDP**	IO-U	USB 3.0上行超高速发送数据加。
1	**USB3UP_TXDM**	IO-U	USB 3.0上行超高速发送数据减。
1	**USB3UP_RXDP**	IO-U	USB 3.0上行超高速接收数据加。
1	**USB3UP_RXDM**	IO-U	USB 3.0上行超高速接收数据减。
4	**USBDN_TXDP[4:1]**	IO-U	USB 3.0下行端口4-1超高速发送数据加。
4	**USBDN_TXDM[4:1]**	IO-U	USB 3.0下行端口4-1超高速发送数据减。
4	**USBDN_RXDP[4:1]**	IO-U	USB 3.0下行端口4-1超高速接收数据加。
4	**USBDN_RXDM[4:1]**	IO-U	USB 3.0下行端口4-1超高速接收数据减。

表3-3： USB 2.0引脚说明

引脚编号	符号	缓冲器类型	说明
1	**USB2UP_DP**	IO-U	USB 2.0上行数据加（D+）。
1	**USB2UP_DM**	IO-U	USB 2.0上行数据减（D-）。

© 2015 Microchip Technology Inc.

表3-3： USB 2.0引脚说明（续）

引脚编号	符号	缓冲器类型	说明
4	**USB2DN_DP[4:1]**	IO-U	USB 2.0下行端口4-1数据加（D+）。
	PRT_DIS_P[4:1]	I	端口4-1 D+禁止配置脚。 这些配置脚与相应的**PRT_DIS_M[4:1]**脚结合使用来禁止相关端口（4-1）。更多信息，请参见第3.4.2节“端口禁止配置（PRT_DIS_P[4:1]/PRT_DIS_M[4:1]）”。 请参见注2。
4	**USB2DN_DM[4:1]**	IO-U	USB 2.0下行端口4-1数据减（D-）。
	PRT_DIS_M[4:1]	I	端口4-1 D-禁止配置脚。 这些配置脚与相应的**PRT_DIS_P[4:1]**脚结合使用来禁止相关端口（4-1）。更多信息，请参见第3.4.2节“端口禁止配置（PRT_DIS_P[4:1]/PRT_DIS_M[4:1]）”。 请参见注2。
1	**VBUS_DET**	IS	此信号检测上行总线电源的状态。 设计可拆卸式集线器时，此引脚必须通过一个电阻分压器（50 kΩ和100 kΩ）连接到上行USB端口的VBUS电源引脚，以提供3.3V电压。 对于带有永久连接主机的自供电应用，此引脚必须通过电阻分压器连接到3.3V或5.0V电压，以提供3.3V电压。 在嵌入式应用中，当主机需要重新协商连接而无需完全复位设备时，可以控制（翻转）**VBUS_DET**。
	GPIO16	I/O6	通用输入/输出16。

注 2： 配置脚值在上电复位（Power-On Reset，POR）时和**RESET_N**的上升沿（外部芯片复位）锁存。配置脚通过带下划线的符号名标识。用作配置脚的信号连接到负载时，必须增加一个外部电阻。更多信息，请参见第3.4节“配置包和可编程功能”。

表3-4： USB端口控制引脚说明

引脚编号	符号	缓冲器类型	说明
1	**PRT_CTL1**	I（PU）	端口1电源使能/过流检测。 作为输出时，此信号为高电平有效的控制信号，用于使能下行端口1的电源。作为输入时，此信号通过外部电流监控器指示USB端口1上的过流状态。
1	**PRT_CTL2**	I（PU）	端口2电源使能/过流检测。 作为输出时，此信号为高电平有效的控制信号，用于使能下行端口2的电源。作为输入时，此信号通过外部电流监控器指示USB端口2上的过流状态。

表3-4： USB端口控制引脚说明（续）

引脚编号	符号	缓冲器类型	说明
1	PRT_CTL3	I（PU）	端口3电源使能/过流检测。 作为输出时，此信号为高电平有效的控制信号，用于使能下行端口3的电源。作为输入时，此信号通过外部电流监控器指示USB端口3上的过流状态。
1	PRT_CTL4	I（PU）	端口4电源使能/过流检测。 作为输出时，此信号为高电平有效的控制信号，用于使能下行端口4的电源。作为输入时，此信号通过外部电流监控器指示USB端口4上的过流状态。
	GANG_PWR	I（PU）	拉为高电平时使能联动模式。在联动模式下使用时用作联动电源引脚。

表3-5： SPI/UART引脚说明

引脚编号	符号	缓冲器类型	说明
1	SPI_CE_N	O12	低电平有效SPI芯片使能输出。
	GPIO7	I/O12	通用输入/输出7。
	CFG_NON_REM	I	不可移除端口配置脚。 此配置脚用于配置不可移除端口的数量。更多信息，请参见第3.4.3节“不可移除端口配置（CFG_NON_REM）”。 请参见注3。
1	SPI_CLK	O6	配置为SPI操作时，用作到串行ROM的SPI时钟输出。
	UART_RX	I	配置为UART操作时，用作UART接收引脚。
	GPIO4	I/O6	通用输入/输出4。
	I2C_SLV_CFG0	I	I^2C™从器件0配置脚。 此配置脚用于配置I^2C控制器0。更多信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
1	SPI_DO	O6	配置为SPI操作时，用作SPI数据输出。
	UART_TX	O12	配置为UART操作时，用作UART发送引脚。
	GPIO5	I/O6	通用输入/输出5。
	I2C_SLV_CFG1	I	I^2C从器件1配置脚。 此配置脚用于配置I^2C控制器1。更多信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。

© 2015 Microchip Technology Inc.

表3-5： SPI/UART引脚说明（续）

引脚编号	符号	缓冲器类型	说明
1	**SPI_DI**	IS	配置为SPI操作时，用作SPI数据输入。
	GPIO9	I/O12	通用输入/输出9。
	CFG_BC_EN	I	电池充电配置脚。 此配置脚用于使能电池充电。更多信息，请参见第3.4.4节“电池充电配置（CFG_BC_EN）”。 请参见注3。

注 3： 配置脚值在上电复位（POR）时和 **RESET_N** 的上升沿（外部芯片复位）锁存。配置脚通过带下划线的符号名标识。用作配置脚的信号连接到负载时，必须增加一个外部电阻。更多信息，请参见第3.4节“配置包和可编程功能”。

表3-6： 可编程功能引脚说明

引脚编号	符号	缓冲器类型	说明
7	**PROG_FUNC[7:1]**	注4	可编程功能引脚7-1。 这些引脚的功能通过**CFG_STRAP**引脚配置。更多信息，请参见第3.4.5节“设备模式/PROG_FUNC[7:1]配置（CFG_STRAP）”。
1	**CFG_STRAP**	I	器件模式配置脚。 此配置脚用于设置器件模式。更多信息，请参见第3.4.5节“设备模式/PROG_FUNC[7:1]配置（CFG_STRAP）”。 请参见注5。

注 4： **PROG_FUNC2**的缓冲器类型为I/O6。**PROG_FUNC7**的缓冲器类型为I/O10。其他所有**PROG_FUNCx**引脚的缓冲器类型均为I/O12。

注 5： 配置脚值在上电复位（POR）时和 **RESET_N** 的上升沿（外部芯片复位）锁存。配置脚通过带下划线的符号名标识。用作配置脚的信号连接到负载时，必须增加一个外部电阻。更多信息，请参见第3.4节“配置包和可编程功能”。

表3-7： 其他引脚说明

引脚编号	符号	缓冲器类型	说明
1	**RESET_N**	IS	RESET_N引脚使器件进入复位模式。
1	**XTALI**	ICLK	外部25 MHz晶振输入
	CLK_IN	ICLK	外部参考时钟输入。 也可选择由单端时钟振荡器驱动此器件。如果采用这种方法，**XTALO**应保持未连接状态。
1	**XTALO**	OCLK	外部25 MHz晶振输出
1	**RBIAS**	AI	此引脚与接地端之间连接有一个12.0 kΩ（+/- 1%）电阻，用于设置收发器的内部偏置设置。
1	**ATEST**	AI	模拟测试引脚。 此信号用于测试，必须始终接地。

表3-8： 电源和接地引脚说明

引脚编号	符号	缓冲器类型	说明
4	**VDD33**	P	+3.3V电源和内部稳压器输入 有关电源连接的更多信息，请参见第4.1节“电源连接”。
8	**VDD12**	P	+1.2V内核电源 有关电源连接的更多信息，请参见第4.1节“电源连接”。
焊盘	**VSS**	P	公共接地端。 此外露焊盘必须通过过孔阵列连接到接地层。

© 2015 Microchip Technology Inc.

3.3 缓冲器类型

表3-9： 缓冲器类型

缓冲器类型	说明
I	输入
IS	施密特触发输入
O6	具有6 mA灌/拉电流能力的输出
O10	具有10 mA灌/拉电流能力的输出
O12	具有12 mA灌/拉电流能力的输出
OD12	具有12 mA灌电流能力的漏极开路输出
PU	50 µA（典型值）内部上拉。除非引脚说明中另外说明，否则始终使能内部上拉。 内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
PD	50 µA（典型值）内部下拉。除非引脚说明中另外说明，否则始终使能内部下拉。 内部下拉电阻用于防止未连接输入悬空。请勿依靠内部电阻驱动器件外部的信号。连接到必须拉低的负载时，必须添加外部电阻。
IO-U	按照USB规范中定义的模拟输入/输出
AI	模拟输入
ICLK	晶振输入引脚
OCLK	晶振输出引脚
P	电源引脚

注： 有关各缓冲器的直流电气特性，请参见第9.5节“直流规范”。

3.4 配置脚和可编程功能

配置脚是多功能引脚，用于在上电复位（POR）或外部芯片复位（**RESET_N**）期间确定特殊功能的默认配置。信号的状态在将复位置为无效后锁存。配置脚通过带下划线的符号名标识。本节详细介绍了各种器件配置脚和相关的可编程引脚功能。

> **注：** 系统设计人员必须确保配置脚满足第45页上的第9.6.1节“上电和配置包时序”和第45页上的第9.6.2节“复位和配置包时序”中指定的时序要求。如果配置脚在锁存前未处于正确的电压电平，器件将捕捉到不正确的配置脚值。

3.4.1 SPI/SMBUS/I²C/UART配置（I2C_SLV_CFG[1:0]）

SPI/SMBus/I²C/UART引脚可配置为四种功能模式之一：

- SPI模式
- SMBus从接口使能模式
- I²C桥接模式
- UART模式

如果在**SPI_DO**和**SPI_CLK**上检测到10 kΩ上拉电阻，SPI/SMBus/I²C/UART引脚将配置为SMBus从接口使能模式。如果在**SPI_DO**上检测到10 kΩ下拉电阻，SPI/SMBus/I²C/UART引脚将配置为UART模式。如果在**SPI_DO**和**SPI_CLK**上未检测到任何上拉或下拉电阻，SPI/SMBus/I²C/UART引脚将首先配置为SPI模式。如果未检测到有效的SPI ROM，SPI/SMBus/I²C/UART引脚将配置为I²C桥接模式。表3-10详细说明了这些支持的模式的脚设置。表3-11详细列出了每种模式下各引脚功能分配。有关器件连接的更多信息，请参见第4.0节“器件连接”。

> **注：** 以下接口不能同时使用：
> - UART和SMBus从接口
> - UART和SPI
> - SMBus从接口和I²C™桥接接口

表3-10： SPI/SMBUS/I²C™/UART模式配置设置

引脚	SPI模式（注6）	SMBus从接口使能模式（注7）	I²C™桥接模式（注8）	UART模式
43（**SPI_DO**）	无上拉/下拉电阻	10 kΩ上拉电阻	无上拉/下拉电阻	10 kΩ下拉电阻
42（**SPI_CLK**）	无上拉/下拉电阻	10 kΩ上拉电阻	无上拉/下拉电阻	无上拉/下拉电阻

注 6： 要使用SPI接口，必须存在一个以地址0xFFFA开始并包含2DFU有效签名（器件固件升级）的SPI ROM。更多信息，请参见第7.1节“SPI主接口”。

注 7： 要使用SMBus从接口，**SPI_DO**和**SPI_CLK**引脚必须配置为SMBus从接口使能模式，*并且***CFG_STRAP**必须配置为配置1、2、3或6，以将**PROG_FUNC4**和**PROG_FUNC5**引脚分别编程为**SMDAT**和**SMCLK**。采用配置4或5时，无法使用SMBus从接口。更多信息，请参见第3.4.5节“设备模式/PROG_FUNC[7:1]配置（CFG_STRAP）”。

注 8： 要使用I²C桥接接口，**SPI_DO**和**SPI_CLK**引脚必须配置为I²C桥接模式，*并且***CFG_STRAP**必须配置为配置1、2、3或6，以将**PROG_FUNC4**和**PROG_FUNC5**引脚分别编程为**SMDAT**和**SMCLK**。采用配置4或5时，无法使用I²C桥接接口。还需要进行其他集线器寄存器配置。更多信息，请参见第3.4.5节“设备模式/PROG_FUNC[7:1]配置（CFG_STRAP）”和第7.3节“I²C桥接口”。

© 2015 Microchip Technology Inc.

表3-11： SPI/SMBUS/I²C™/UART模式引脚分配

引脚	SPI模式	SMBus从接口使能模式	I²C™桥接模式	UART模式
45	SPI_CE_N	CFG_NON_REM	CFG_NON_REM	CFG_NON_REM
44	SPI_DI	CFG_BC_EN	CFG_BC_EN	CFG_BC_EN
43	SPI_DO	I2C_SLV_CFG0	-	UART_TX
42	SPI_CLK	I2C_SLV_CFG1	-	UART_RX

3.4.2 端口禁止配置（PRT_DIS_P[4:1]/PRT_DIS_M[4:1]）

PRT_DIS_P[4:1]和**PRT_DIS_M[4:1]**配置脚结合使用来禁止相关端口（4-1）。

对于**PRT_DIS_P*x***（其中，*x*是对应的端口4-1）：

0 = 端口*x* D+使能

1 = 端口*x* D+禁止

对于**PRT_DIS_M*x***（其中，*x*是对应的端口4-1）：

0 = 端口*x* D-使能

1 = 端口*x* D-禁止

> 注： **PRT_DIS_P*x***和**PRT_DIS_M*x***（其中，*x*是对应的端口）必须连接到3.3V电压，以禁止关联的下行端口。禁止USB 2.0端口将同时禁止相应的USB 3.0端口。

3.4.3 不可移除端口配置（CFG_NON_REM）

CFG_NON_REM配置脚用于将设备的不可移除端口配置为五种设置之一。这些模式通过**CFG_NON_REM**引脚的外部电阻配置进行选择。如表3-12所示，电阻选项为200 kΩ下拉电阻、200 kΩ上拉电阻、10 kΩ下拉电阻、10 kΩ上拉电阻和10Ω下拉电阻。

表3-12： CFG_NON_REM电阻编码

CFG_NON_REM电阻值	设置
200 kΩ下拉电阻	所有端口均可移除
200 kΩ上拉电阻	端口1不可移除
10 kΩ下拉电阻	端口1和2不可移除
10 kΩ上拉电阻	端口1、2和3不可移除
10Ω下拉电阻	端口1、2、3和4不可移除

3.4.4 电池充电配置（CFG_BC_EN）

CFG_BC_EN配置脚用于将设备的电池充电端口配置为五种设置之一。这些模式通过**CFG_BC_EN**引脚的外部电阻配置进行选择。如表3-13所示，电阻选项为200 kΩ下拉电阻、200 kΩ上拉电阻、10 kΩ下拉电阻、10 kΩ上拉电阻和10Ω下拉电阻。

表3-13： CFG_BC_EN电阻编码

CFG_BC_EN电阻值	设置
200 kΩ下拉电阻	无电池充电
200 kΩ上拉电阻	端口1电池充电
10 kΩ下拉电阻	端口1和2电池充电
10 kΩ上拉电阻	端口1、2和3电池充电
10Ω下拉电阻	端口1、2、3和4电池充电

3.4.5 设备模式/PROG_FUNC[7:1]配置（CFG_STRAP）

CFG_STRAP用于将可编程功能引脚（**PROG_FUNC[7:1]**）配置为六种模式之一。这些模式通过**CFG_STRAP**引脚的外部电阻配置进行选择。如表3-14所示，电阻选项为200 kΩ下拉电阻、200 kΩ上拉电阻、10 kΩ下拉电阻、10 kΩ上拉电阻、10Ω下拉电阻和10Ω上拉电阻。有关每种设备模式的详细信息（包括引脚分配），请参见以下各小节。

表3-14： CFG_STRAP电阻编码

CFG_STRAP电阻值	模式
200 kΩ下拉电阻	配置1——混合模式
200 kΩ上拉电阻	配置2——FlexConnect模式
10 kΩ下拉电阻	配置3——速度指示器模式
10 kΩ上拉电阻	配置4——GPIO模式（保留）
10Ω下拉电阻	配置5——电池充电/供电指示器模式
10Ω上拉电阻	配置6——全UART模式

© 2015 Microchip Technology Inc.

3.4.5.1 配置1——混合模式

当**CFG_STRAP**配置为此模式时，可编程功能引脚（**PROG_FUNC[7:1]**）将设置为提供一个SMBus/I^{2}C接口、3个GPIO以及FlexConnect功能。表3-15详细介绍了该模式下**PROG_FUNC[7:1]**的引脚分配。

表3-15： 配置1 PROG_FUNC[7:1]功能分配

引脚	功能	缓冲器类型	说明
PROG_FUNC1	GPIO1	I/O12	**通用输入/输出1**
PROG_FUNC2	GPIO2	I/O6	**通用输入/输出2**
PROG_FUNC3	GPIO3	I/O12	**通用输入/输出3**
PROG_FUNC4	SMDAT	OD12	**SMBus/I^{2}C™ 数据** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C桥。请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC5	SMCLK	OD12	**SMBus/I^{2}C时钟** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C桥。请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC6	FLEXCMD	IS	**FlexConnect控制** 0：正常工作（端口0上行，端口1下行） 1：交换工作（端口1上行，端口0下行） **注：** 更多信息，请参见第8.2节“FlexConnect”。
PROG_FUNC7	USB2_SUSP_IND	O10	**USB2.0挂起指示器** 处于USB2.0挂起状态时，USB2_SUSP_IND可用作主机的边带远程唤醒信号。 **注：** 更多信息，请参见第8.5节“远程唤醒指示器”。

3.4.5.2 配置2——FlexConnect模式

当**CFG_STRAP**配置为此模式时，可编程功能引脚（**PROG_FUNC[7:1]**）将设置为提供FlexConnect、一个SMBus/I^{2}C接口以及其他附加功能。表3-16详细介绍了该模式下**PROG_FUNC[7:1]**的引脚分配。

表3-16： 配置2 PROG_FUNC[7:1]功能分配

引脚	功能	缓冲器类型	说明
PROG_FUNC1	HOST_TYPE0	O12	**端口0 USB主机类型** 三态：端口0上未检测到USB主机 0：端口0上检测到USB 3.0主机 1：端口0上检测到USB 2.0或USB 1.1主机 当USB 2.0集线器的地址寄存器保存非零值时，即视为检测到USB 2.0主机。当USB 3.0集线器的地址寄存器保存非零值时，即视为检测到USB 3.0主机。
PROG_FUNC2	HOST_TYPE1	O6	**端口1 USB主机类型** 三态：端口1上未检测到USB主机 0：端口1上检测到USB 3.0主机 1：端口1上检测到USB 2.0或USB 1.1主机 当USB 2.0集线器的地址寄存器保存非零值时，即视为检测到USB 2.0主机。当USB 3.0集线器的地址寄存器保存非零值时，即视为检测到USB 3.0主机。
PROG_FUNC3	FLEX_STATE_N	O12	**FlexConnect状态取反指示器** 此信号反映FLEXCMD当前状态的相反状态。 0：交换工作（端口1上行，端口0下行） 1：正常工作（端口0上行，端口1下行） **注：** 更多信息，请参见第8.2节“FlexConnect”。
PROG_FUNC4	SMDAT	OD12	**SMBus/I^{2}C™ 数据** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C桥。请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC5	SMCLK	OD12	**SMBus/I^{2}C时钟** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C桥。请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC6	FLEXCMD	IS	**FlexConnect控制** 0：正常工作（端口0上行，端口1下行） 1：交换工作（端口1上行，端口0下行） **注：** 更多信息，请参见第8.2节“FlexConnect”。
PROG_FUNC7	FLEX_STATE	O10	**FlexConnect状态指示器** 此信号反映FLEXCMD的当前状态。 0：正常工作（端口0上行，端口1下行） 1：交换工作（端口1上行，端口0下行） **注：** 更多信息，请参见第8.2节“FlexConnect”。

© 2015 Microchip Technology Inc.

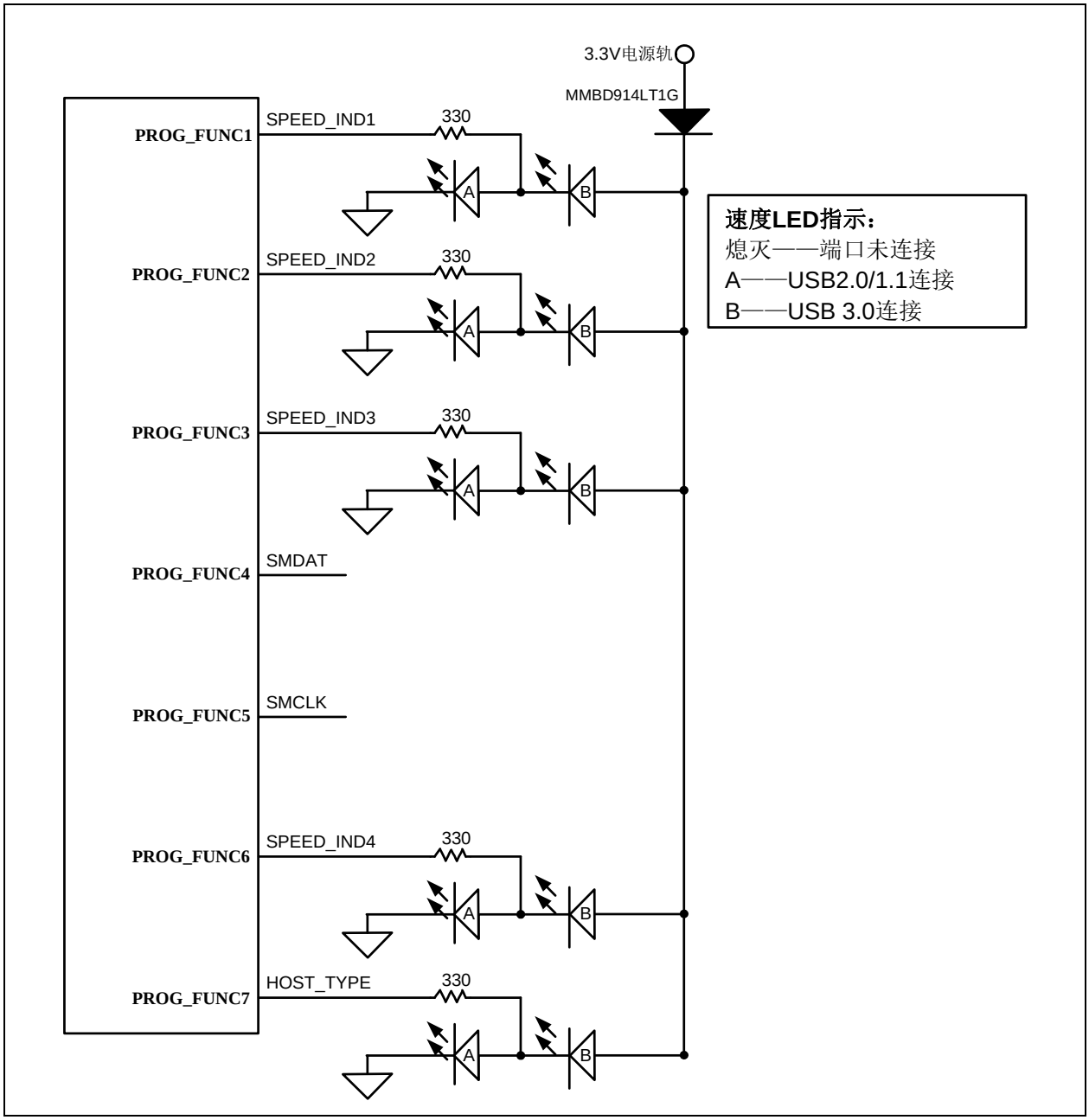
3.4.5.3 配置3——速度指示器模式

当**CFG_STRAP**配置为此模式时，可编程功能引脚（**PROG_FUNC[7:1]**）将设置为指示速度状态、主机类型并提供一个SMBus/I^{2}C接口。表3-17详细介绍了该模式下**PROG_FUNC[7:1]**的引脚分配。

表3-17： 配置3 PROG_FUNC[7:1]功能分配

引脚	功能	缓冲器类型	说明
PROG_FUNC1	SPEED_IND1	O12	**端口1速度指示器** 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.0
PROG_FUNC2	SPEED_IND2	O6	**端口2速度指示器** 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.0
PROG_FUNC3	SPEED_IND3	O12	**端口3速度指示器** 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.0
PROG_FUNC4	SMDAT	OD12	**SMBus/I^{2}C™数据** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C桥。请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC5	SMCLK	OD12	**SMBus/I^{2}C时钟** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C桥。请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC6	SPEED_IND4	O12	**端口4速度指示器** 三态：未连接 0：USB 2.0/USB 1.1 1：USB 3.0
PROG_FUNC7	HOST_TYPE	O10	**端口0 USB主机类型** 三态：端口0上未检测到USB主机 0：端口0上检测到USB 3.0主机 1：端口0上检测到USB 2.0或USB 1.1主机 当USB 2.0集线器的地址寄存器保存非零值时，即视为检测到USB 2.0主机。当USB 3.0集线器的地址寄存器保存非零值时，即视为检测到USB 3.0主机。

图3-2： 配置3 PROG_FUNC[7:1]引脚连接



© 2015 Microchip Technology Inc.

3.4.5.4 配置4——GPIO模式（保留）

当**CFG_STRAP**配置为此模式时，可编程功能引脚（**PROG_FUNC[7:1]**）将设置为提供7个用于GPIO桥接的通用I/O。表3-18详细介绍了该模式下**PROG_FUNC[7:1]**的引脚分配。

表3-18： 配置4 PROG_FUNC[7:1]功能分配

引脚	功能	缓冲器类型	说明
PROG_FUNC1	GPIO1	I/O12	**通用输入/输出1**
PROG_FUNC2	GPIO2	I/O6	**通用输入/输出2**
PROG_FUNC3	GPIO3	I/O12	**通用输入/输出3**
PROG_FUNC4	GPIO6	I/O12	**通用输入/输出4**
PROG_FUNC5	GPIO8	I/O12	**通用输入/输出5**
PROG_FUNC6	GPIO10	I/O12	**通用输入/输出6**
PROG_FUNC7	GPIO11	I/O10	**通用输入/输出7**

3.4.5.5 配置5——电池充电/供电指示器模式

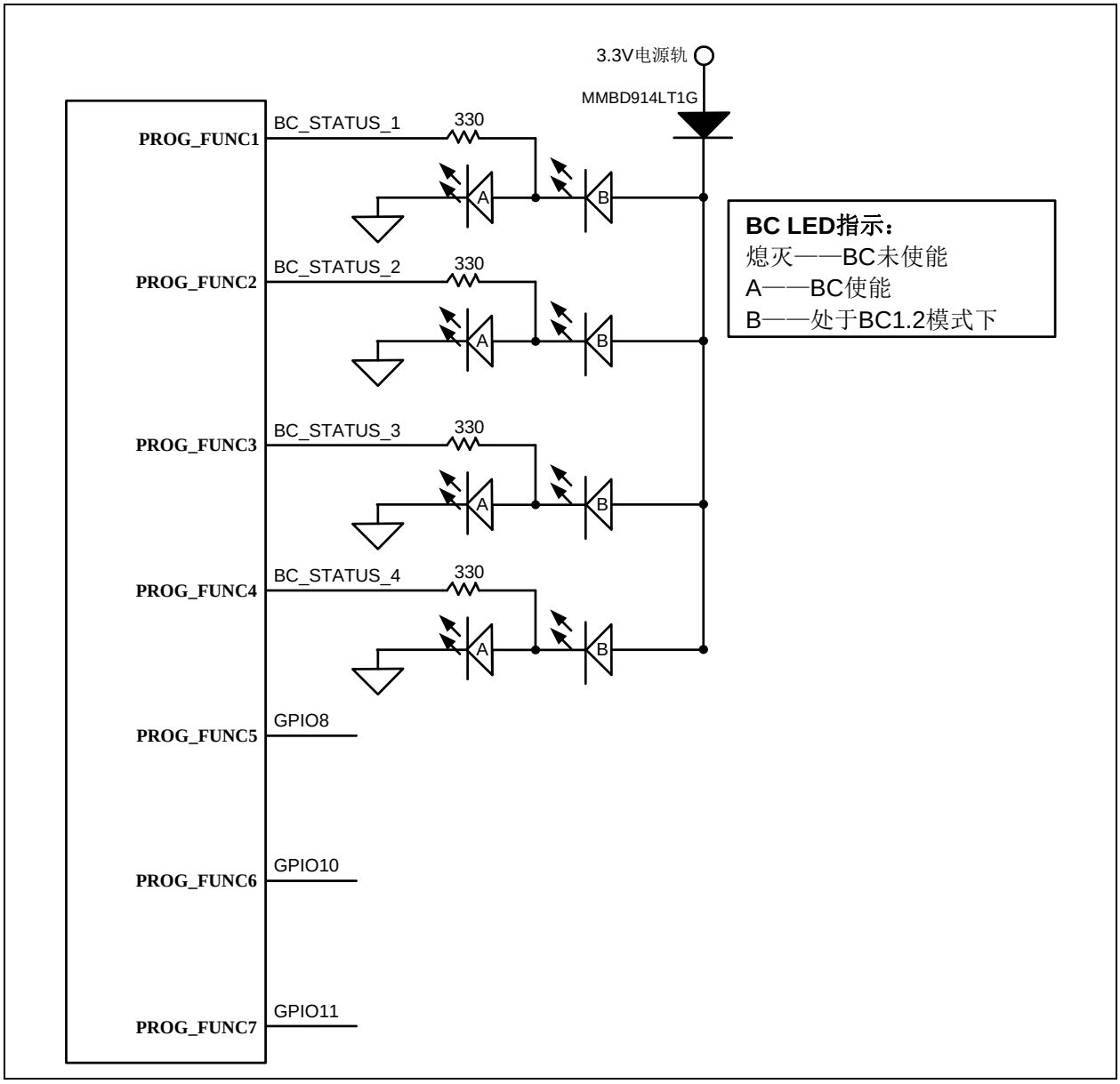
当**CFG_STRAP**配置为此模式时，可编程功能引脚（**PROG_FUNC[7:1]**）将设置为指示电池充电并提供3个通用I/O。表3-19详细介绍了该模式下**PROG_FUNC[7:1]**的引脚分配。

表3-19： 配置5 PROG_FUNC[7:1]功能分配

引脚	功能	缓冲器类型	说明
PROG_FUNC1	BC_IND1	O12	**端口1电池充电指示器** 三态：未使能电池充电 0：处于BC 1.2模式下 1：使能电池充电
PROG_FUNC2	BC_IND2	O6	**端口2电池充电指示器** 三态：未使能电池充电 0：处于BC 1.2模式下 1：使能电池充电
PROG_FUNC3	BC_IND3	O12	**端口3电池充电指示器** 三态：未使能电池充电 0：处于BC 1.2模式下 1：使能电池充电
PROG_FUNC4	BC_IND4	O12	**端口4电池充电指示器** 三态：未使能电池充电 0：处于BC 1.2模式下 1：使能电池充电
PROG_FUNC5	GPIO8	I/O12	**通用输入/输出8**
PROG_FUNC6	GPIO10	I/O12	**通用输入/输出10**
PROG_FUNC7	GPIO11	I/O10	**通用输入/输出11**

© 2015 Microchip Technology Inc.

图3-3： 配置5 PROG_FUNC[7:1]引脚连接



© 2015 Microchip Technology Inc.

3.4.5.6 配置6——全UART模式

当**CFG_STRAP**配置为此模式时，可编程功能引脚（**PROG_FUNC[7:1]**）将设置为全UART配置并提供一个SMBus/I^{2}C接口。在该模式下，**PROG_FUNCx**引脚与**UART_TX**和**UART_RX**结合用于全UART接口。表3-20详细介绍了该模式下**PROG_FUNC[7:1]**的引脚分配。

注： 禁止流控制时，UART_nCTS、UART_nDCD 和 UART_nDSR 不得悬空。在这种情况下，这些引脚应当包括外部上拉，以便在没有流控制的情况下在全UART模式下保持UART通信。

表3-20： 配置6 PROG_FUNC[7:1]功能分配

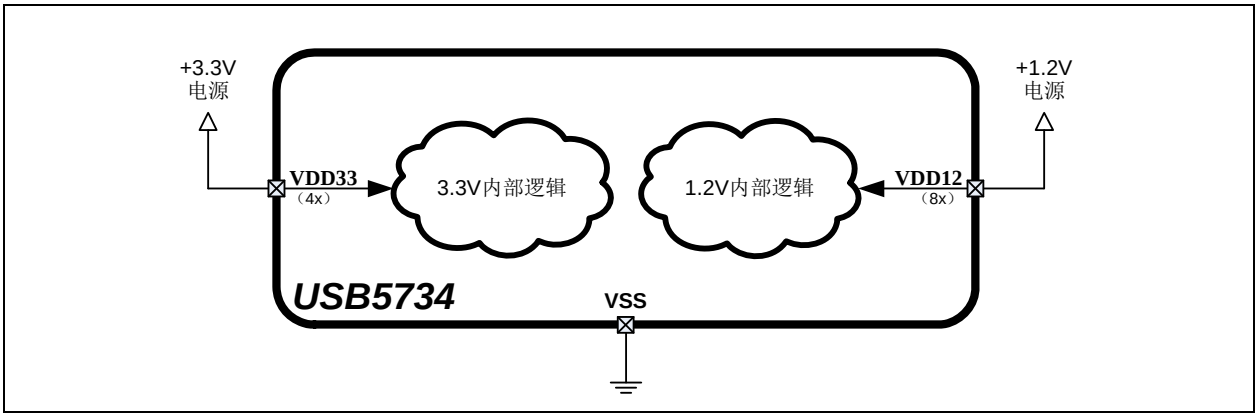
引脚	功能	缓冲器类型	说明
PROG_FUNC1	UART_nRTS	I/O12	**UART请求发送**
PROG_FUNC2	UART_nCTS	I/O6	**UART允许发送**
PROG_FUNC3	UART_nDCD	I/O12	**UART数据载波检测**
PROG_FUNC4	SMDAT	OD12	**SMBus/I^{2}C™ 数据** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C 桥。请参见第3.4.1 节“SPI/SMBus/I2C/UART 配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC5	SMCLK	OD12	**SMBus/I^{2}C时钟** 根据器件配置，SMBus/I^{2}C接口可充当SMBus从接口或I^{2}C 桥。请参见第3.4.1 节“SPI/SMBus/I2C/UART 配置（I2C_SLV_CFG[1:0]）”。
PROG_FUNC6	UART_nDTR	I/O12	**UART数据终端就绪**
PROG_FUNC7	UART_nDSR	I/O10	**UART数据设置就绪**

4.0 器件连接

4.1 电源连接

图4-1给出了器件的电源连接。

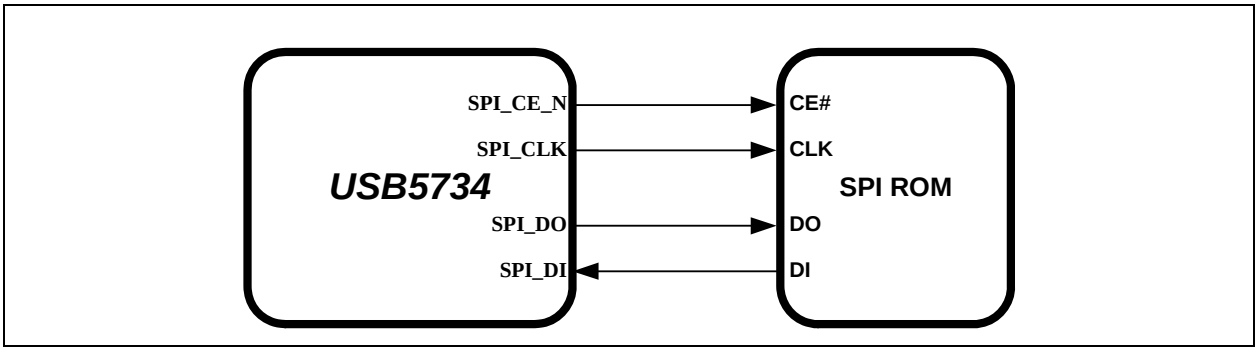
图4-1： 电源连接



4.2 SPI ROM连接

图4-2给出了器件的SPI ROM连接。有关该器件接口的更多信息，请参见第33页上的第7.1节“SPI主接口”。

图4-2： SPI ROM连接

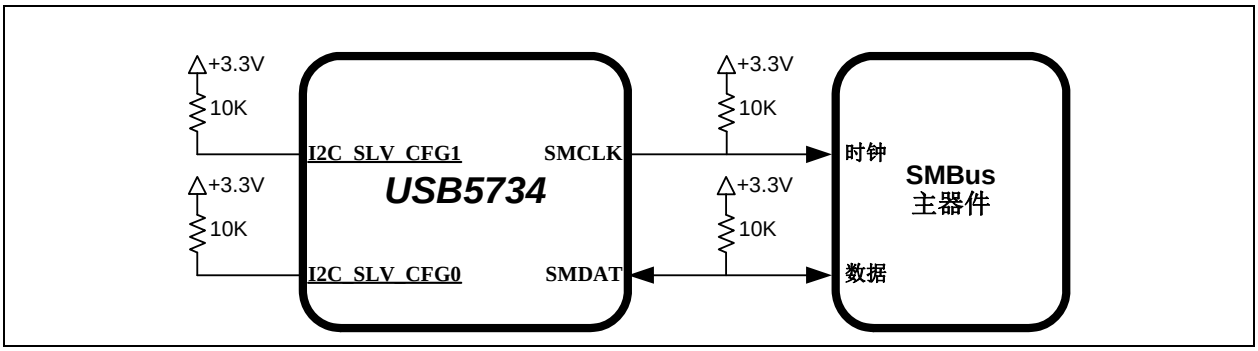


© 2015 Microchip Technology Inc.

4.3 SMBus从连接

图4-3给出了器件的SMBus从连接。有关该器件接口的更多信息，请参见第33页上的第7.2节“SMBus从接口”。

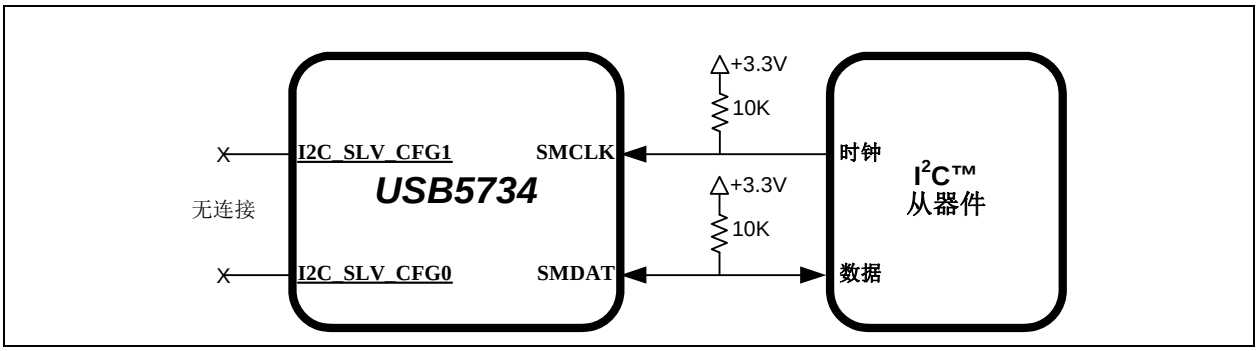
图4-3： SMBUS从连接



4.4 I²C桥接

图4-4给出了器件的I²C桥接。有关该器件接口的更多信息，请参见第33页上的第7.3节“I²C桥接口”。

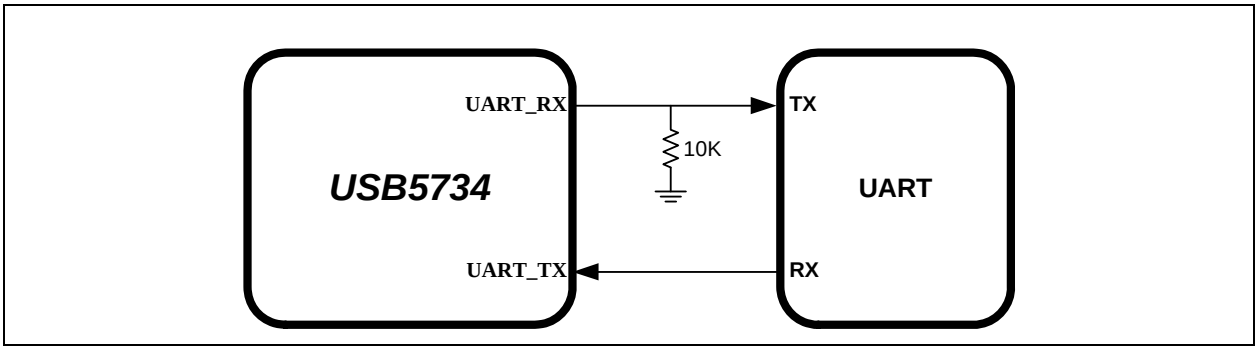
图4-4： I²C™桥接



4.5 UART桥接

图4-5给出了器件的UART桥接。有关该器件接口的更多信息，请参见第34页上的第7.4节“两引脚串行端口（UART）接口”。

图4-5： UART桥接



5.0 工作模式

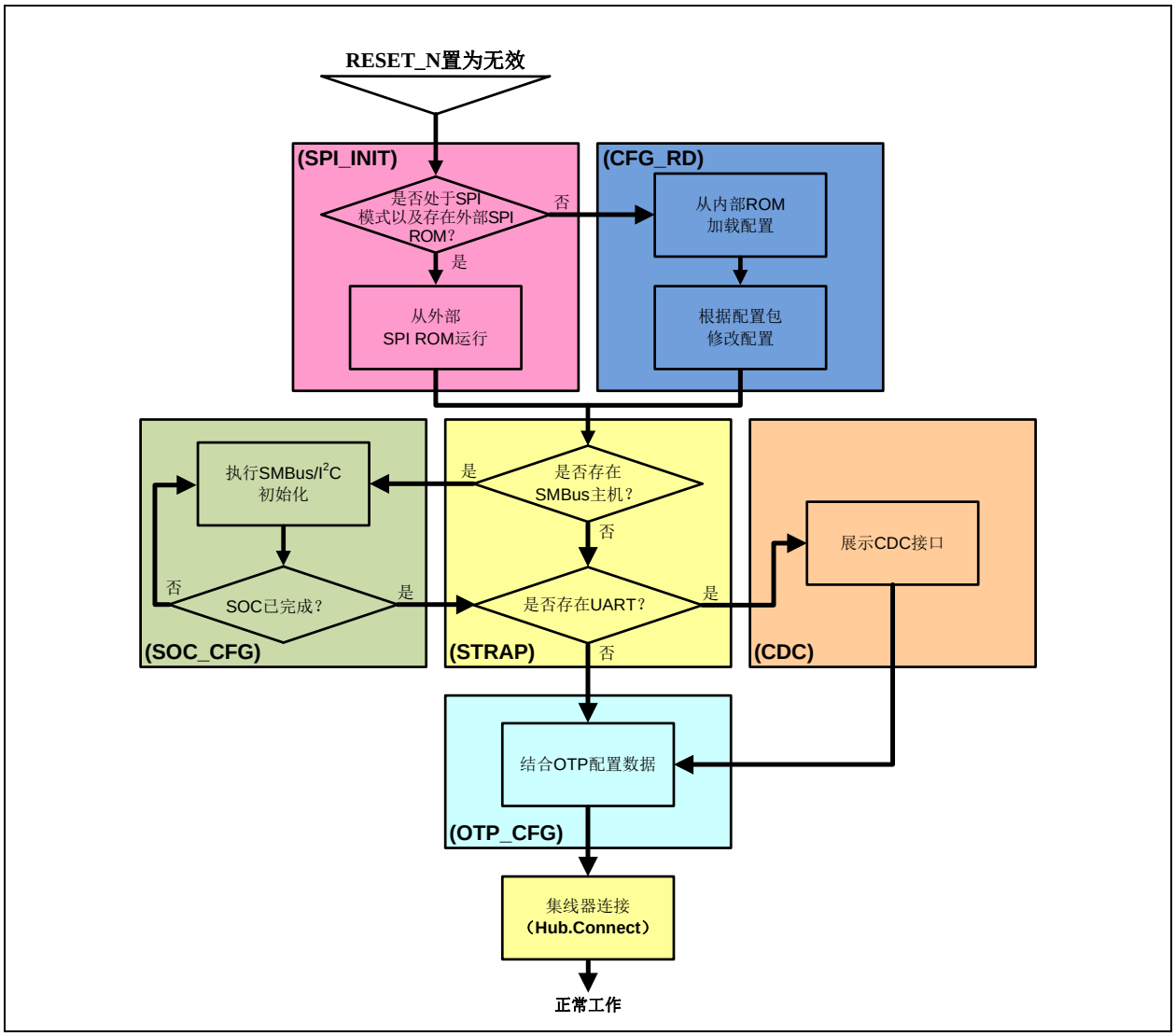
器件提供两种主要工作模式：待机模式和集线器模式。这两种模式通过**RESET_N**引脚进行控制，如表5-1所示。

表5-1： 工作模式

RESET_N输入	概述
0	**待机模式**：此模式是器件功耗最低的模式。除监视**RESET_N**输入外不激活任何功能。所有端口接口均呈高阻态，并且PLL暂停。有关**RESET_N**的更多信息，请参见第8.3.2节“外部芯片复位（RESET_N）”。
1	**集线器（正常）模式**：器件作为带电池充电器检测功能的可配置USB集线器工作。图5-1详细介绍了此工作模式的各种子工作模式。功耗取决于活动端口的数量和速度，以及接收的数据量。

图5-1中的流程图详细介绍了各种工作模式以及器件如何遍历各个集线器模式阶段（以粗体显示）。其余小节详细介绍了每个工作阶段。

图5-1： 集线器模式流程图



© 2015 Microchip Technology Inc.

5.1 启动序列

5.1.1 待机模式

如果**RESET_N**引脚置为有效，则集线器将处于待机模式。此模式会在不需要传输信号时提供超低功耗状态，从而实现功率效率最大化。此模式是最低功率状态。在待机模式下，所有下行端口均处于禁止状态，USB数据引脚保持高阻态，所有事务立即终止（不保存任何状态），所有内部寄存器恢复到默认状态，PLL暂停，内核逻辑掉电，从而最大限度降低功耗。由于内核逻辑关断，此模式下不保存任何配置设置，在**RESET_N**无效变为高电平后必须重新进行初始化。

5.1.2 SPI初始化阶段（SPI_INIT）

将**RESET_N**置为无效时，集线器将进入第一阶段，即初始化阶段。在此阶段，内部逻辑复位，如果提供了有效时钟，则PLL锁定，配置寄存器初始化为默认状态。然后，内部固件会检查是否存在外部SPI ROM。固件从地址0xFFFA开始查找包含有效签名“2DFU”（器件固件升级）的外部SPI闪存器件。如果找到有效签名，则使能外部ROM并从外部SPI器件的地址0x0000处开始执行代码。如果没有找到有效签名，则从内部ROM继续执行代码（CFG_RD阶段）。

当使用外部SPI ROM时，必须使用1 Mb、60 MHz或更快的ROM。支持1位和2位SPI操作。为获得最佳吞吐量，建议使用2位SPI ROM。同时支持模式0和模式3 SPI ROM。

如果系统未配置为SPI模式，则从内部ROM继续执行代码（CFG_RD阶段）。

5.1.3 配置读取阶段（CFG_RD）

在此阶段，内部固件从内部ROM加载默认值，然后使用配置脚选项改写默认值。有关各种器件配置脚用途的信息，请参见第3.4节“配置包和可编程功能”。

5.1.4 配置脚读取阶段（STRAP）

在此阶段，固件会寄存**SPI_DO**和**SPI_CLK**引脚的配置脚设置。有关配置这些配置脚的信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。如果配置为SMBus从模式，则下一阶段将为SOC_CFG。如果配置为UART模式，则器件将成为UART桥接组合器件，而下一阶段将为CDC。如果上述两个条件均不满足，则下一阶段为OTP_CFG。

5.1.5 SOC配置阶段（SOC_CFG）

在此阶段，SOC可修改集成ROM中指定的任何默认　配置设置，例如USB设备描述符和端口电气设置。

此模式没有时间限制。在此阶段，固件将无限期地等待SMBus/I^2C配置。当SOC完成器件配置后，必须写寄存器0xFF以结束配置。

5.1.6 CDC配置阶段（CDC）

如果器件配置为UART模式（UART桥接），则集线器功能控制器会将自身标识为CDC UART器件，并切换至OTP_CFG。有关配置UART模式的信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。

5.1.7 OTP配置阶段（OTP_CFG）

当SOC指示配置已完成后，将在此阶段汇总所有配置数据。默认数据、SOC配置的数据和OTP数据均将汇总到固件中，并且将对器件进行编程。

器件完全配置后将进入空闲状态，如果不存在VBUS或集线器连接（Hub.Connect），则器件将继续进入挂起状态。如果存在VBUS且已使能电池充电，则器件将切换至电池充电器检测阶段。如果存在VBUS但未使能电池充电，则器件将切换至连接阶段。

5.1.8 集线器连接阶段（HUB.CONNECT）

电池充电器检测阶段完成后，器件将进入集线器连接阶段。可通过将VBUS引脚功能置为高电平来建立USB连接。在VBUS引脚功能置为无效之前，器件将无限期地保持在集线器连接阶段。

5.1.9 正常模式

最后，集线器将进入正常工作模式。在此阶段，将在上行端口USB主机的控制下支持USB的全部操作。器件将保持正常模式，直到系统更改工作模式为止。

如果**RESET_N**置为低电平，则集线器将进入待机模式。之后器件可能会被置于任意指定的集线器阶段。使能上行端口的软断开功能将使集线器返回Hub.Connect阶段，直到软断开功能无效。

© 2015 Microchip Technology Inc.

6.0 器件配置

器件支持许多功能（某些是互斥的），必须适当配置以在连接到USB主机控制器时能够正确运行。根据实现的接口，可在内部或外部配置集线器。

Microchip提供了一款功能全面的软件编程工具Pro-Touch，用于配置USB5734的功能、寄存器和OTP存储器。所有配置均可通过Pro-Touch编程工具执行。有关Pro-Touch编程工具的更多信息，请参见www.microchip.com/USB5734中Microchip USB5734产品页面内的软件库。

注：	第16页上的第3.4节“配置包和可编程功能”中详细介绍了器件配置脚和可编程引脚。 有关每个器件接口的详细信息，请参见第7.0节“器件接口”。

6.1 客户可访问的功能

下列USB或SMBus访问功能均可通过Pro-Touch编程工具提供给客户。

注：	有关编程的更多详细信息，请参见Pro-Touch编程工具。

6.1.1 USB访问功能

6.1.1.1 通过USB进行I²C桥接访问

对I²C器件的访问通过转发USB主机的操作实现。该器件固件无需了解所连接I²C器件的操作。更多信息，请参见www.microchip.com/USB5734下的Microchip USB5734产品页面和SDK。

注：	有关I²C接口的更多信息，请参见第33页上的第7.3节“I²C桥接口”。

6.1.1.2 通过USB的SPI访问

对所连接SPI器件的访问通过转发USB主机的操作实现。该器件固件无需了解所连接SPI器件的操作。更多信息，请参见www.microchip.com/USB5734下的Microchip USB5734产品页面和SDK。

注：	有关SPI的更多信息，请参见第33页上的第7.1节“SPI主接口”。

6.1.1.3 通过USB的UART访问

对UART器件的访问通过转发USB主机的操作实现。该器件固件无法了解所连接UART器件的操作。更多信息，请参见www.microchip.com/USB5734下的Microchip USB5734产品页面和SDK。

注：	有关UART接口的更多信息，请参见第34页上的第7.4节“两引脚串行端口（UART）接口”。

6.1.1.4 通过USB的OTP访问

器件中的OTP ROM可通过USB总线进行访问。所有OTP参数均可通过USB主机进行修改。OTP运行在单端模式下。更多信息，请参见www.microchip.com/USB5734下的Microchip USB5734产品页面和SDK。

6.1.1.5 通过USB的电池充电访问

当需要预编程或OTP编程的行为以外的其他行为时，可通过USB主机动态更改器件的电池充电行为。更多信息，请参见www.microchip.com/USB5734下的Microchip USB5734产品页面和SDK。

6.1.2 SMBUS访问功能

可通过USB5734 SMBus实现特定器件功能的OTP访问和配置。所有OTP参数均可通过SMBus主机进行修改。根据所需的可靠性等级，将OTP编程为在单端、差分、冗余或差分冗余模式下运行。更多详细信息，请参见www.microchip.com/AN1903中的应用笔记AN1903——《USB5734和USB5744的配置选项》。

© 2015 Microchip Technology Inc.

7.0 器件接口

USB5734提供了多个接口，用于配置和外部存储器访问。本节详细介绍了各个器件接口及其用途：

- SPI主接口
- SMBus从接口
- I^2C桥接口
- 两引脚串行端口（UART）接口

注：	有关如何使能每个接口的详细信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。 有关器件连接的信息，请参见第4.0节“器件连接”。有关器件配置的信息，请参见第6.0节“器件配置”。 Microchip提供了一款功能全面的软件编程工具Pro-Touch，用于配置USB5734的功能、寄存器和OTP存储器。所有配置均可通过Pro-Touch编程工具执行。有关Pro-Touch编程工具的更多信息，请参见www.microchip.com/USB5734中Microchip USB5734产品页面内的软件库。

7.1 SPI主接口

器件能够通过外部SPI ROM执行代码。配置为SPI模式时，固件在上电后从地址0xFFFA开始查找包含有效签名2DFU（器件固件升级）的外部SPI闪存器件。如果找到有效签名，则使能外部ROM并从外部SPI器件的地址0x0000处开始执行代码。如果没有找到有效签名，则从内部ROM继续执行代码。

注：	有关SPI时序的信息，请参见第9.6.6节“SPI时序”。

7.2 SMBus从接口

该器件包括一个集成的SMBus从接口，可用于访问内部器件运行实时寄存器或对内部OTP存储器进行编程。通过在**SMDAT**和**SMCLK**信号上检测上拉电阻完成SMBus从器件检测。更多信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。

注：	所有器件配置必须通过Pro-Touch编程工具执行。有关Pro-Touch编程工具的更多信息，请参见www.microchip.com/USB5734中Microchip USB5734产品页面内的软件库。

7.3 I^2C桥接口

I^2C桥接口实现了I^2C主器件规范的一个子集（有关I^2C总线协议的详细信息，请参见*Philips Semiconductor标准I^2C总线规范*）。I^2C桥符合快速模式I^2C规范（400 Kbps的传输速率和7位寻址）在协议和电气兼容性方面的要求。该器件用作主器件，生成串行时钟SCL、控制总线访问（确定哪个器件用作发送器和接收器）以及生成启动和停止条件。可通过I^2C桥接命令配置I^2C桥接口频率。I^2C桥频率根据公式626 kHz/n推导得出，其中n是1到256的任意整数。更多信息，请参见第3.4.1节“SPI/SMBus/I2C/UART配置（I2C_SLV_CFG[1:0]）”。

注：	不支持I²C™规范的扩展。 所有器件配置必须通过Pro-Touch编程工具执行。有关Pro-Touch编程工具的更多信息，请联系您当地的销售代表。

7.4 两引脚串行端口（UART）接口

该器件集成有一个可完全编程的通用异步收发器（Universal Asynchronous Receiver/Transmitter，UART），其功能与NS16550 AF、16450、16450 ACE寄存器和16C550A兼容。UART对接收到的字符执行串行到并行转换，对发送的字符执行并行到串行转换。提供两组波特率：24 MHz和16 MHz。选择24 MHz源时钟时，将提供50K到115.2K的标准波特率。选择16 MHz源时钟时，将提供125K到1,000K的波特率。字符选项可以编程：传输数据的字长可以为5到8，加上1个起始位，1、1.5或2个停止位；偶校验、奇校验、固定校验或无奇偶校验；以及设置中断优先级。UART包含一个可编程波特率发生器，可按一个介于1到65535之间的系数对输入时钟或晶振进行分频。UART还支持MIDI数据速率。

7.4.1 发送操作

可通过将待发送的数据写入发送保持寄存器或发送FIFO（如果使能）来启动发送。随后，根据线控制寄存器中的设置，数据与起始位、停止位和奇偶校验位一起传送到发送移位寄存器中。随后，利用波特率发生器的输出（16分频）作为时钟，将要发送的位按起始位、数据位（LSB在前）、奇偶校验位、停止位的顺序移出发送移位寄存器。

如果使能，则当发送保持寄存器或发送FIFO（如果使能）为空时，将生成发送保持寄存器空中断。

当FIFO使能（即，FIFO控制寄存器的bit 0置1）时，UART一次可存储最多16字节的数据以供发送。发送过程将继续进行，直到发送FIFO为空。通过中断指示FIFO已准备好接受更多数据的状态。

7.4.2 接收操作

数据通过经16分频的接收时钟采样到接收移位寄存器中。接收时钟由波特率发生器提供。使用滤波器来去除持续时间短于两个接收时钟周期的杂散输入。当整个字移入接收器后，数据位将传输到接收缓冲区寄存器或者接收FIFO（如果使能），以供CPU读取。（要接收的数据的第1位置于该寄存器的bit 0中）。该接收器还会检查奇偶校验位和停止位是否符合线控制寄存器指定的要求。

如果使能，则当数据传输到接收缓冲区寄存器或者达到接收触发电平（如果使能FIFO）时，将产生接收数据已接收中断。当接收FIFO字符超时、奇偶校验不正确、停止位丢失（帧错误）或发生其他线路状态错误时，也会产生中断。

当FIFO使能（即FIFO控制寄存器的bit 0置1）时，UART一次可存储最多16字节的接收数据。根据所选的接收触发电平，当接收FIFO中包含1、4、8或14字节的数据时，将激活中断以表明数据可用。

© 2015 Microchip Technology Inc.

8.0 功能说明

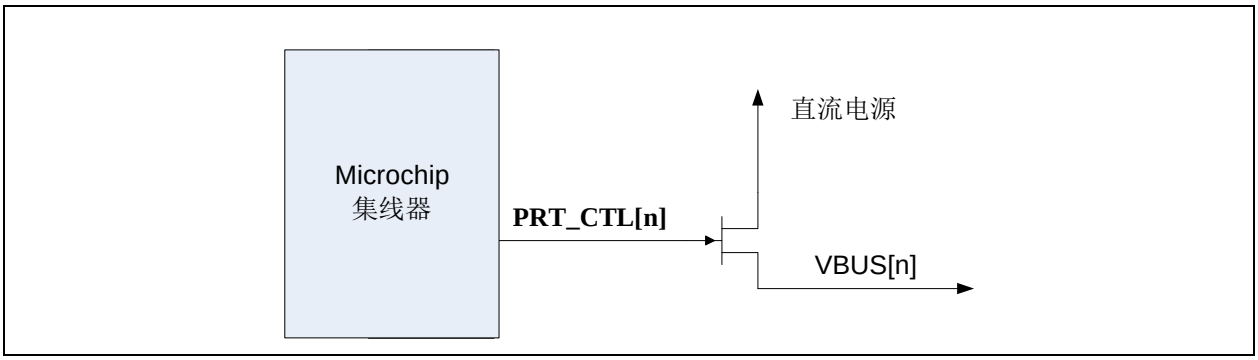
本节详细介绍了USB5734的各种功能，包括：

- 下行电池充电
- FlexConnect
- 复位
- 链路电源管理（LPM）
- 远程唤醒指示器
- 端口控制接口

8.1 下行电池充电

器件可由OEM配置，使任何下行端口都支持电池充电。集线器在电池充电中的作用是应答设备的查询，告知设备集线器系统是否支持USB电池充电。集线器芯片不提供可对设备进行实际充电的任何电流、功率FET或任何其他电路。这些组件必须由OEM在外部提供。

图8-1： 电池充电外部电源



如果OEM提供供电电流符合电池充电规范的外部电源，可以配置集线器以向设备指示存在此类电源。将通过**PRT_CTL[4:1]**引脚针对每个端口进行这种指示。例如，OEM可配置两个端口来支持通过高电流功率FET进行电池充电，并保留其他两个端口作为标准USB端口。

更多信息，请参见www.microchip.com/USB5734中USB5734产品页面上的Microchip USB5734电池充电应用笔记。

8.2 FlexConnect

该功能支持上行端口与下行物理端口1进行交换。只有下行端口1可进行物理交换。利用端口重映射功能，可将任意逻辑端口（编号分配）与上行端口进行交换（非物理）。

通过连接配置寄存器（地址0x318E）中的FLEXCONNECT控制位使能/禁止FlexConnect。FLEXCONNECT配置位用于切换端口。该位可通过I^2C接口或FLEXCMD引脚（配置1或2中的**PROG_FUNC6**）进行控制。翻转FLEXCMD将在器件固件中产生中断。固件将根据输入值更改端口方向。更多信息，请参见第3.4.5节“设备模式/PROG_FUNC[7:1]配置（CFG_STRAP）”。

更多信息，请参见Microchip.com USB5734产品页面上的Microchip USB5734 FlexConnect应用笔记。

8.3 复位

器件包括以下芯片级复位源：

- 上电复位（POR）
- 外部芯片复位（RESET_N）
- USB总线复位

8.3.1 上电复位（POR）

当电源为器件初始供电或者断开电源并将其重新施加到器件时，将发生上电复位。器件内的定时器将根据第45页上的第9.6.1节“上电和配置包时序”中列出的规范将内部复位置为有效。

8.3.2 外部芯片复位（RESET_N）

根据第45页上的第9.6.2节“复位和配置包时序”中的规范，当所有电源均处于工作范围内时，有效的硬件复位定义为将**RESET_N**置为有效。当复位置为有效时，器件（及其关联的外部电路）将进入待机模式，此时的电流消耗最低。

将**RESET_N**置为有效会导致以下结果：

1. 禁止PHY并且差分对将处于高阻态。
2. 所有事务立即终止；未保存任何状态。
3. 所有内部寄存器恢复为默认状态。
4. 外部晶振暂停。
5. PLL暂停。

> **注：** 将**RESET_N**置为有效前（或同时），所有电源都必须达到第41页上的第9.2节“工作条件**”规定的工作电平。

8.3.3 USB总线复位

为响应上行端口主机向器件发出的复位信号，器件将执行以下操作：

> **注：** 器件不会将上行USB复位传递到下行设备。

1. 将默认地址设置为0。
2. 将配置设置为未配置状态。
3. 使器件从暂停状态切换至激活状态（如果已暂停）。
4. 遵循USB规范中完成复位序列后的行为。

主机随后根据USB规范配置器件。

8.4 链路电源管理（LPM）

器件支持L0（工作）、L1（休眠）和L2（挂起）链路电源管理状态。与传统USB几十毫秒的较长暂停/恢复时间相比，该器件支持的这些LPM状态提供几十微秒的短过渡延时。表8-1详细介绍了支持的LPM状态。

表8-1： LPM状态定义

状态	说明	进入/退出L0的时间
L2	挂起	进入：约3 ms 退出：约2 ms（从恢复开始）
L1	休眠	进入：<10 µs 退出：<50 µs
L0	完全使能（工作）	-

© 2015 Microchip Technology Inc.

8.5 远程唤醒指示器

处于USB2.0挂起状态时，远程唤醒指示器功能将USB2_SUSP_IND用作边带信号来唤醒主机。通过集线器配置空间寄存器CFG3中的HUB_RESUME_INHIBIT配置位来使能和禁止该功能。控制该位的惟一方法是配置EEPROM、SMBus或内部ROM的默认设置。仅可在上电复位和硬件复位过程中更改状态。该功能不支持动态重新配置。

当HUB_RESUME_INHIBIT =“0”时，根据USB 2.0规范执行正常的恢复行为

当HUB_RESUME_INHIBIT =“1”时，使能修改的恢复行为

注：	USB2_SUSP_IND信号仅指示USB2.0状态。

更多信息，请参见Microchip.com USB5734产品页面上的Microchip USB5734挂起指示器应用笔记。

8.6 端口控制接口

端口电源和过流检测针对每个端口共用同一个引脚（**PRT_CTLx**）。这些功能可通过USB集线器或者处理器直接控制。此外，智能端口控制器还可通过I^2C接口进行控制。

器件可配置为以下两种端口控制模式：

- 联动模式
- 组合模式

下面各小节详细介绍了各种模式下的端口连接。

8.6.1 联动模式下的端口连接

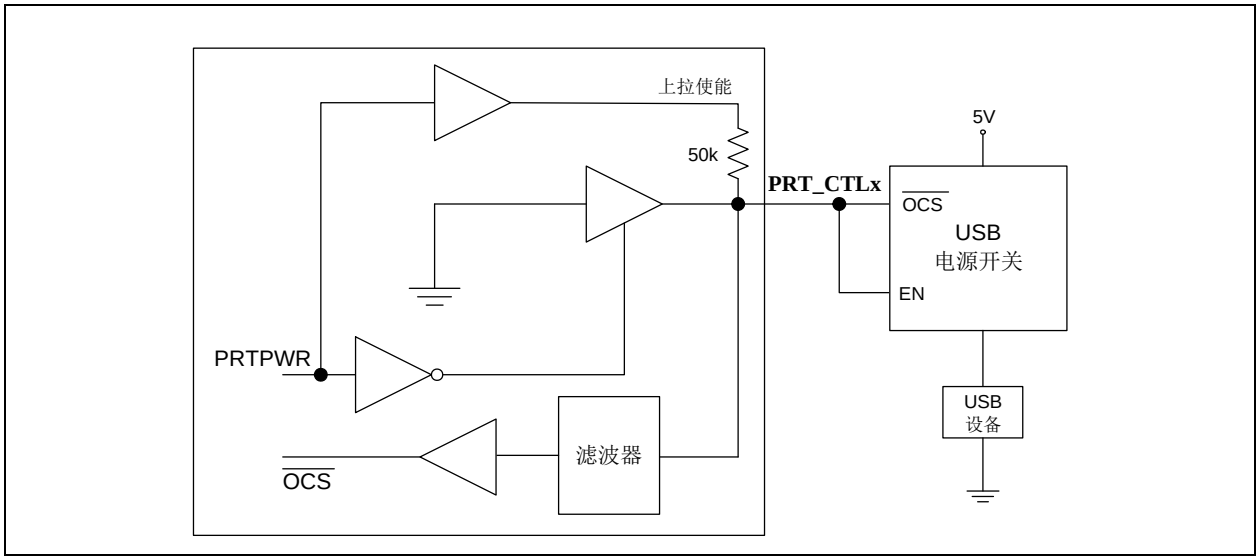
在此模式下，其中一个引脚（**GANG_PWR**）用于控制端口电源和过流检测。

8.6.2 组合模式下的端口连接

8.6.2.1 使用USB电源开关的端口电源控制

在组合模式下工作时，器件将为每个下行端口提供一个端口电源控制和过流检测引脚。禁止端口电源时，驱动器将主动驱动“0”。为避免不必要的功耗，此时将禁止上拉电阻。当端口电源使能时，将禁止输出驱动器并使能上拉电阻，使其成为开漏输出。如果发生过流，USB电源开关会将开漏OCS信号置为有效。施密特触发器输入会将这种情况识别为低电平。开漏输出不会发生干扰。过流检测滤波器在器件上电过程中处理低电压等各种瞬变条件。

图8-2： 使用USB电源开关的端口电源控制



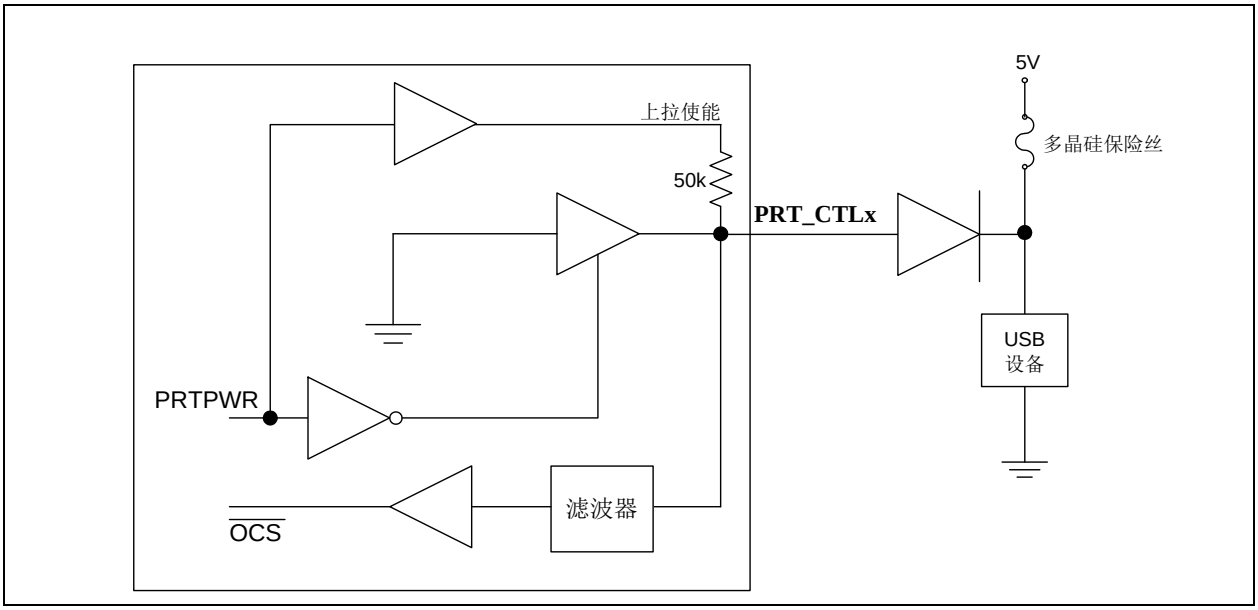
8.6.2.2 使用多晶硅保险丝的端口电源控制

将器件与多晶硅保险丝一起使用时，无需输出电源控制。为保持一致性，将使用相同的电路。从集线器的角度看，每个下行端口的单端口电源控制和过流检测仍在使用。禁止端口电源时，驱动器将主动驱动“0”。这将不起任何作用，因为外部二极管会将引脚与负载隔离。当端口电源使能时，将禁止输出驱动器并使能上拉电阻。这意味着上拉电阻正在为二极管的阳极提供3.3V电压。如果发生过流，多晶硅保险丝将断开，从而导致二极管的阴极变为0V。二极管的阳极将为0.7V，施密特触发器输入会将其视为低电平，从而引发过流检测。开漏输出不会发生干扰。

注： 使用多晶硅保险丝模式时，必须将USB 2.0和USB 3.0 bPwrOn2PwrGood描述符设置为0。有关如何更改这些值的详细信息，请参见Microchip应用笔记AN1903《USB5734和USB5744的配置选项》。

© 2015 Microchip Technology Inc.

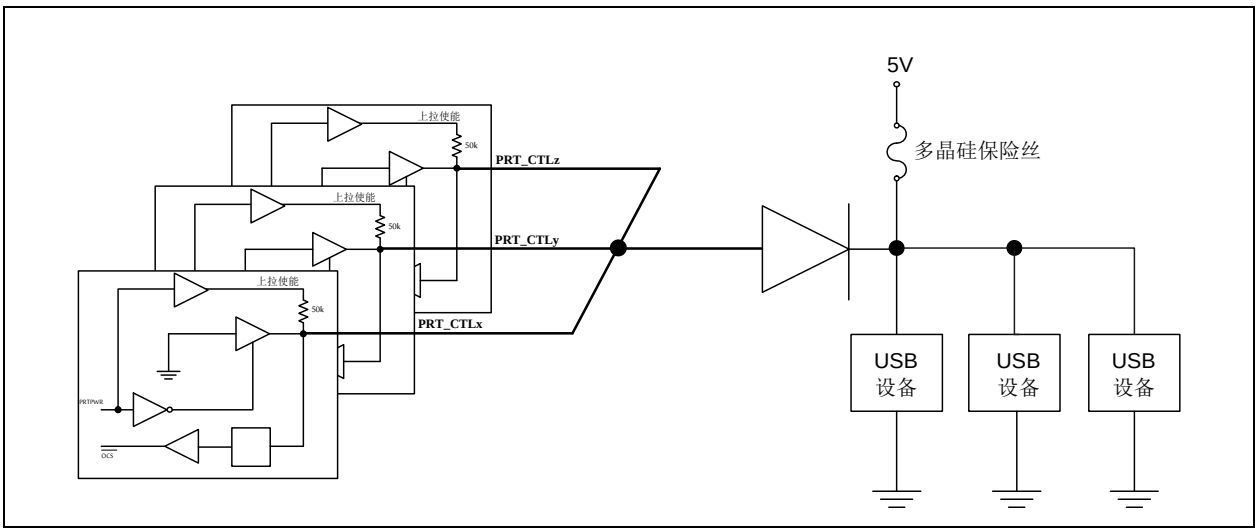
图8-3： 使用多晶硅保险丝的端口电源控制



8.6.2.3 使用单个多晶硅保险丝和多个负载的端口电源控制

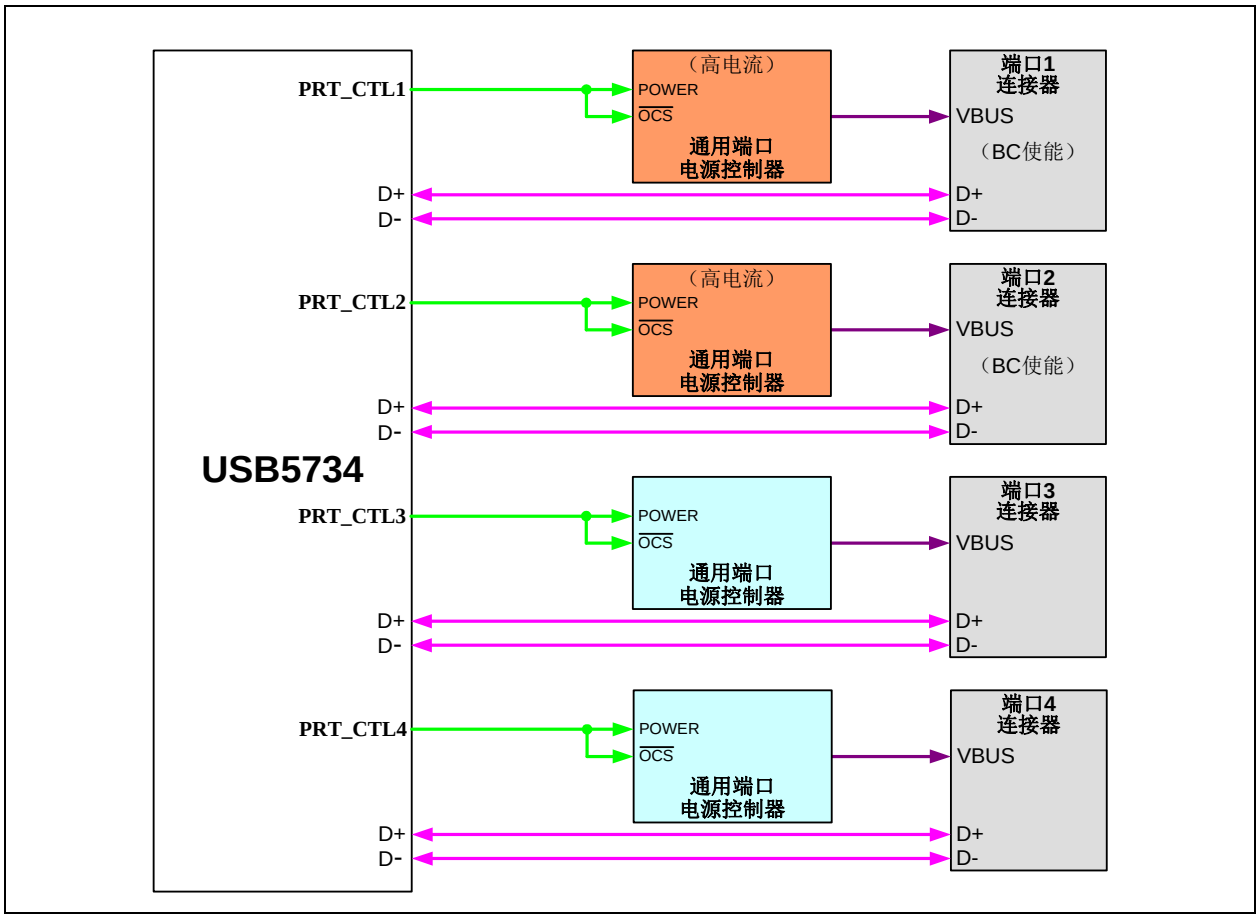
许多客户使用单个多晶硅保险丝为所有设备供电。对于联动模式下的情况，所有电源控制引脚必须连接在一起。

图8-4： 使用多晶硅保险丝和联动控制模式的端口电源控制



8.6.3 端口控制器连接示例

图8-5： 带4个通用端口电源控制器的USB5734（使能2个BC）



注： **CFG_BC_EN** 配置脚必须正确配置，以使能适当端口的电池充电。例如，如图 8-5 的应用所示，**CFG_BC_EN** 必须连接一个外部10 kΩ下拉电阻，以便使能端口1和2的电池充电。有关**CFG_BC_EN**配置脚的更多信息，请参见第3.4.4节“电池充电配置（CFG_BC_EN）”。

© 2015 Microchip Technology Inc.

9.0 工作特性

9.1 绝对最大值*

+1.2V电源电压（**VDD12**）（注1） . . . . . -0.5V至+1.32V

+3.3V电源电压（**VDD33**）（注1） . . . . . -0.5V至+4.6V

输入信号引脚相对于地的正电压（注2） . . . . . +4.6V

输入信号引脚相对于地的负电压 . . . . . -0.5V

XTALI/CLK_IN相对于地的正电压 . . . . . +3.63V

USB DP/DM信号引脚相对于地的正电压. . . . . +6.0V

USB 3.0 **USB3UP_*xxxx***和**USB3DN_*xxxx***信号引脚相对于地的正电压 1.32V

存储温度 . . . . . -55°C至+150°C

结温. . . . . +125°C

引脚温度范围 请参见JEDEC规范J-STD-020

HBM ESD性能 . . . . . 3 kV

注 1： 通过实验室或系统电源为此器件供电时，务必保证不要超过绝对最大值，否则可能导致器件出现故障。接通或关断交流电源时，某些电源的输出端会出现电压尖峰。此外，交流电源线上的电压瞬变可能会出现在直流输出上。如果存在这种可能性，建议使用钳位电路。

注 2： 该额定值不适用于以下引脚：所有USB DM/DP引脚、**XTAL1/CLK_IN**和**XTALO**

*如果器件的工作条件超过上述绝对最大值，可能对器件造成永久性损坏。上述数值仅是工作条件最大值。器件长时间工作在绝对最大值条件下，其可靠性可能受到影响。我们建议不要使器件工作在超过第9.2节“工作条件**”、第9.5节“直流规范”或本规范任何其他适用章节中规定的最大值条件下。

9.2 工作条件**

+1.2V电源电压（**VDD12**） . . . . . +1.08V至+1.32V

+3.3V电源电压（**VDD33**） . . . . . +3.0V至+3.6V

输入信号引脚电压（注2） . . . . . -0.3V至+3.6V

XTALI/CLK_IN电压. . . . . -0.3V至+3.6V

USB 2.0 DP/DM信号引脚电压 . . . . . -0.3V至+5.5V

USB 3.0 **USB3UP_*xxxx***和**USB3DN_*xxxx***信号引脚电压 . . . . . -0.3V至+1.32V

静止空气中的工作环境温度（T_A） 注3

+1.2V电源电压上升时间（图9-1中的T_{RT}） . . . . . 400 µs

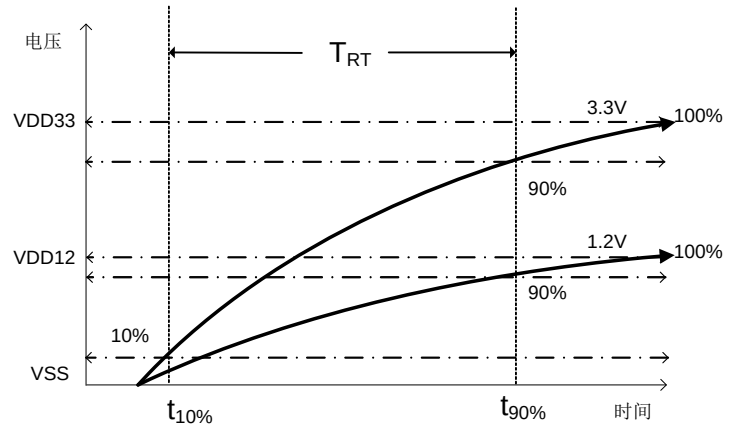
+3.3V电源电压上升时间（图9-1中的T_{RT}） . . . . . 400 µs

注 3： 商业级为0°C至+70°C，工业级为-40°C至+85°C。

**只有在本节规定的范围内才能保证器件正常工作。

注：	请勿在未向器件供电的情况下驱动输入信号。

图9-1： 电源上升时间模型



9.3 封装的热规范

表9-1： 封装的热参数

符号	°C/W	速度（米/秒）
Θ_{JA}	25	0
	22	1
Ψ_{JT}	0.2	0
	0.3	1
Θ_{JC}	2.5	0
	2.5	1

注： 热参数是根据JESDN51标准，针对多层2S2P PCB中的器件测量或估算的。

表9-2： 最大功耗

参数	值	单位
PD（最大值）	1400	mW

© 2015 Microchip Technology Inc.

9.4 功耗

本节详细介绍了在不同工作模式下测得的器件功耗。功耗取决于温度、电源电压和外部拉/灌电流要求。

表9-3： 器件功耗

	典型值（mA）		典型功率（mW）
	VDD33	**VDD12**	
复位	0.8	1.8	4.8
无**VBUS**	2.0	5.0	12.6
全局暂停	2.0	5.2	12.9
4个**FS**端口	39	35	170
4个**HS**端口	53	42	222
4个**SS**端口	55	683	1001
4个**SS/HS**端口	93	688	1132

9.5 直流规范

表9-4： I/O直流电气特性

参数	符号	最小值	典型值	最大值	单位	注
I型输入缓冲器						
低电平输入电压	V_{IL}			0.9	V	
高电平输入电压	V_{IH}	2.1			V	
IS型输入缓冲器						
低电平输入电压	V_{IL}			0.9	V	
高电平输入电压	V_{IH}	1.9			V	
施密特触发器迟滞电压（V_{IHT} - V_{ILT}）	V_{HYS}	9	20	40	mV	注4
O6型输出缓冲器						
低电平输出电压	V_{OL}			0.4	V	I_{OL} = 6 mA
高电平输出电压	V_{OH}	**VDD33**-0.4			V	I_{OH} = -6 mA
O10型输出缓冲器						
低电平输出电压	V_{OL}			0.4	V	I_{OL} = 10 mA
高电平输出电压	V_{OH}	**VDD33**-0.4			V	I_{OH} = -10 mA
O12型输出缓冲器						
低电平输出电压	V_{OL}			0.4	V	I_{OL} = 12 mA
高电平输出电压	V_{OH}	**VDD33**-0.4			V	I_{OH} = -12 mA
OD12型输出缓冲器						
低电平输出电压	V_{OL}			0.4	V	I_{OL} = 12 mA
ICLK型输入缓冲器（XTALI输入）						注5
低电平输入电压	V_{IL}			0.50	V	
高电平输入电压	V_{IH}	0.85		**VDD33**	V	
IO-U型缓冲器（见注6）						注6

注 4： **PROG_FUNC3**引脚的施密特触发器迟滞电压最小值为10 mV，最大值为60 mV。

注 5： **XTALI**可选择通过25 MHz单端时钟振荡器驱动。

注 6： 有关USB的直流电气特性，请参见USB 3.0规范。

© 2015 Microchip Technology Inc.

9.6 交流规范

本节详细介绍了器件的各种交流时序规范。

9.6.1 上电和配置脚时序

对于上电时不使用**RESET_N**的应用，图9-2给出了与上电有关的配置脚有效时序要求。为了在上电时读取有效的配置脚值，必须满足以下时序要求。第41页上的第9.2节“工作条件**”详细介绍了外部电源的工作电压（V_{opp}）。

图9-2： 上电配置脚有效时序

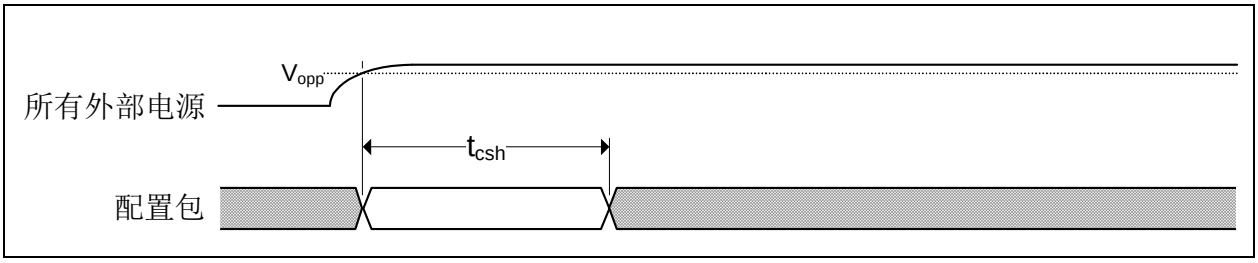


表9-5： 上电配置脚锁存时序

符号	说明	最小值	典型值	最大值	单位
t_{csh}	配置脚在外部电源处于工作电压后保持不变	1			ms

由于**RESET_N**置为有效，还将锁存器件配置脚。更多详细信息，请参见第9.6.2节“复位和配置包时序”。

9.6.2 复位和配置脚时序

图9-3给出了**RESET_N**引脚时序要求以及与配置脚引脚的关系。将**RESET_N**置为有效并不作为一项要求。但如果使用该引脚，则必须使其在规定的最小周期内保持有效状态。有关复位的更多信息，请参见第8.3节“复位”。有关配置脚的更多信息，请参见第3.4节“配置包和可编程功能”。

图9-3： RESET_N配置脚时序

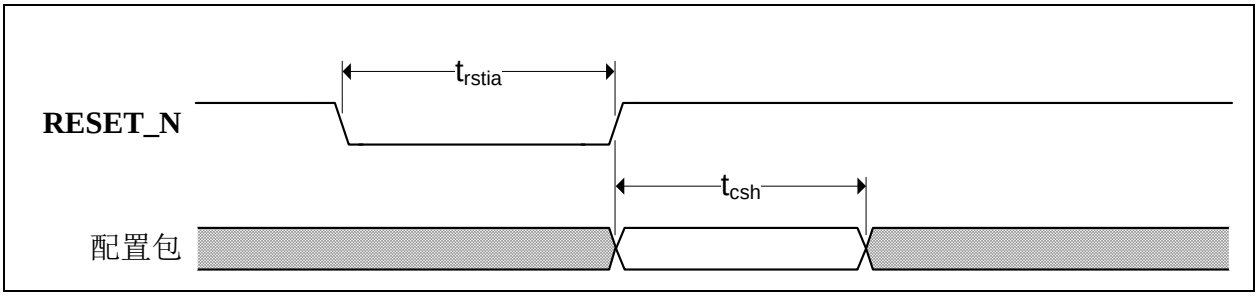


表9-6： RESET_N配置脚时序

符号	说明	最小值	典型值	最大值	单位
t_{rstia}	**RESET_N**输入有效时间	5			µs
t_{csh}	配置脚引脚在**RESET_N**置为无效后保持不变	1			ms

注： 时钟输入必须在**RESET_N**置为无效前保持稳定。

显示的配置脚锁存和输出驱动时序假设上电复位已预先完成，否则应用第9.6.1节“上电和配置包时序”中的时序。

9.6.3 USB时序

器件的所有USB信号均遵循*通用串行总线规范*中所述的电压、功率和时序特性/规范的要求。请参见http://www.usb.org/developers/docs提供的*通用串行总线规范*版本3.0。

9.6.4 I^2C时序

器件的所有I^2C信号均遵循*I^2C总线规范*中所述的100 kHz标准模式（Standard Mode，SM）电压、功率和时序特性/规范的要求。请参见http://www.nxp.com/documents/user_manual/UM10204.pdf提供的*I^2C总线规范*。

9.6.5 SMBUS时序

器件的所有SMBus信号均遵循*系统管理总线规范*中所述的电压、功率和时序特性/规范的要求。请参见http://smbus.org/specs提供的*系统管理总线规范*版本1.0。

© 2015 Microchip Technology Inc.

9.6.6 SPI时序

本节规定了器件的SPI时序要求。

图9-4： SPI时序

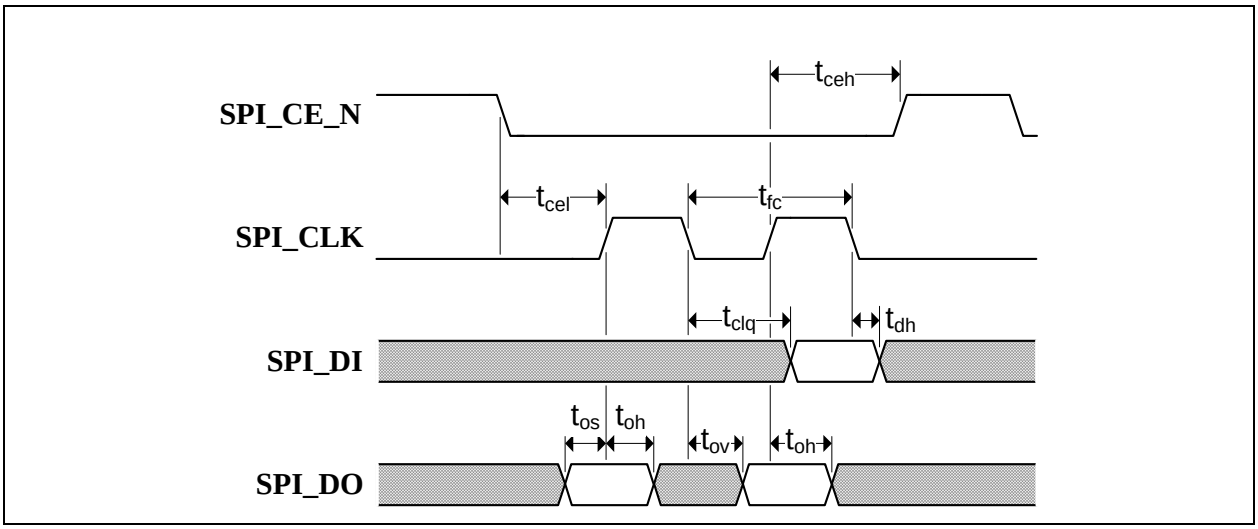


表9-7： SPI时序（30 MHz工作频率）

符号	说明	最小值	典型值	最大值	单位
t_{fc}	时钟频率			30	MHz
t_{ceh}	芯片使能（**SPI_CE_EN**）高电平时间	100			ns
t_{clq}	从时钟到输入数据的时间			13	ns
t_{dh}	输入数据保持时间	0			ns
t_{os}	输出建立时间	5			ns
t_{oh}	输出保持时间	5			ns
t_{ov}	从时钟到输出有效的时间	4			ns
t_{cel}	从芯片使能（**SPI_CE_EN**）低电平到第一个时钟的时间	12			ns
t_{ceh}	从最后一个时钟到芯片使能（**SPI_CE_EN**）高电平的时间	12			ns

表9-8： SPI时序（60 MHz工作频率）

符号	说明	最小值	典型值	最大值	单位
t_{fc}	时钟频率			60	MHz
t_{ceh}	芯片使能（**SPI_CE_EN**）高电平时间	50			ns
t_{clq}	从时钟到输入数据的时间			9	ns
t_{dh}	输入数据保持时间	0			ns
t_{os}	输出建立时间	5			ns
t_{oh}	输出保持时间	5			ns
t_{ov}	从时钟到输出有效的时间	4			ns
t_{cel}	从芯片使能（**SPI_CE_EN**）低电平到第一个时钟的时间	12			ns
t_{ceh}	从最后一个时钟到芯片使能（**SPI_CE_EN**）高电平的时间	12			ns

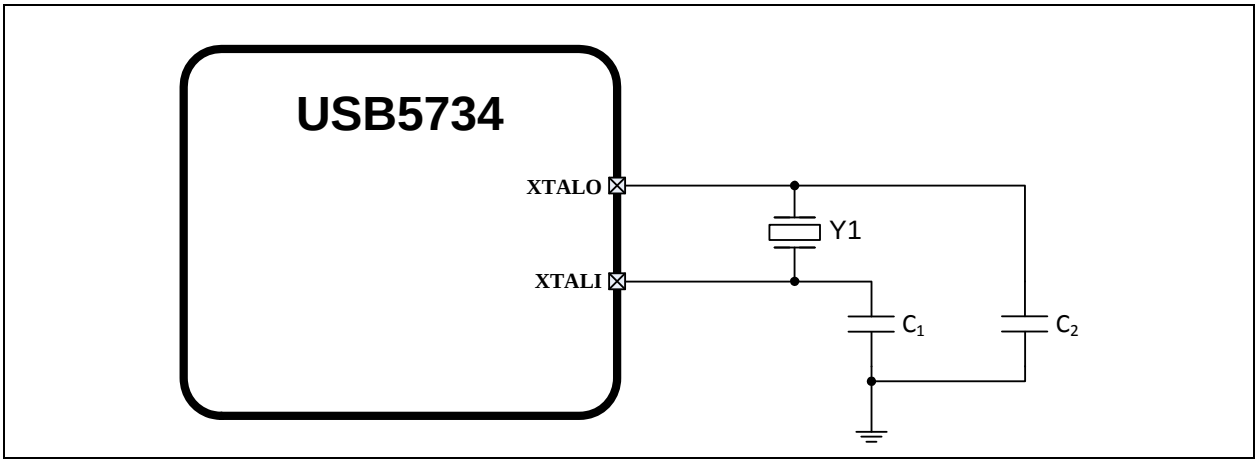
© 2015 Microchip Technology Inc.

9.7 时钟规范

器件可以接受25 MHz晶振或25 MHz单端时钟振荡器（±50 ppm）输入。如果采用单端时钟振荡器方式，**XTALO**应保持未连接状态，**XTALI/CLK_IN**应通过标称值为0V-3.3V的时钟信号驱动。输入时钟占空比的最小值、典型值和最大值分别为40%、50%和60%。

建议将采用匹配并联负载电容的晶振应用于晶振输入/输出信号（**XTALI/XTALO**）。需要遵循以下电路设计（图9-5）和规范（表9-9）以确保正常工作。

图9-5： 25 MHz晶振电路



9.7.1 晶振规范

建议将采用匹配并联负载电容的晶振应用于晶振输入/输出信号（**XTALI/XTALO**）。有关建议的晶振规范，请参见表9-9。

表9-9： 晶振规范

参数	符号	最小值	标称值	最大值	单位	注
晶体切割	AT切割（典型方式）					
晶振模式	基本模式					
晶振校准模式	并联谐振模式					
频率	F_{fund}	-	25.000	-	MHz	
频率容差（25°C）	F_{tol}	-	-	±50	PPM	注7
过温时的频率稳定性	F_{temp}	-	-	±50	PPM	注7
随时间的频率偏差	F_{age}	-	±3至5	-	PPM	
允许的总PPM预算		-	-	±100	PPM	注8
并联电容	C_O	-	7（典型值）	-	pF	
负载电容	C_L	-	20（典型值）	-	pF	
驱动功率	P_W	100	-	-	uW	
等效串联电阻	R_1	-	-	50	Ω	
工作温度范围		注8	-	注9	°C	
XTALI/CLK_IN引脚电容		-	3（典型值）	-	pF	注10
XTALO引脚电容		-	3（典型值）	-	pF	注10

注 7： 随时间产生的频率偏差也称为老化。

© 2015 Microchip Technology Inc.

注 8： 商业级为0°C，工业级为-40°C。

注 9： 商业级为+70°C，工业级为+85°C。

注 10： 此数值包括焊盘、接线和引脚框架。该值不包括 PCB 电容。要精确计算两个外部负载电容的值，需要 **XTALI/CLK_IN** 引脚值、**XTALO** 引脚值和PCB电容值。这两个外部负载电容确定了25.000 MHz频率的精度。

9.7.2 外部参考时钟（**CLK_IN**）

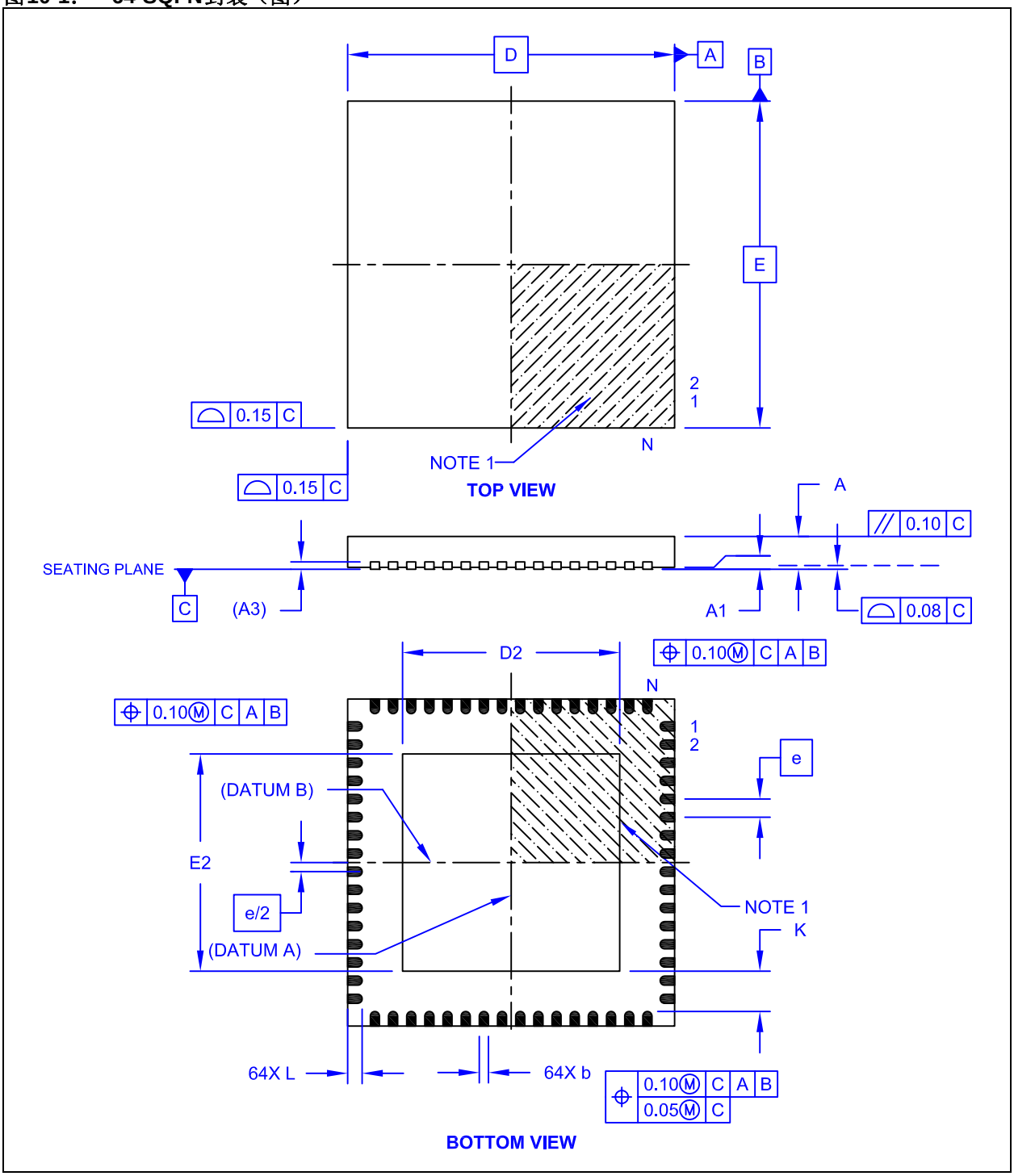
使用外部参考时钟时，建议遵循下列输入时钟规范：

- 25 MHz
- 50%占空比±10%，±100 ppm
- 抖动 < 100 ps RMS

10.0 封装外形

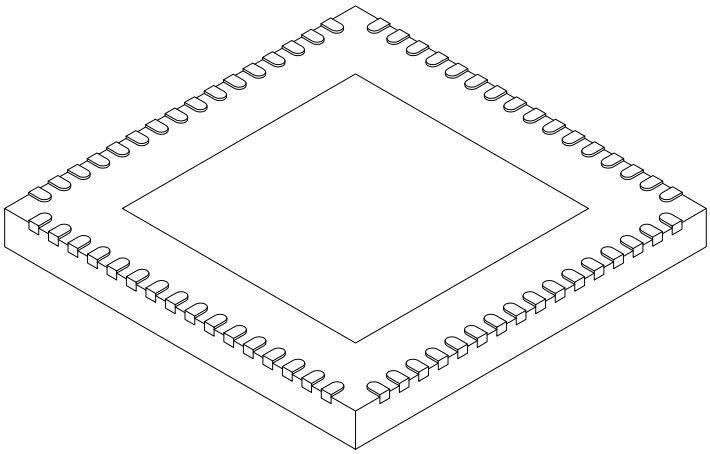
注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。

图10-1： 64-SQFN封装（图）



© 2015 Microchip Technology Inc.

图10-2： 64-SQFN封装（尺寸）



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	64		
Pitch	e	0.50 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	9.00 BSC		
Exposed Pad Width	E2	5.90	6.00	6.10
Overall Length	D	9.00 BSC		
Exposed Pad Length	D2	5.90	6.00	6.10
Contact Width	b	0.18	0.25	0.30
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.90	1.10	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated.
3. Dimensioning and tolerancing per ASME Y14.5M.
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
   REF: Reference Dimension, usually without tolerance, for information purposes only.

11.0 版本历史

表11-1： 版本历史

版本与日期	节/图/条目	修正
DS00001854B_CN （2015年4月16日）	特性	将环境特性从“4kV HBM JESD22-A114F ESD保护”更改为“3kV HBM JESD22-A114F ESD保护”
	第9.2节“工作条件**”	将XTALI/CLK_IN电压更改为-0.3V到+3.6V
	表9-9“晶振规范”	允许的总PPM预算更改为100 pm，删除了“频率容差”和“频率和发送器时钟频率”相关表格下的注
	第9.7.2节“外部参考时钟（CLK_IN）”	将+-350 ppm更改为+-100 ppm
	图3-1“64-SQFN引脚分配”和 表3-1“64-SQFN引脚分配”	将引脚32从“PRT_CTL4/GANG_PWR”修改为“PRT_CTL4/GANG_PWR”
	表3-4“USB端口控制引脚说明”	修改了引脚1 **GANG_PWR**的说明
	表1-1“一般术语”和整篇文档	将术语集线器控制器替换为集线器功能控制器，并在表1-1“一般术语”中添加了定义。
	第6.1.2节“SMBus访问功能”	添加了到AN1903的网络链接
		从整篇文档中删除了PortMap功能。
	表3-7“其他引脚说明”	修改了RESET_N引脚说明
	第8.4节“链路电源管理（LPM）”	删除了第一句中的“根据USB 3.0规范”。删除了最后一句“有关详细信息，请参见USB 3.0规范。”
	表9-2“最大功耗”	增加了表9-2。
	第9.7节“时钟规范”，图9-5和 表9-9“晶振规范”	更新了这些部分。
	第9.7.2节“外部参考时钟（CLK_IN）”	将振荡器频率从“35 MHz”更改为“25 MHz”
	第9.6.6节“SPI时序”	删除了SPI接口配置注释
	第9.1节“绝对最大值*”	增加了“USB 3.0 **USB3UP_*xxxx***和**USB3DN_*xxxx***信号引脚相对于地的正电压...1.32V”
		将XTALI的正电压从2.1V更改为3.63V。
		将“USB 3.0 DP/DM 信号引脚电压”更改为“USB 3.0 **USB3UP_*xxxx***和**USB3DN_*xxxx***信号引脚电压”
	第37页上的第8.6.2节“组合模式下的端口连接”	在第8.6.2节下增加了注

© 2015 Microchip Technology Inc.

表11-1： 版本历史（续）

版本与日期	节/图/条目	修正
	第55页上的产品标识体系	更新了订购信息。
	第41页上的第9.1节“绝对最大值*”	更新了+1.2V电源电压的绝对最大值。增加了HBM ESD性能规范。
	第42页上的表9-1“封装的热参数”	增加了封装热参数。
	第57页上的“全球销售及服务网点”	更新了全球销售列表
	第44页上的表9-4“I/O直流电气特性”	更新了缓冲器类型I的最高输入电平。 增加了IS缓冲器类型的施密特触发器迟滞值以及**PROG_FUNC3**引脚的注。
	整个封面	将文档标题更新为“4端口SS/HS控制器集线器” 删除了PortMap引用。 删除了句子：“这些电路用于检测USB充电器的连接和类型，并提供一个中断输出来指示可通过串行接口从器件的状态寄存器中读取充电器信息。”
	图3-1：第8页上的64-SQFN引脚分配	在图的下方添加了配置脚的注。
	第13页上的表3-6“可编程功能引脚说明”、表3-15、表3-16、表3-17、表3-18、表3-19和表3-20	在**PROG_FUNC[7:1]**缓冲器类型列中添加了注，指明下列内容：“**PROG_FUNC2**缓冲器类型为I/O6。**PROG_FUNC7**的缓冲器类型为I/O10。其他所有**PROG_FUNCx**引脚的缓冲器类型均为I/O12。”
	表3-15、表3-16、表3-17、表3-18、表3-19和表3-20	更新了**PROG_FUNC2**和**PROG_FUNC7**缓冲器类型的定义，以分别反映O6和O10输出。
	第15页上的表3-9“缓冲器类型”和 第44页上的表9-4“I/O直流电气特性”	添加了O10缓冲器类型
	第19页上的表3-15“配置1 PROG_FUNC[7:1]功能分配”	更新了配置1中的**PROG_FUNC7**名称——从SUSP_IND到USB2_SUSP_IND的混合模式以及阐释说明。
	第25页上的第3.4.5.6节“配置6——全UART模式”	增加了注：“禁止流控制时，UART_nCTS、UART_nDCD和UART_nDSR不得悬空。在这种情况下，这些引脚应当包括外部上拉，以便在没有流控制的情况下在全UART模式下保持UART通信。”
	第35页上的第8.2节“FlexConnect”	更新了第二段，阐明FlexConnect的正常操作。
	第37页上的第8.5节“远程唤醒指示器”	将SUSP_IND更新为USB2_SUSP_IND并阐明该功能仅适用于USB2.0。
DS00001854A_CN （2014年12月15日）	全部	初始版本

MICROCHIP 网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问，网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的客户通知服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

要注册，请先访问 Microchip 网站 www.microchip.com，点击 “ 变更通知客户 ” （Customer Change Notification），然后按照注册指示完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 http://microchip.com/support 获得网上技术支持。

© 2015 Microchip Technology Inc.

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

器件编号	[X]	[-X]	/	XX
器件	卷带式选项	温度范围		封装

器件：	USB5734
卷带式选项：	空白 = 标准包装（托盘） T = 卷带式（注1）
温度范围：	空白 = 0°C 至+70°C（商业级） I = -40°C 至+85°C（工业级）
封装：	MR = 64引脚SQFN

示例：

a) USB5734/MR
托盘式，商业级温度，64引脚SQFN

b) USB5734-I/MR
托盘式，工业级温度，64引脚SQFN

c) USB5734T-I/MR
卷带式，工业级温度，64引脚SQFN

d) USB5734T/MR
卷带式，商业级温度，64引脚SQFN

注 1： 卷带式标识符仅出现在产品目录的部件编号描述中。该标识符用于订货目的，不会印刷在器件封装上。关于包装是否提供卷带式选项的信息，请咨询当地的Microchip销售办事处。

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “ 牢不可破 ” 的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 dsPIC、 FlashFlex、 flexPWR、 JukeBlox、 KEELOQ、 KEELOQ 徽标、 Kleer、 LANCheck、 MediaLB、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、 PICSTART、 PIC^{32} 徽标、 RightTouch、 SpyNIC、 SST、 SST 徽标、 SuperFlash 及 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

The Embedded Control Solutions Company 和 mTouch 为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、BodyCom、chipKIT、chipKIT 徽标、 CodeGuard、 dsPICDEM、 dsPICDEM.net、 ECAN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 KleerNet、 KleerNet 徽标、 MiWi、 MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、 NetDetach、 Omniscient Code Generation、 PICDEM、 PICDEM.net、 PICkit、 PICtail、 RightTouch 徽标、 REAL ICE、 SQI、 Serial Quad I/O、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、 WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2015, Microchip Technology Inc. 版权所有。

ISBN：978-1-63277-428-6

QUALITY MANAGEMENT SYSTEM CERTIFIED BY DNV

═ ISO/TS 16949 ═

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。 Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外， Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

© 2015 Microchip Technology Inc.

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110

加拿大多伦多 Toronto
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

亚太地区

台湾地区 - 高雄
Tel: 886-7-213-7828

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Dusseldorf
Tel: 49-2129-3766400

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Pforzheim
Tel: 49-7231-424750

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Venice
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

波兰 Poland - Warsaw
Tel: 48-22-3325737

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

01/27/15

© 2015 Microchip Technology Inc.