第 7 章 振荡器

目录

本章包括下列主题：

7.1 简介 7-2
7.2 CPU 时钟分配 7-4
7.3 振荡器配置寄存器 7-5
7.4 特殊功能寄存器 7-8
7.5 主振荡器 （Posc） 7-18
7.6 内部快速 RC （FRC）振荡器 7-22
7.7 锁相环 （PLL） 7-23
7.8 低功耗辅助振荡器 （Sosc） 7-28
7.9 低功耗 RC （LPRC）振荡器 7-29
7.10 附属振荡器 7-30
7.11 附属锁相环 （APLL） 7-31
7.12 故障保护时钟监视器 （FSCM） 7-34
7.13 时钟切换 7-35
7.14 双速启动 7-39
7.15 寄存器映射 7-40
7.16 相关应用笔记 7-41
7.17 版本历史 7-42

注： 本系列参考手册章节旨在用作对器件数据手册的补充。根据不同的器件型号，本手册章节可能并不适用于所有 dsPIC33E/PIC24E 器件。

请参见当前器件数据手册中 **“振荡器”** 章节开头部分的注，以检查本文档是否支持您所使用的器件。

器件数据手册和系列参考手册章节可从 Microchip 网站 http://www.microchip.com 下载。

7.1 简介

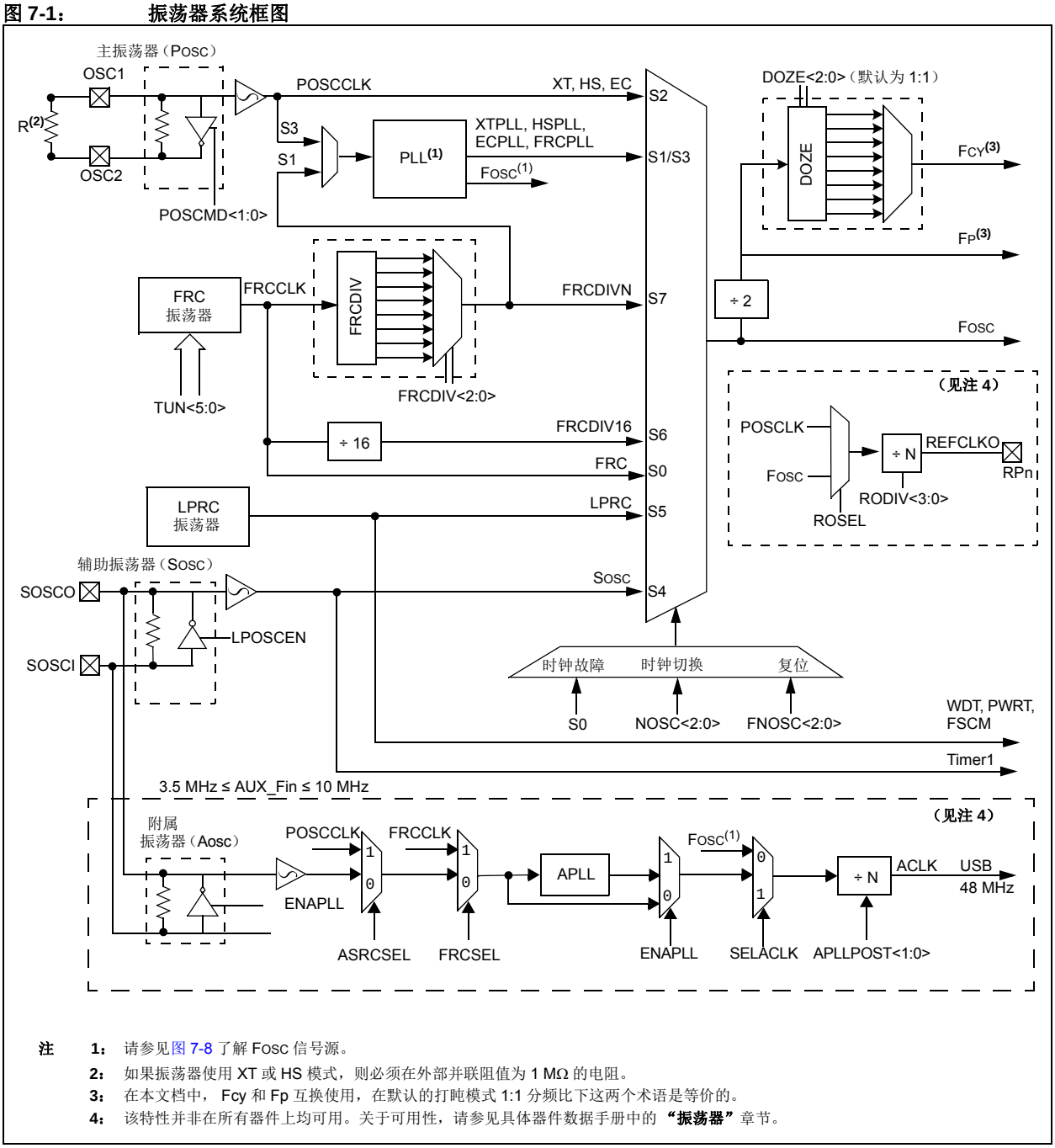
dsPIC33E/PIC24E 振荡器系统包括以下特性：

- 4 个外部和内部振荡器选项
- 为 USB 模块提供时钟源的附属振荡器 （在所有器件上都有）
- 片上锁相环 （Phase-Locked Loop， PLL），可基于选定的内部和外部振荡器源升高内部工作频率
- 在各种时钟源之间进行动态时钟切换
- 用于节省系统功耗的打盹模式
- 故障保护时钟监视器 （Fail-Safe Clock Monitor， FSCM），可检测时钟故障，并允许安全地恢复或关闭应用
- 用于时钟源选择的非易失性配置位
- 可调节的参考时钟输出 （REFCLKO）（并非在所有器件上都有）

图 7-1 给出了 dsPIC33E/PIC24E 振荡器系统的框图。

© 2011-2014 Microchip Technology Inc.

图 7-1：　　振荡器系统框图



注　**1：** 请参见图 7-8 了解 FOSC 信号源。

2： 如果振荡器使用 XT 或 HS 模式，则必须在外部并联阻值为 1 MΩ 的电阻。

3： 在本文档中， Fcy 和 Fp 互换使用，在默认的打盹模式 1:1 分频比下这两个术语是等价的。

4： 该特性并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的 **“振荡器”** 章节。

7.2 CPU 时钟分配

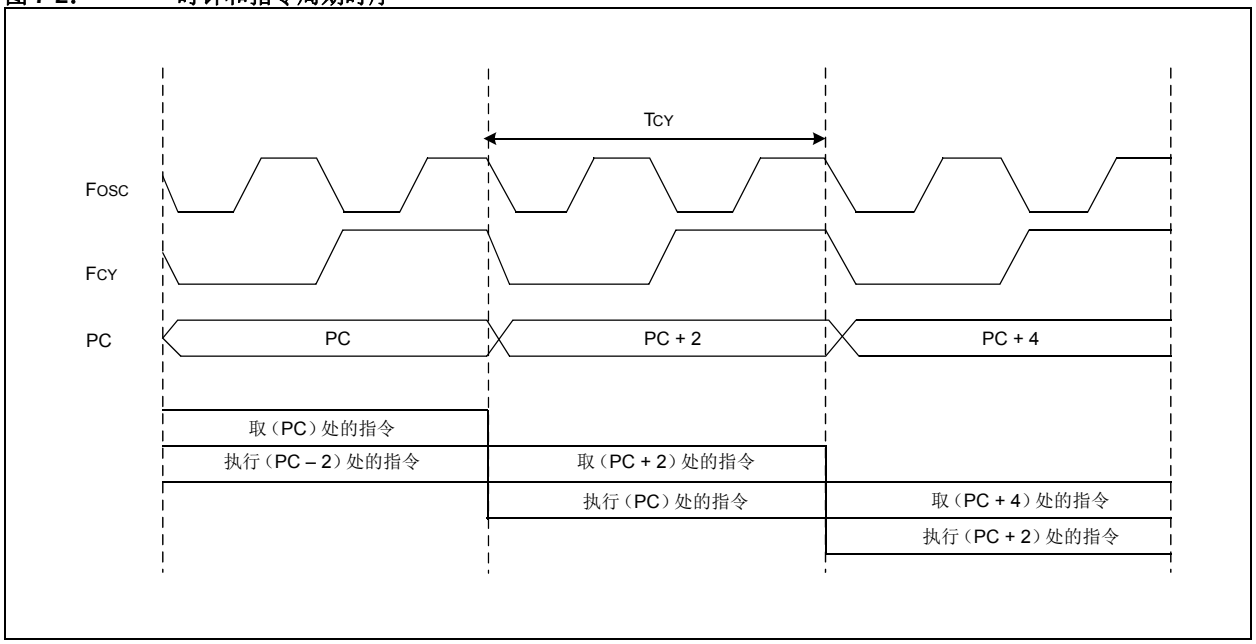
系统时钟 （FOSC）源可由以下选项之一提供：

- OSC1 和 OSC2 引脚上的主振荡器 （POSC）
- SOSCI 和 SOSCO 引脚上的辅助振荡器 （SOSC）
- 具有可选时钟分频比的内部快速 RC 振荡器 （FRC）
- 内部低功耗 RC 振荡器 （LPRC）
- 带 PLL 的主振荡器
- 带 PLL 的内部快速 RC 振荡器

对系统时钟源进行二分频以产生内部指令周期时钟。在本文档中，指令周期时钟表示为 FCY。图 7-2 中的时序图显示了系统时钟 （FOSC）、指令周期时钟 （FCY）和程序计数器 （Program Counter，PC）之间的关系。

如果未选择主振荡器模式或 HS 模式作为时钟源，则可以在 OSC2 I/O 引脚上输出内部指令周期时钟 （FCY）。更多信息，请参见**第 7.5 节 “主振荡器 （POSC）”**。

图 7-2： 时钟和指令周期时序



© 2011-2014 Microchip Technology Inc.

7.3 振荡器配置寄存器

振荡器配置寄存器位于程序存储空间中，不是特殊功能寄存器（Special Function Register，SFR）。这两个寄存器被映射到程序存储空间中，并在进行器件编程时设定。

- **FOSCSEL：振荡器源选择寄存器**

  FOSCSEL 用于选择初始振荡器源和启动选项。 FOSCSEL 包含以下配置位：

  振荡器源选择寄存器中的 FNOSC<2:0> 配置位（FOSCSEL<2:0>）决定在上电复位（Power-on Reset，POR）时使用的时钟源。此后，可以通过时钟切换在所允许的时钟源之间切换时钟源。

  默认情况下（未编程时）将选择带后分频器的内部 FRC 振荡器（FRCDIVN）。

- **FOSC：振荡器配置寄存器**

  FOSC 用于配置主振荡器模式、OSCO 引脚功能、外设引脚选择以及故障保护和时钟切换模式。 FOSC 包含以下配置位：

  - POSCMD（FOSC<1:0>）配置位用于选择 POSC 的工作模式。
  - OSCIOFNC（FOSC<2>）配置位用于选择 OSC2 引脚功能（HS 或中速振荡器（XT）模式除外）。

    如果 OSCIOFNC 未编程（为 1），在 OSC2 引脚上输出 FCY 时钟。
    如果 OSCIOFNC 已编程（为 0）， OSC2 引脚成为通用 I/O 引脚。

表 7-1 列出了选择 POR 时器件振荡器源和工作模式的配置设置。

表 7-1： 用于时钟选择的配置位值

振荡器源	振荡器模式	FNOSC 值	POSCMD 值	注
S0	快速 RC 振荡器（FRC）	000	xx	1
S1	带 PLL 的快速 RC 振荡器（FRCPLL）	001	xx	1
S2	主振荡器（EC）	010	00	1
S2	主振荡器（XT）	010	01	
S2	主振荡器（HS）	010	10	
S3	带 PLL 的主振荡器（ECPLL）	011	00	1
S3	带 PLL 的主振荡器（XTPLL）	011	01	
S3	带 PLL 的主振荡器（HSPLL）	011	10	
S4	辅助振荡器（SOSC）	100	xx	1
S5	低功耗 RC（LPRC）振荡器	101	xx	1
S6	带 16 分频的快速 RC 振荡器（FRCDIV16）	110	xx	1
S7	带 N 分频的快速 RC 振荡器（FRCDIVN）	111	xx	1, 2

注 1： OSC2 引脚功能由 OSCIOFNC 配置位决定。
2： 未编程（已擦除）器件的默认振荡器模式。

寄存器 7-1： FOSCSEL：振荡器源选择寄存器

U	U	U	U	U	U	U	U
—	—	—	—	—	—	—	—
bit 15							bit 8

R/P	U	U	U	U	R/P	R/P	R/P
IESO	—	—	—	—	FNOSC<2:0>		
bit 7							bit 0

图注：			
R = 可读位	P = 可编程位	U = 未用位，编程为逻辑 1	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-8 **保留：**保留位必须编程为 1

bit 7 **IESO：**内部 / 外部启动选项位
1 = 使用内部 FRC 启动器件，然后自动切换为就绪的用户选择的振荡器源
0 = 使用用户选择的振荡器源启动器件

bit 6-3 **保留：**保留位必须编程为 1

bit 2-0 **FNOSC<2:0>：**初始振荡器源选择位
111 = 带 N 分频的快速 RC 振荡器 （FRCDIVN）
110 = 带 16 分频的快速 RC 振荡器 （FRCDIV16）
101 = 低功耗 RC 振荡器 （LPRC）
100 = 辅助振荡器 （SOSC）
011 = 带 PLL 的主振荡器 （XTPLL、 HSPLL 和 ECPLL）
010 = 主振荡器 （XT、 HS 和 EC）
001 = 带 PLL 的快速 RC 振荡器 （FRCPLL）
000 = 快速 RC 振荡器 （FRC）

© 2011-2014 Microchip Technology Inc.

寄存器 7-2： FOSC：振荡器配置寄存器

U	U	U	U	U	U	U	U
—	—	—	—	—	—	—	—
bit 15							bit 8

R/P	R/P	R/P	U	U	R/P	R/P	R/P
FCKSM<1:0>		IOL1WAY(1)	—	—	OSCIOFNC	POSCMD<1:0>	
bit 7							bit 0

图注：			
R = 可读位	P = 可编程位	U = 未用位，编程为逻辑 1	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-8 **保留：**保留位必须编程为 1

bit 7-6 **FCKSM<1:0>：**时钟切换模式位
1x = 禁止时钟切换，禁止故障保护时钟监视器
01 = 使能时钟切换，禁止故障保护时钟监视器
00 = 使能时钟切换，使能故障保护时钟监视器

bit 5 **IOL1WAY：**外设引脚选择配置位 (1)
1 = 只允许一次重新配置
0 = 允许多次重新配置

bit 4-3 **保留：**保留位必须编程为 1

bit 2 **OSCIOFNC：**OSC2 引脚功能位 （XT 和 HS 模式除外）
1 = OSC2 为时钟输出，在 OSC2 引脚上输出指令周期 （FCY）时钟
0 = OSC2 为通用数字 I/O 引脚

bit 1-0 **POSCMD<1:0>：**主振荡器模式选择位
11 = 禁止主振荡器
10 = HS 晶振模式 （10 MHz 至 60 MHz）
01 = XT 晶振模式 （3.5 MHz 至 10 MHz）
00 = EC （外部时钟）模式 （0 MHz 至 60 MHz）

注 1： IOL1WAY 位并非在所有 dsPIC33E/PIC24E 器件上均可用。更多信息，请参见具体器件数据手册中的**“特殊功能”**章节。

7.4 特殊功能寄存器

以下特殊功能寄存器提供振荡器系统的运行时控制和状态：

- **OSCCON：振荡器控制寄存器**

  该寄存器控制时钟切换，并提供用于监视当前时钟源、PLL 锁定和时钟故障条件的状态信息。

- **CLKDIV：时钟分频比寄存器**

  该寄存器控制打盹模式，并选择 PLL 预分频比、 PLL 后分频比和 FRC 后分频比。

- **PLLFBD：PLL 反馈分频比寄存器**

  该寄存器用于选择 PLL 反馈分频比。

- **OSCTUN：FRC 振荡器调节寄存器**

  该寄存器用于用软件调节内部 FRC 振荡器频率。它允许在 ±12% 的范围内对 FRC 振荡器频率进行调节。

- **ACLKCON3：附属时钟控制寄存器**

  该寄存器控制并提供附属 PLL 模块的预分频比和后分频比。

- **ACLKDIV3：附属时钟分频比控制寄存器**

  该寄存器用于选择附属 PLL 模块的 PLL 反馈分频比。

© 2011-2014 Microchip Technology Inc.

寄存器 7-3： OSCCON：振荡器控制寄存器

U-0	R-y	R-y	R-y	U-0	R/W-y	R/W-y	R/W-y
—	COSC<2:0>			—	NOSC<2:0>		
bit 15							bit 8

R/S-0	R/W-0	R-O	U-0	R/C-0	U-0	R/W-0	R/W-0
CLKLOCK	IOLOCK(1)	LOCK	—	CF	—	LPOSCEN(2)	OSWEN
bit 7							bit 0

图注：	U = 未实现位，读为 0		y = 取决于 FOSCSEL<FNOSC> 位
R = 可读位	W = 可写位	C = 可清零位	S = 可置 1 位
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15 **未实现：**读为 0

bit 14-12 **COSC<2:0>：**当前振荡器选择位 （只读）
111 = 带 N 分频的快速 RC 振荡器 （FRCDIVN）
110 = 带 16 分频的快速 RC 振荡器 （FRCDIV16）
101 = 低功耗 RC 振荡器 （LPRC）
100 = 辅助振荡器 （SOSC）
011 = 带 PLL 的主振荡器 （XTPLL、 HSPLL 和 ECPLL）
010 = 主振荡器 （XT、 HS 和 EC）
001 = 带 PLL 的快速 RC 振荡器 （FRCPLL）
000 = 快速 RC 振荡器 （FRC）

bit 11 **未实现：**读为 0

bit 10-8 **NOSC<2:0>：**新振荡器选择位
111 = 带 N 分频的快速 RC 振荡器 （FRCDIVN）
110 = 带 16 分频的快速 RC 振荡器 （FRCDIV16）
101 = 低功耗 RC 振荡器 （LPRC）
100 = 辅助振荡器 （SOSC）
011 = 带 PLL 的主振荡器 （XTPLL、 HSPLL 和 ECPLL）
010 = 主振荡器 （XT、 HS 和 EC）
001 = 带 PLL 的快速 RC 振荡器 （FRCPLL）
000 = 快速 RC 振荡器 （FRC）

bit 7 **CLKLOCK：**时钟锁定使能位
如果时钟切换被使能且 FSCM 被禁止 （FCKSM<1:0> （FOSC<7:6>） = 01）：
1 = 时钟切换被禁止，系统时钟源被锁定
0 = 时钟切换被使能，系统时钟源可被时钟切换更改

bit 6 **IOLOCK：**外设引脚选择 （Peripheral Pin Select， PPS）锁定位 (1)
1 = 外设引脚选择被锁定。不允许写入外设引脚选择寄存器。
0 = 外设引脚选择未锁定。允许写入外设引脚选择寄存器。

bit 5 **LOCK：**PLL 锁定状态位 （只读）
1 = 指示 PLL 处于锁定状态，或 PLL 起振定时器延时结束
0 = 指示 PLL 处于失锁状态，起振定时器在进行延时或 PLL 被禁止

bit 4 **未实现：**读为 0

注 **1：** IOLOCK 位并非在所有 dsPIC33E/PIC24E 器件上均可用。更多信息，请参见具体器件的数据手册中的**“振荡器”**章节。

2： 该位仅在 POR 时复位。

注： 对该寄存器进行写操作需要解锁序列。更多信息和示例，请参见**第 7.13 节 “时钟切换”**。

寄存器 7-3：　OSCCON：振荡器控制寄存器 （续）

bit 3　**CF：**时钟故障检测位 （由应用程序读或清零）
1 = FSCM 已检测到时钟故障
0 = FSCM 未检测到时钟故障

bit 2　**未实现：**读为 0

bit 1　**LPOSCEN：**辅助振荡器 （SOSC）使能位
1 = 使能辅助振荡器
0 = 禁止辅助振荡器

bit 0　**OSWEN：**振荡器切换使能位
1 = 请求切换为由 NOSC<2:0> 位指定的振荡器
0 = 振荡器切换完成

注　**1：** IOLOCK 位并非在所有 dsPIC33E/PIC24E 器件上均可用。更多信息，请参见具体器件的数据手册中的**“振荡器”**章节。

2： 该位仅在 POR 时复位。

注：　对该寄存器进行写操作需要解锁序列。更多信息和示例，请参见**第 7.13 节 “时钟切换”**。

© 2011-2014 Microchip Technology Inc.

寄存器 7-4： CLKDIV：时钟分频比寄存器

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1
ROI	DOZE<2:0>(2,3)			DOZEN(1)	FRCDIV<2:0>		
bit 15							bit 8

R/W-0	R/W-1	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PLLPOST<1:0>		—	PLLPRE<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15 **ROI**：中断恢复位
1 = 中断将清零 DOZEN 位，并且处理器时钟与外设时钟频率比被设置为 1:1
0 = 中断对 DOZEN 位没有影响

bit 14-12 **DOZE<2:0>**：处理器时钟分频比选择位 (2,3)
111 = FCY 被 128 分频
110 = FCY 被 64 分频
101 = FCY 被 32 分频
100 = FCY 被 16 分频
011 = FCY 被 8 分频 （默认）
010 = FCY 被 4 分频
001 = FCY 被 2 分频
000 = FCY 被 1 分频

bit 11 **DOZEN**：打盹模式使能位 (1)
1 = DOZE<2:0> 位域指定外设时钟与处理器时钟之间的频率比
0 = 处理器时钟与外设时钟频率比被强制为 1:1

bit 10-8 **FRCDIV<2:0>**：内部快速 RC 振荡器后分频比位
111 = FRC 被 256 分频
110 = FRC 被 64 分频
101 = FRC 被 32 分频
100 = FRC 被 16 分频
011 = FRC 被 8 分频
010 = FRC 被 4 分频
001 = FRC 被 2 分频
000 = FRC 被 1 分频 （默认）

bit 7-6 **PLLPOST<1:0>**：PLL VCO 输出分频比选择位 （也表示为 “N2”， PLL 后分频比）
11 = 输出被 8 分频
10 = 保留
01 = 输出被 4 分频 （默认）
00 = 输出被 2 分频

bit 5 **未实现**：读为 0

注 1：该位在 ROI 位置 1 且产生中断时清零。

2：仅当 DOZEN 位清零时，才能写 DOZE<2:0> 位。如果 DOZEN = 1，对 DOZE<2:0> 的任何写操作将被忽略。

3：如果 DOZE<2:0> = 000，则不能将 DOZEN 位置 1。如果 DOZE<2:0> = 000，用户软件试图将 DOZEN 位置 1 的任何操作都将被忽略。

寄存器 7-4： CLKDIV：时钟分频比寄存器 （续）

bit 4-0 **PLLPRE<4:0>**：PLL 相位检测器输入分频比选择位 （也表示为 “N1”， PLL 预分频比）
11111 = 输入被 33 分频
•
•
•
00001 = 输入被 3 分频
00000 = 输入被 2 分频 （默认）

注 1：该位在 ROI 位置 1 且产生中断时清零。

2：仅当DOZEN位清零时，才能写DOZE<2:0>位。如果DOZEN = 1，对DOZE<2:0>的任何写操作将被忽略。

3：如果 DOZE<2:0> = 000，则不能将 DOZEN 位置 1。如果 DOZE<2:0> = 000，用户软件试图将 DOZEN 位置 1 的任何操作都将被忽略。

© 2011-2014 Microchip Technology Inc.

寄存器 7-5：　PLLFBD：PLL 反馈分频比寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	PLLDIV<8>
bit 15							bit 8

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
PLLDIV<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-9　**未实现：**读为 0

bit 8-0　**PLLDIV<8:0>：**PLL 反馈分频比位 （也表示为 “M”， PLL 倍频比）

111111111 = 513
•
•
•
000110000 = 50 （默认）
•
•
•
000000010 = 4
000000001 = 3
000000000 = 2

寄存器 7-6：　OSCTUN：FRC 振荡器调节寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	TUN<5:0>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-6　**未实现：**读为 0

bit 5-0　**TUN<5:0>：**FRC 振荡器调节位

011111 = 中心频率 + 11.625% （8.23 MHz）
011110 = 中心频率 + 11.25% （8.20 MHz）
•
•
•
000001 = 中心频率 + 0.375% （7.40 MHz）
000000 = 中心频率 （标称值 7.37 MHz）
111111 = 中心频率 – 0.375% （7.345 MHz）
•
•
•
100001 = 中心频率 – 11.625% （6.52 MHz）
100000 = 中心频率 – 12% （6.49 MHz）

© 2011-2014 Microchip Technology Inc.

寄存器 7-7： REFOCON：参考振荡器控制寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ROON	—	ROSSLP	ROSEL	RODIV<3:0>(1)			
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15 **ROON：**参考振荡器输出使能位
1 = 使能 REFCLK(2) 引脚上的参考振荡器输出
0 = 禁止参考振荡器输出

bit 14 **未实现：**读为 0

bit 13 **ROSSLP：**休眠模式下参考振荡器运行位
1 = 休眠模式下参考振荡器输出继续运行
0 = 休眠模式下参考振荡器输出禁止

bit 12 **ROSEL：**参考振荡器源选择位
1 = 晶振用作参考时钟
0 = 系统时钟用作参考时钟

bit 11-8 **RODIV<3:0>：**参考振荡器分频比位 (1)
1111 = 参考时钟被 32,768 分频
1110 = 参考时钟被 16,384 分频
1101 = 参考时钟被 8,192 分频
1100 = 参考时钟被 4,096 分频
1011 = 参考时钟被 2,048 分频
1010 = 参考时钟被 1,024 分频
1001 = 参考时钟被 512 分频
1000 = 参考时钟被 256 分频
0111 = 参考时钟被 128 分频
0110 = 参考时钟被 64 分频
0101 = 参考时钟被 32 分频
0100 = 参考时钟被 16 分频
0011 = 参考时钟被 8 分频
0010 = 参考时钟被 4 分频
0001 = 参考时钟被 2 分频
0000 = 参考时钟

bit 7-0 **未实现：**读为

注 1： 在写这些位之前，必须禁止参考振荡器输出 （ROON = 0）。
2： 该引脚是可重映射的。更多信息，请参见具体器件数据手册中的 “**I/O 端口**”章节。

注： 参考时钟输出引脚和此寄存器并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的 **“振荡器”**章节。

寄存器 7-8： ACLKCON3：附属时钟控制寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
ENAPLL	—	SELACLK	AOSCMD<1:0>		ASRCSEL	FRCSEL	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0
APLLPOST<2:0>			—	—	APLLPRE<2:0>		
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15 **ENAPLL：**使能附属 PLL （APLL）并选择 APLL 作为 USB 时钟源的位
1 = 使能 APLL， USB 时钟源是 APLL 输出
0 = 禁止 APLL， USB 时钟源是 APLL 的输入时钟

bit 14 **未实现：**读为 0

bit 13 **SELACLK：**附属时钟分频器的附属时钟源选择位
1 = 附属 PLL 或振荡器为附属时钟分频器提供源时钟
0 = 主 PLL 为附属时钟分频器提供源时钟

bit 12-11 **AOSCMD<1:0>：**附属振荡器模式位
11 = 选择 EC （外部时钟）振荡器模式
10 = 选择 XT （晶振）振荡器模式
01 = 选择 HS （高速）振荡器模式
00 = 禁止附属振荡器 （默认）

bit 10 **ASRCSEL：**APLL 的参考时钟源选择位
1 = 主振荡器是 APLL 的时钟源
0 = 附属振荡器是 APLL 的时钟源

bit 9 **FRCSEL：**选择 FRC 作为 APLL 参考时钟源的位
1 = FRC 是 APLL 的时钟源
0 = 附属振荡器或主振荡器是 APLL 的时钟源 （由 ASRCSEL 位决定）

bit 8 **未实现：**读为 0

bit 7-5 **APLLPOST<2:0>：**PLL VCO 输出分频比选择位
111 = 2 分频
110 = 2 分频
101 = 4 分频
100 = 8 分频
011 = 16 分频
010 = 32 分频
001 = 64 分频
000 = 256 分频 （默认）

bit 4-3 **未实现：**读为 0

bit 2-0 **APLLPRE<2:0>：**PLL 相位检测器输入分频比位
111 = 12 分频
110 = 10 分频
101 = 6 分频
100 = 5 分频
011 = 4 分频
010 = 3 分频
001 = 2 分频
000 = 1 分频 （默认）

注： 此寄存器并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的 **“振荡器”**章节。

© 2011-2014 Microchip Technology Inc.

寄存器 7-9： ACLKDIV3：附属时钟分频比控制寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	APLLDIV<2:0>		
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-3 **未实现：**读为 0

bit 2-0 **APLLDIV**<2:0>：PLL 反馈分频比位 （PLL 倍频比）
111 = 24
110 = 21
101 = 20
100 = 19
011 = 18
010 = 17
001 = 16
000 = 15 （默认）

注： 此寄存器并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的 **“振荡器”**章节。

7.5 主振荡器 （POSC）

dsPIC33E/PIC24E 器件系列在 OSC1 和 OSC2 引脚上提供主振荡器（POSC）。这种连接方式使得可以使用外部晶振（或陶瓷谐振器）来为器件提供时钟。根据不同的器件型号，可选择与内部 PLL 配合使用将系统频率 （FOSC）升高至 140 MHz，产生 70 MIPS 的指令执行速度。主振荡器提供了三种工作模式。

- **中速振荡器 （XT 模式）**

  XT 模式是中等增益、中频模式，以 3.5 MHz 至 10 MHz 的晶振频率工作。

- **高速振荡器 （HS 模式）**

  HS 模式是高增益、高频模式，以 10 MHz 至 25 MHz 的晶振频率工作。

- **外部时钟源操作 （EC 模式）**

  如果不使用片上振荡器，EC 模式可以将内部振荡器旁路。器件时钟由外部时钟源（0.8 MHz 至 60 MHz）产生，并从 OSC1 引脚输入。

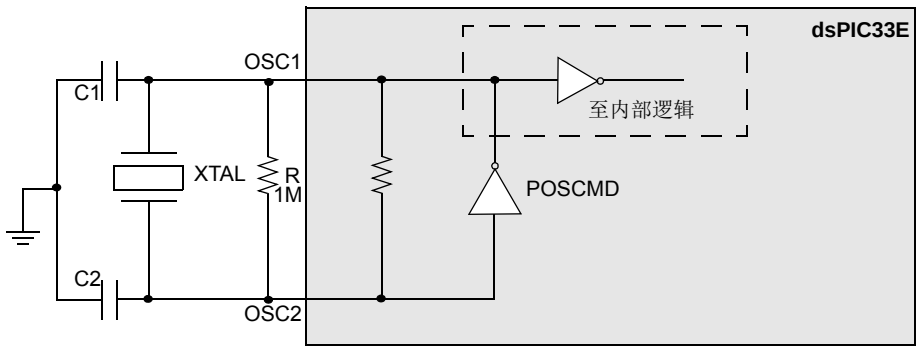
振荡器源选择寄存器中的 FNOSC<2:0> 配置位 （FOSCSEL<2:0>）指定上电复位时的主振荡器时钟源。振荡器配置寄存器中的 POSCMD<1:0> 配置位 （FOSC<1:0>）指定主振荡器模式。表 7-2 提供了由特定位配置选择的选项，这些配置在进行器件编程时设定。

表 7-2： 主振荡器的时钟源选项

FNOSC 值	POSCMD	主振荡器源和模式
010	00	主振荡器：外部时钟模式 （EC）
010	01	主振荡器：中频模式 （XT）
010	10	主振荡器：高频模式 （HS）
011	00	带 PLL 的主振荡器：外部时钟模式 （ECPLL）
011	01	带 PLL 的主振荡器：中频模式 （XTPLL）
011	10	带 PLL 的主振荡器：高频模式 （HSPLL）

图 7-3 给出了用于 dsPIC33E/PIC24E 器件的推荐晶振电路图。电容 C1 和 C2 构成晶振的负载电容。给定晶振的最佳负载电容 （CL）由晶振制造商指定。可以使用公式 7-1 来计算负载电容。

图 7-3： 晶振或陶瓷谐振器工作原理 （XT 或 HS 振荡器模式）



注： 更多信息，请参见具体器件的数据手册。

© 2011-2014 Microchip Technology Inc.

公式 7-1：　　晶振负载电容

$$C_L = C_S + \frac{C1 \text{ x } C2}{C1 + C2}$$

注：其中 *Cs* 是杂散电容。

假定 C1 = C2，公式 7-2 给出了对于给定负载和杂散电容的电容值 （C1 和 C2）。

公式 7-2：　　晶振的外部电容

$$C1 = C2 = 2 \text{ x } (C_L - C_S)$$

关于晶振及其操作的更多信息，请参见**第 7.16 节 “相关应用笔记”**。

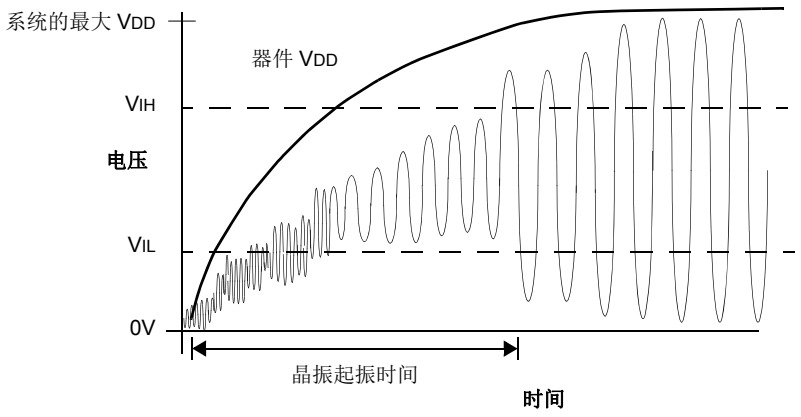
7.5.1　　振荡器起振时间

当器件电压从 VSS 上升时，振荡器将开始振荡。振荡器起振所需的时间取决于以下因素：

- 晶振和谐振器频率
- 所使用的电容值 （图 7-3 中的 C1 和 C2）
- 器件 VDD 上升时间
- 系统温度
- 串联电阻的阻值和类型 （如使用）
- 为器件选择的振荡器模式 （选择内部振荡器反相器的增益）
- 晶振品质
- 振荡器电路布线
- 系统噪声

图 7-4 给出了典型的振荡器和谐振器起振特性图。

图 7-4：　　振荡器和谐振器起振特性示例



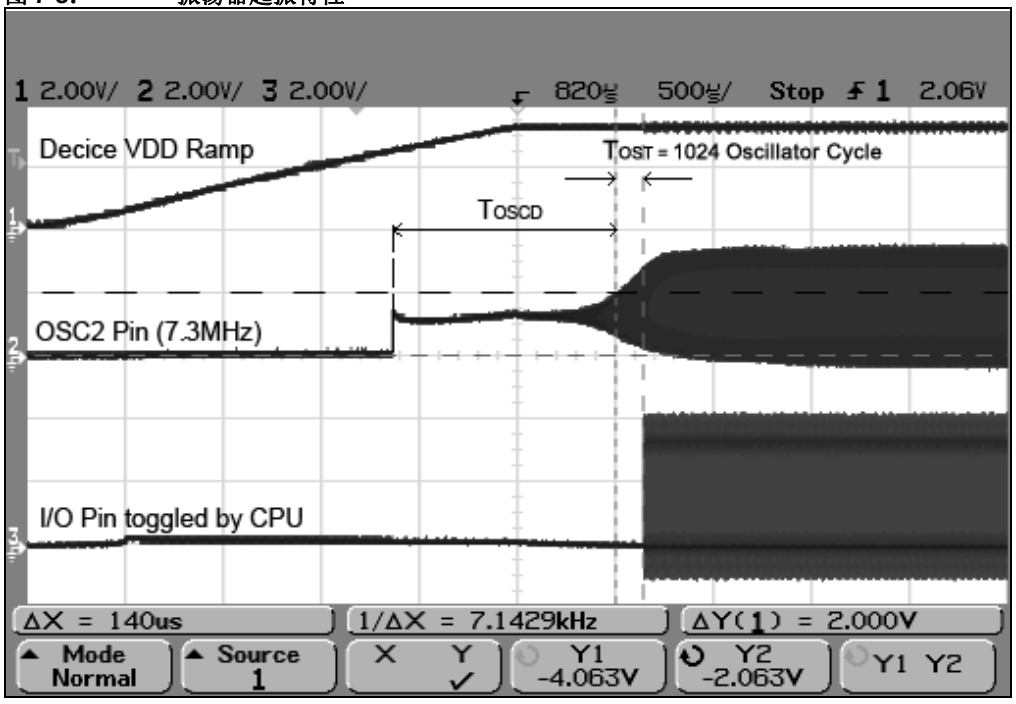
为了确保晶振（或陶瓷谐振器）已起振并稳定，随主振荡器（POSC）和辅助振荡器（SOSC）提供了一个振荡器起振定时器（Oscillator Start-up Timer，OST）。OST 是一个简单的 10 位计数器，在将振荡器时钟释放给系统的其他部分之前计数 1024 个周期。该超时周期表示为 TOST。

振荡器信号的幅度必须达到振荡器引脚的 VIL 和 VIH 门限值，之后 OST 才可以开始对周期进行计数。当在配置字中选择了 XT 或 HS 模式时，每次振荡器重新起振 （即，在 POR、 BOR 和从休眠模式唤醒）时，都需要等待时长为 TOST 的时间。当选择 EC 模式时， TOST 定时器不存在。

使能主振荡器之后，需要一定时间来起振。该延时表示为 TOSCD。在 TOSCD 之后， OST 定时器需要经过 1024 个时钟周期（TOST）才会释放时钟。时钟就绪所需的总延时为 TOSCD + TOST。如果使用了 PLL，则另外还需要一个延时，以便 PLL 锁定。更多信息，请参见**第 7.7 节 “锁相环（PLL）”**。

图 7-5 中例举了主振荡器的起振行为，指示在 TOSCD + TOST 时间间隔之后， CPU 在开始执行时开始翻转 I/O 引脚信号。

图 7-5： 振荡器起振特性



7.5.2 主振荡器引脚功能

当不使用振荡器时，主振荡器引脚（OSC1 和 OSC2）可以用于其他功能。振荡器配置寄存器中的 POSCMD<1:0> 配置位（FOSC<1:0>）决定振荡器引脚功能。 OSCIOFNC 位（FOSC<2>）决定 OSC2 引脚功能。

POSCMD：主振荡器模式选择位：

- 11 = 禁止主振荡器模式
- 10 = 选择 HS 振荡器模式
- 01 = 选择 XT 振荡器模式
- 00 = 选择外部时钟模式

OSCIOFNC：OSC2 引脚功能位 （XT 和 HS 模式除外）：

- 1 = OSC2 为时钟输出，在 OSC2 引脚上输出指令周期 （FCY）时钟 （见图 7-6）
- 0 = OSC2 为通用数字 I/O 引脚 （见图 7-7）

表 7-3 列出了振荡器引脚功能。

© 2011-2014 Microchip Technology Inc.

表 7-3：　　时钟引脚功能选择

振荡器源	OSCIOFNC 值	POSCMD<1:0> 值	OSC1(1) 引脚功能	OSC2(2) 引脚功能
禁止主振荡器	1	11	数字 I/O	时钟输出 （FCY）
禁止主振荡器	0	11	数字 I/O	数字 I/O
HS	x	10	OSC1	OSC2
XT	x	01	OSC1	OSC2
EC	1	00	OSC1	时钟输出 （FCY）
EC	0	00	OSC1	数字 I/O

注　1：OSC1 引脚功能由主振荡器模式 （POSCMOD<1:0>）配置位决定。
2：OSC2 引脚功能由主振荡器模式 （POSCMOD<1:0>）和 OSC2 引脚功能（OSCIOFNC）配置位决定。

图 7-6：　　OSC2 引脚配置为时钟输出 （处于 EC 模式）

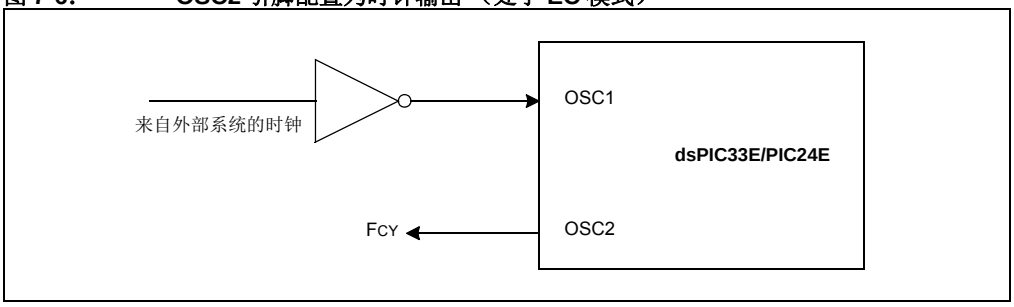
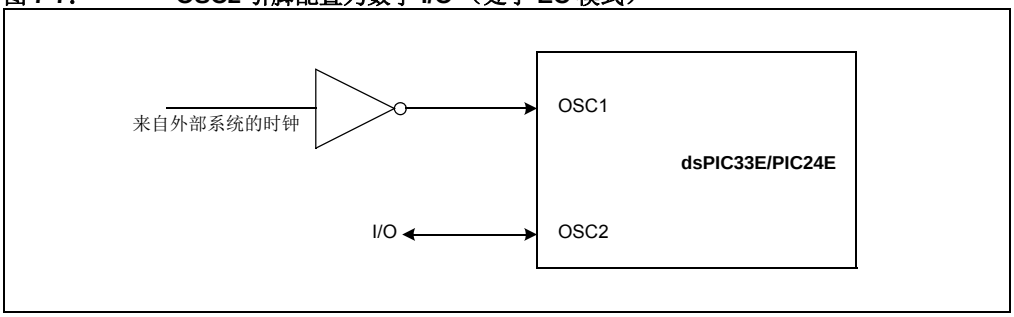


图 7-7：　　OSC2 引脚配置为数字 I/O （处于 EC 模式）



7.6 内部快速 RC （FRC）振荡器

内部快速 RC（FRC）振荡器提供标称值为 7.37 MHz 的时钟，无需使用外部晶振或陶瓷谐振器，这为不需要精确参考时钟的应用节省了系统成本。

应用软件可以使用 FRC 振荡器调节寄存器中的 FRC 振荡器调节位 TUN<5:0>（OSCTUN<5:0>）来调节振荡器频率，调节范围为标称频率值的 -12% 至 +11.625% （30 kHz 步幅）。

注： 关于不同温度和电压下 FRC 时钟频率的精度，请参见具体器件的数据手册中的**“振荡器”**章节。

内部 FRC 振荡器可立即起振。不同于晶振，晶振需要若干毫秒才可以开始振荡，而内部 FRC 可以立即开始振荡。

振荡器源选择寄存器中的初始振荡器源选择配置位 FNOSC<2:0> （FOSCSEL<2:0>）用于选择FRC时钟源。上电复位时的FRC时钟源选项如表7-4中所示。这些配置位在进行器件编程时设定。

表 7-4： FRC 时钟源选项

FNOSC<2:0> 值	主振荡器源和模式
000	FRC 振荡器 （FRC）
001	FRC 振荡器：带 PLL，后分频器 N 分频 （FRCPLL）
110	FRC 振荡器：后分频器 16 分频 （FRCDIV16）
111	FRC 振荡器：后分频器 N 分频 （FRCDIVN）

7.6.1 FRC 后分频模式 （FRCDIVN）

在 FRC 后分频模式下，分频比可变的后分频器对 FRC 时钟输出进行分频，从而可以选择较低的频率。后分频比由时钟分频比寄存器中的内部快速 RC 振荡器后分频比位 FRCDIV<2:0>（CLKDIV<10:8>）控制，可以选择 8 种设置 （范围为 1:1 至 1:256）。

表 7-5： 内部快速 RC 振荡器后分频比设置

FRCDIV<2:0> 值	内部 FRC 振荡器设置
000	FRC 被 1 分频 （默认）
001	FRC 被 2 分频
010	FRC 被 4 分频
011	FRC 被 8 分频
100	FRC 被 16 分频
101	FRC 被 32 分频
110	FRC 被 64 分频
111	FRC 被 256 分频

根据不同的器件型号，可选择将 FRC 后分频器输出与内部 PLL 配合使用，将系统频率 （FOSC）升高至 140 MHz，产生 70 MIPS 的指令执行速度。

注： 当工作于带 PLL 的内部 FRC 模式时，不应动态更改 FRC 分频比。

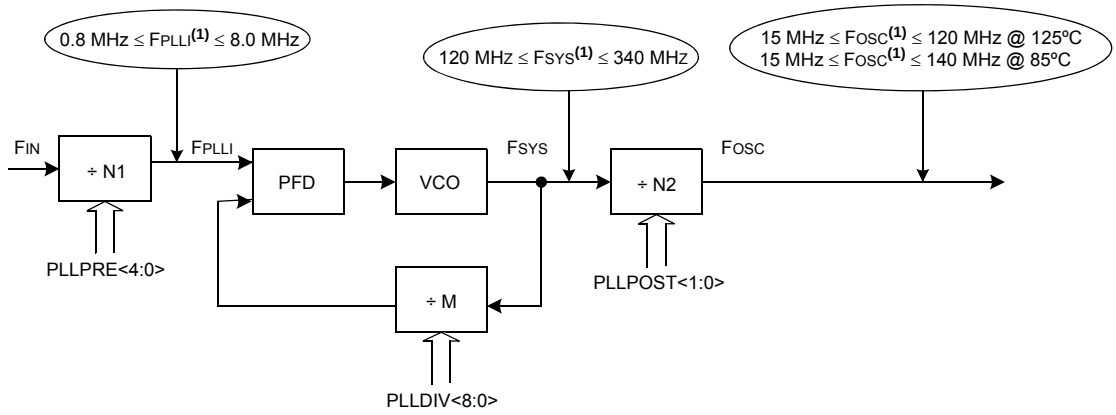
要更改 FRC 分频比：
1. 将时钟切换为非 PLL 模式 （例如，内部 FRC）。
2. 进行所需的更改。
3. 将时钟切换回 PLL 模式。

© 2011-2014 Microchip Technology Inc.

7.7 锁相环 （PLL）

主振荡器和内部 FRC 振荡器源能有选择地使用片上 PLL，以获得更高的工作速度。图 7-8 给出了 PLL 模块的框图。

图 7-8： dsPIC33E/PIC24E PLL 框图



注 1： 该频率范围必须始终得到满足。

为了让 PLL 正常工作，相位频率检测器（Phase Frequency Detector，PFD）输入频率和压控振荡器 （Voltage Controlled Oscillator， VCO）输出频率必须毫无例外地始终满足以下要求：

- PFD 输入频率 （FPLLI）必须处于 0.8 MHz 至 8.0 MHz 范围内
- VCO 输出频率 （FSYS）必须处于 120 MHz 至 340 MHz 范围内

时钟分频比寄存器中的 PLL 相位检测器输入分频比选择位 PLLPRE<4:0>（CLKDIV<4:0>）指定输入分频比 （N1），该分频比用于按比例降低输入时钟频率 （FIN），以满足 PFD 输入频率处于 0.8 MHz 至 8.0 MHz 范围内的要求。

PLL 反馈分频比寄存器中的PLL 反馈分频比位PLLDIV<8:0>（PLLFBD<8:0>）指定分频比（M），该分频比用于按比例降低 VCO 频率 （FSYS），作为到 PFD 的反馈。 VCO 频率 （FSYS）等于“M”乘以输入参考时钟频率 （FPLLI）。

时钟分频比寄存器中的 PLL VCO 输出分频比选择位 PLLPOST<1:0>（CLKDIV<7:6>）指定分频比 （N2），该分频比用于限制系统时钟频率 （FOSC）。

公式 7-3 给出了输入频率 （FIN）和 VCO 频率 （FSYS）之间的关系。

公式 7-3： FSYS 计算

$$FSYS = FIN \times \left(\frac{M}{N1}\right) = FIN \times \left(\frac{(PLLDIV + 2)}{(PLLPRE + 2)}\right)$$

公式 7-4 给出了输入频率 （FIN）和输出频率 （FOSC）之间的关系。

公式 7-4： Fosc 计算

$$FOSC = FIN \times \left(\frac{M}{N1 \times N2}\right) = FIN \times \left(\frac{(PLLDIV + 2)}{(PLLPRE + 2) \times 2(PLLPOST + 1)}\right)$$

其中，

$N1 = PLLPRE + 2$

$N2 = 2 \text{ x } (PLLPOST + 1)$

$M = PLLDIV + 2$

7.7.1 PLL 模式在启动时的输入时钟限制

表 7-6 提供了 PLL 预分频比、 PLL 后分频比和 PLL 反馈分频比配置位在上电复位时的默认值。

表 7-6： PLL 模式默认值

寄存器	位域	POR 复位时的值	PLL 分频比
CLKDIV<4:0>	PLLPRE<4:0>	00000	N1 = 2
CLKDIV<7:6>	PLLPOST<1:0>	01	N2 = 4
PLLFBD<8:0>	PLLDIV<8:0>	000110000	M = 50

根据这些复位值，以下公式给出了在上电复位时，输入频率 （FIN）与 PFD 输入频率 （FPLLI）、VCO 频率 （FSYS）和系统时钟频率 （FSYS）之间的关系。

公式 7-5： 上电复位时的 FPLLI

$$FPLLI = FIN\left(\frac{1}{N1}\right) = 0.5(FIN)$$

公式 7-6： 上电复位时的 FSYS

$$FSYS = FIN\left(\frac{M}{N1}\right) = FIN\left(\frac{50}{2}\right) = 25(FIN)$$

公式 7-7： 上电复位时的 FOSC

$$FOSC = FIN\left(\frac{M}{N1 \cdot N2}\right) = FIN\left(\frac{50}{2} \cdot 4\right) = 6.25(FIN)$$

要使用 PLL 并确保 PFD 输入频率 （FPLLI）和 VCO 频率处于规定频率范围内以满足 PLL 要求，请遵循以下过程：

1. 使用不使能 PLL 的内部 FRC 或主振荡器启动器件。
2. 根据输入频率更改 PLLDIV、 PLLPRE 和 PLLPOST 位的值，以满足以下 PLL 要求：
   - PFD 输入频率 （FPLLI）必须处于 0.8 MHz 至 8.0 MHz 范围内
   - VCO 输出频率 （FSYS）必须处于 120 MHz 至 340 MHz 范围内
3. 用软件将时钟切换为 PLL 模式。

注： 由于复位时的默认 PLL 寄存器设置，如果上电时采用使能 PLL 的主振荡器使输入时钟频率大于 13.6 MHz，将违反振荡器规范。在这种情况下，用户需要以非 PLL 模式上电，配置 PLL 寄存器，然后执行时钟切换来切换到 PLL 模式。

不允许直接在一个 PLL 时钟源和另一个 PLL 时钟源之间进行时钟切换。要在两个 PLL 时钟源之间进行切换，用户需要首先切换到非 PLL 时钟源，将其作为两个 PLL 时钟源之间的过渡时钟源。

© 2011-2014 Microchip Technology Inc.

7.7.2 PLL 锁定状态

每当 PLL 输入频率、 PLL 预分频比或 PLL 反馈分频比改变时， PLL 需要一定时间 （TLOCK）来同步到新设置。

在上电复位或时钟切换操作期间选择 PLL 作为时钟源时，会应用 TLOCK。TLOCK 的值是相对于时钟开始可用于 PLL 输入的时间而言的。例如，使用 POSC 时， TLOCK 在 OST 延时之后开始。关于振荡器起振延时的更多信息，请参见**第 7.5.1 节 “振荡器起振时间”**。此外，关于典型 TLOCK 值的信息，请参见具体器件的数据手册中的 **“振荡器”** 章节。

振荡器控制寄存器中的 LOCK 位 （OSCCON<5>）是只读状态位，用于指示 PLL 的锁定状态。LOCK 位在上电复位和时钟切换操作（当 PLL 被选择作为目标时钟源时）时被清零。当选择任何不使用 PLL 的时钟源时，它保持清零。在发生使能 PLL 的时钟切换事件后，建议在执行其他代码之前先等待 LOCK 位置 1。

注：	当工作于 PLL 模式时，不应更改 PLL 预分频比 （PLLPRE）位和 PLL 反馈分频比（PLLDIV）位。必须先将时钟切换为非 PLL 模式 （例如，内部 FRC）以进行所需的更改，然后再将时钟切换回 PLL 模式。

7.7.2.1 PLL 与主振荡器 （POSC）配合使用的设置

以下过程用于设置 PLL，使器件使用 10 MHz 外部晶振以 60 MIPS 工作：

1. 要以 60 MHz 执行指令，请确保所需的系统时钟频率为：

   FOSC = 2 x FCY = 120 MHz

2. 要设置 PLL 并满足 PLL 要求，请遵循以下步骤：
   a) 选择 PLL 后分频比，使得满足 VCO 输出频率要求 （120 MHz < FSYS < 340 MHz）。
      - 选择 PLL 后分频比 N2 = 2
      - 确保 FSYS = (FOSC x N2) = 240 MHz

   b) 选择 PLL 预分频比，使得满足 PFD 输入频率要求 （0.8 MHz < FPLLI < 8.0 MHz）。
      - 选择 PLL 预分频比 N1 = 2
      - 确保 FPLLI = (FIN ÷ N1) = 5 MHz

   c) 选择 PLL 反馈分频比，根据 PFD 输入频率产生所需的 VCO 输出频率。
      - FSYS = FPLLI x M
      - M = FSYS ÷ FPLLI = 48

   d) 配置 FNOSC<2:0> 位 （FOSCSEL<2:0>），选择在 POR 时使用不带 PLL 的时钟源（例如，内部 FRC）。

   e) 在主程序中，将 PLL 预分频比、 PLL 后分频比和 PLL 反馈分频比值更改为在前面步骤中推导出的值，然后执行时钟切换来切换到 PLL 模式。

例 7-1 给出了 PLL 与主振荡器配合使用的代码。（关于时钟切换的示例代码，另请参见**第 7.13 节 “时钟切换”**。）

例 7-1：　　PLL 与主振荡器 （Posc）配合使用的代码示例

```
// Select Internal FRC at POR
_FOSCSEL(FNOSC_FRC & IESO_OFF);

// Enable Clock Switching and Configure POSC in XT mode

_FOSC(FCKSM_CSECMD & OSCIOFNC_OFF & POSCMD_XT);
int main()
{
// Configure PLL prescaler, PLL postscaler, PLL divisor
PLLFBD=46;                          // M=48
CLKDIVbits.PLLPOST=0;               // N2=2
CLKDIVbits.PLLPRE=0;                // N1=2

// Initiate Clock Switch to Primary Oscillator with PLL (NOSC=0b011)
__builtin_write_OSCCONH(0x03);
__builtin_write_OSCCONL(OSCCON | 0x01);

// Wait for Clock switch to occur
while (OSCCONbits.COSC!= 0b011);

//  Wait for PLL to lock
while (OSCCONbits.LOCK!= 1);
```

7.7.2.2　PLL 与 7.37 MHz 内部 FRC 配合使用的设置

以下过程用于设置 PLL，使器件使用 7.37 MHz 内部 FRC 以 60 MIPS 工作：

1. 要以 60 MHz 执行指令，请确保系统时钟频率为：
   FOSC = 2 x FCY = 120 MHz
2. 要设置 PLL 并满足 PLL 要求，请遵循以下步骤：
   a) 选择 PLL 后分频比，使得满足 VCO 输出频率要求（120 MHz < FSYS < 340 MHz）。
      - 选择 PLL 后分频比 N2 = 2
      - 确保 FSYS = (FOSC x N2) = 240 MHz
   b) 选择 PLL 预分频比，使得满足 PFD 输入频率要求 （0.8 MHz < FPLLI < 8.0 MHz）。
      - 选择 PLL 预分频比 N1 = 2
      - 确保 FPLLI = (FIN ÷ N1) = 3.68 MHz
   c) 选择 PLL 反馈分频比，根据 PFD 输入频率产生所需的 VCO 输出频率。
      - FSYS = FPLLI x M
      - M = FSYS ÷ FPLLI = 65
   d) 配置 FNOSC<2:0> 位 （FOSCSEL<2:0>），选择在上电复位时使用不带 PLL 的时钟源 （例如，内部 FRC）。
   e) 在主程序中，更改 PLL 预分频比、 PLL 后分频比和 PLL 反馈分频比，使得满足用户和 PLL 要求，然后执行时钟切换来切换到 PLL 模式。

例 7-2 给出了 PLL 与 7.37 MHz 内部 FRC 配合使用的代码。（关于时钟切换的示例代码，另请参见**第 7.13 节 “时钟切换”**。）

© 2011-2014 Microchip Technology Inc.

例 7-2： PLL 与 7.37 MHz 内部 FRC 配合使用的代码示例

```
// Select Internal FRC at POR
_FOSCSEL(FNOSC_FRC & IESO_OFF);

// Enable Clock Switching and Configure Primary Oscillator in XT mode
_FOSC(FCKSM_CSECMD & OSCIOFNC_OFF & POSCMD_NONE);

int main()
{
// Configure PLL prescaler, PLL postscaler, PLL divisor
PLLFBD=63;                          // M=65
CLKDIVbits.PLLPOST=0;               // N2=2
CLKDIVbits.PLLPRE=1;                // N1=3

// Initiate Clock Switch to FRC oscillator with PLL (NOSC=0b001)
__builtin_write_OSCCONH(0x01);
__builtin_write_OSCCONL(OSCCON | 0x01);
// Wait for Clock switch to occur
while (OSCCONbits.COSC!= 0b001);

// Wait for PLL to lock
while (OSCCONbits.LOCK!= 1);
```

7.8 低功耗辅助振荡器 （Sosc）

通过低功耗辅助振荡器 （Sosc），可以将 32.768 kHz 时钟晶振与 dsPIC33E/PIC24E 器件配合使用，用作低功耗工作的辅助晶振时钟源。它使用 SOSCI 和 SOSCO 引脚。低功耗辅助振荡器还可以驱动 Timer1，用于实时时钟 （Real-Time Clock， RTC）应用。

7.8.1 辅助振荡器作为系统时钟

在以下情况下，使能低功耗辅助振荡器作为系统时钟：

- 振荡器源选择寄存器中的初始振荡器源选择配置位 FNOSC<2:0> （FOSCSEL<2:0>）相应地设置为在上电复位时选择辅助振荡器
- 用户软件启动时钟切换，切换为使用辅助振荡器进行低功耗工作

如果低功耗辅助振荡器不用于提供系统时钟，或者如果器件进入休眠模式，它会被禁止以节省功耗。

7.8.2 辅助振荡器起振延时

当使能低功耗辅助振荡器时，需要一定时间来起振。详情请参见**第 7.5.1 节“振荡器起振时间”**。

7.8.3 连续辅助振荡器操作

您可以选择将辅助振荡器保持一直运行。如果振荡器控制寄存器中的辅助振荡器使能位 LPOSCEN （OSCCON<1>）置 1，则辅助振荡器总是使能。

将低功耗辅助振荡器保持一直运行有两个原因：

- 保持振荡器一直运行，可以快速切换为使用 32 kHz 系统时钟进行低功耗工作。如果主振荡器是晶振类型时钟源，恢复为使用较快速的主振荡器仍然需要一定的振荡器起振时间。更多信息，请参见**第 7.5.1 节 “振荡器起振时间”**。
- 在 Timer1 用作实时时钟时，振荡器应保持一直工作。

注：	在休眠模式下，除低功耗辅助振荡器之外，所有其他时钟源 （主振荡器、内部 FRC 和LPRC振荡器）都会关闭。如果振荡器控制寄存器中的辅助振荡器使能位LPOSCEN （OSCCON<1>）置 1，则低功耗辅助振荡器可以在休眠模式下工作。

© 2011-2014 Microchip Technology Inc.

7.9 低功耗 RC （LPRC）振荡器

低功耗 RC （Low-Power RC， LPRC）振荡器时钟频率的标称值为 32 kHz。 LPRC 是上电延时定时器 （Power-up Timer， PWRT）、看门狗定时器 （Watchdog Timer， WDT）以及故障保护时钟监视器 （FSCM）电路的时钟源。在有严格的功耗要求但不要求时序精度的应用中，也可将其用作器件的低频时钟源。

注： LPRC 振荡器的时钟频率会因器件电压和工作温度而不同。更多信息，请参见具体器件数据手册中的 **“电气特性”** 章节。

7.9.1 LPRC 振荡器作为系统时钟

在以下情况下，选择 LPRC 振荡器作为系统时钟：

- 振荡器源选择寄存器中的初始振荡器源选择位 FNOSC<2:0> （FOSCSEL<2:0>）相应地设置为选择在上电复位时使用 LPRC 振荡器
- 用户软件启动时钟切换，切换为使用 LPRC 振荡器进行低功耗工作

7.9.2 使能 LPRC 振荡器

LPRC 振荡器是 PWRT、 WDT 和 FSCM 的时钟源。如果 POR 配置熔丝寄存器中的上电复位定时器值选择位 FPWRT<2:0> （FPOR<2:0>）被编程为非零值，则在上电复位时会使能 LPRC 振荡器。

LPRC 振荡器在以下条件下会保持使能：

- FSCM 被使能
- WDT 被使能
- LPRC 振荡器被选择作为系统时钟

如果以上条件全不为真，则 LPRC 振荡器会在 PWRT 延时结束后关闭。LPRC 振荡器在休眠模式下会被关闭。

注： 如果使能 WDT 或时钟故障检测，LPRC 将使能并自动运行。只有看门狗定时器使能时，LPRC 才会在休眠模式下运行。在所有其他条件下，LPRC 在休眠模式下会被禁止。

7.9.3 LPRC 振荡器起振延时

LPRC 振荡器可以立即起振，这不同于晶振，晶振需要若干毫秒的时间才会开始振荡。

7.10 附属振荡器

注： 该特性并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的**“振荡器”**章节。

附属振荡器 （ACLK）由需要以与系统时钟无关的频率工作的通用串行总线 （Universal Serial Bus， USB）模块使用。附属振荡器可以使用以下任一时钟作为其时钟源 ：

- 晶振 （XT）：3.5 MHz 至 10 MHz 范围内的晶振和陶瓷谐振器
- 高速晶振 （HS）：10 MHz 至 40 MHz 范围内的晶振。外部晶振连接在 SOSCI 和 SOSCO 引脚之间
- 外部时钟 （EC）：外部时钟信号的频率最高为 60 MHz。外部时钟信号直接施加到 SOSCI 引脚

7.10.1 使能附属振荡器

要使能附属振荡器模式，必须将附属时钟控制寄存器中的使能附属PLL位ENAPLL（ACLKCON3<15>）置 1。附属振荡器模式位 （AOSCMD<1:0>）支持 4 种振荡器模式设置，如表 7-7 所列。

表 7-7： 附属振荡器和外部振荡器模式设置

AOSCMD<1:0> 位值	振荡器模式设置
11	选择 EC （外部时钟）模式
10	选择 XT （晶振）振荡器模式
01	选择 HS （高速）振荡器模式
00	禁止附属振荡器 （默认设置）

注： 默认情况下， USB 模块由带 PLL 的主振荡器提供时钟。

7.10.2 附属时钟源

附属 PLL 所需的参考时钟源可以通过设置附属时钟控制寄存器 （ACLKCON3）中的相应时钟源选择位来进行选择。

将附属参考时钟选择位 （ASRCSEL）置 1 时，将使用主振荡器作为时钟源；将该位清零时，将使用附属振荡器作为时钟源。

将 FRC 选择位（FRCSEL）置 1 时，将使用 FRC 作为时钟源；将该位清零时，将根据 ASRCSEL 位的选择，使用附属振荡器或主振荡器作为时钟源。

将附属时钟控制寄存器 （ACLKCON3）中的附属时钟分频器的时钟源选择位 （SELACLK）置 1 时，将选择使用附属 PLL 或振荡器来提供附属时钟分频器的时钟源。

清零 SELACLK 位将导致使用主 PLL 输出作为附属时钟分频器的时钟源。

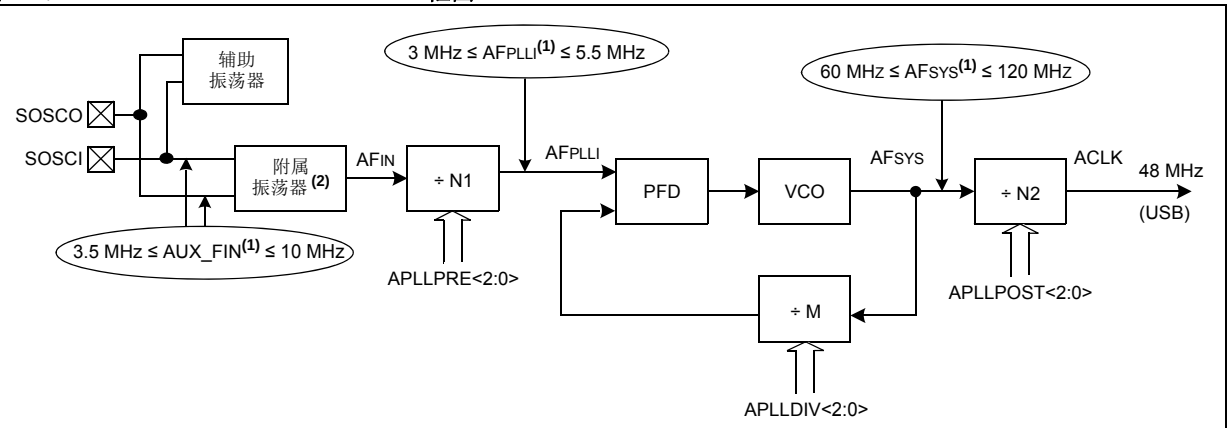
© 2011-2014 Microchip Technology Inc.

7.11 附属锁相环 （APLL）

> **注：** 该特性并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的**“振荡器”**章节。

附属振荡器使用片上 PLL 来获取不同的附属时钟速度。图 7-9 给出了 APLL 模块的框图。

图 7-9： dsPIC33E/PIC24E APLL 框图



注 **1：** 该频率范围必须始终得到满足。
2： 附属振荡器并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的**“振荡器”**章节。

为了让 APLL 正常工作，附属相位频率检测器（APFD）输入频率和附属压控振荡器（AVCO）输出频率必须满足以下要求：

- APFD 输入频率 （AFPLLI）必须处于 3 MHz 至 5.5 MHz 范围内
- AVCO 输出频率 （AFSYS）必须处于 60 MHz 至 120 MHz 范围内

附属时钟控制寄存器中的 APLL 相位检测器输入分频比位 APLLPRE<2:0> （ACLKCON3<2:0>）指定输入分频比（N1），该分频比用于按比例降低附属 PLL 输入（AFIN）时钟频率，以满足 APFD 输入频率处于 3 MHz 至 5.5 MHz 范围内的要求。

附属时钟分频比控制寄存器中的附属 PLL 反馈分频比位 APLLDIV<2:0> （ACLKDIV3<2:0>）指定分频比 （M），该分频比用于按比例降低 AVCO 频率 （AFSYS），作为到 APFD 的反馈。AVCO 频率 （AFSYS）等于 M 乘以 APFD 输入频率 （AFPLLI）。

附属时钟控制寄存器中的 APLL VCO 输出分频比选择位 APLLPOST<2:0>（ACLKCON3<7:5>）指定分频比 （N2）。

APLL 相位检测器输入分频比位（APLLPRE<2:0>）、附属 PLL 反馈分频比位（APLLDIV<2:0>）和 APLL VCO 输出分频比位 （APLLPOST<2:0>）的正确组合将提供 USB 模块所需的 48 MHz 附属时钟 （ACLK）频率。

公式 7-8 给出了附属 PLL 输入 （AFIN）时钟频率和附属时钟 （ACLK）频率之间的关系。

公式 7-8： ACLK 计算

$$ACLK = AF_{IN} \times \left(\frac{M}{N1 \times N2}\right)$$

$$= AF_{IN} \times \frac{(APLLDIV + 15)}{(APLLPRE + 1)(APLLPOST + 1)}$$

其中，
N1 = APLLPRE + 1
N2 = APLLPOST + 1
M = APLLDIV + 15

> **注：** 当APLLDIV<2:0> = 111时，将公式7-8中的(APLLDIV + 15)替换为(APLLDIV + 18)。

公式 7-9 给出了附属 PLL 输入 （AFIN）时钟频率和 AVCO 频率 （AFSYS）之间的关系。

公式 7-9： AFSYS 计算

$$AF_{SYS} = AF_{IN} \times \left(\frac{M}{N}\right)$$

$$= AF_{IN} \times \left(\frac{(PLLDIV + 15)}{(APLLPRE + 1)}\right)$$

7.11.1 APLL 设置

注： 该特性并非在所有器件上均可用。关于可用性，请参见具体器件数据手册中的**“振荡器”**章节。

7.11.1.1 APLL 与附属振荡器 （使用 8 MHz 晶振）配合使用的设置

1. 将 ASRCSEL 位清零，以选择附属振荡器作为 APLL 的时钟源。
2. 将 FRCSEL 位清零，以选择附属振荡器作为 APLL 的时钟源。
3. 将 SELACLK 位置 1，以选择使用附属 PLL 或振荡器来提供附属时钟分频器的时钟源。
4. 按照以下步骤配置 APLL 相位检测器输入分频比位（APLLPRE<2:0>）、附属 PLL 反馈分频比位 （APLLDIV<2:0>）和 APLL VCO 输出分频比位 （APLLPOST<2:0>），从而将 APLL 设置为使用 8 MHz 的附属振荡器产生 48 MHz 的 ACLK （供 USB 模块使用）：
   a) 选择 APLL VCO 输出分频比，使得满足 AVCO 输出频率要求 （60 MHz < AFSYS < 120 MHz）。
      - 选择 APLL VCO 输出分频比 N2 = 2
      - 确保 AFSYS = (ACLK x N2) = 96 MHz
   b) 选择 APLL 相位检测器输入分频比，使得满足 APFD 输入频率要求 （3 MHz < AFPLLI < 5.5 MHz）。
      - 选择 APLL 相位检测器输入分频比 N1 = 2
      - 确保 AFPLLI = (AFIN ÷ N1) = 4 MHz
   c) 选择附属 PLL 反馈分频比，根据 PFD 输入频率产生所需的 VCO 输出频率。
      - AFSYS = AFPLLI x M
      - M = AFSYS ÷ AFPLLI = 24
5. 通过将 ENAPLL 位置 1 来使能附属 PLL。

例 7-3 给出了 APLL 与附属振荡器配合使用的代码。

例 7-3： APLL 与附属振荡器配合使用的代码示例

```
// Configure APLL prescaler, APLL postscaler, APLL divisor
ACLKCON3bits.ASRCSEL = 0;  // Select Auxiliary Oscillator as the clock source
ACLKCON3bits.FRCSEL = 0;   // Select Auxiliary Oscillator as the clock source
ACLKCON3bits.SELACLK = 1;  // Select Auxiliary PLL or oscillators to provide
                           // the source clock for auxiliary clock divider

ACLKDIV3bits.APLLDIV = 0b111;     // M = 24
ACLKCON3bits.APLLPRE = 0b001;     // N1 = 2
ACLKCON3bits.APLLPOST = 0b111;    // N2 = 2
ACLKCON3bits.ENAPLL = 1;          // Enable Auxiliary Clock

// Wait for APLL lock to occur
while(ACLKCON3bits.APLLCK!= 1);
```


© 2011-2014 Microchip Technology Inc.

7.11.1.2 APLL 与主振荡器 （使用 8 MHz 晶振）配合使用的设置

1. 将 ASRCSEL 位置 1，以选择主振荡器作为 APLL 的时钟源。
2. 将 FRCSEL 位清零，以选择主振荡器作为 APLL 的时钟源。
3. 将 SELACLK 位置 1，以选择使用附属 PLL 或振荡器来提供附属时钟分频器的时钟源。
4. 按照这些步骤来配置 APLL 相位检测器输入分频比位（APLLPRE<2:0>）、附属 PLL 反馈分频比位 （APLLDIV<2:0>）和 APLL VCO 输出分频比位 （APLLPOST<2:0>），从而将 APLL 设置为使用 8 MHz 的附属振荡器产生 48 MHz 的 ACLK （供 USB 模块使用）：
   a) 选择 APLL VCO 输出分频比，使得满足 AVCO 输出频率要求（60 MHz < AFSYS < 120 MHz）。
      - 选择 APLL VCO 输出分频比 N2 = 2
      - 确保 AFSYS = (ACLK x N2) = 96 MHz
   b) 选择 APLL 相位检测器输入分频比，使得满足 APFD 输入频率要求（3 MHz < AFPLLI < 5.5 MHz）。
      - 选择 APLL 相位检测器输入分频比 N1 = 2
      - 确保 AFPLLI = (AFIN ÷ N1) = 4 MHz
   c) 选择附属 PLL 反馈分频比，根据 PFD 输入频率产生所需的 VCO 输出频率。
      - AFSYS = AFPLLI x M
      - M = AFSYS ÷ AFPLLI = 24
5. 通过将 ENAPLL 位置 1 来使能附属 PLL。

例 7-4 给出了 APLL 与主振荡器配合使用的代码。

例 7-4： APLL 与主振荡器配合使用的代码示例

```
// Configure APLL prescaler, APLL postscaler, APLL divisor
ACLKCON3bits.ASRCSEL = 1; // Select Primary Oscillator as the clock source
ACLKCON3bits.FRCSEL = 0;  // Select Primary Oscillator as the clock source
ACLKCON3bits.SELACLK = 1; // Select Auxiliary PLL or oscillators to provide
                          // the source clock for auxiliary clock divider

ACLKDIV3bits.APLLDIV = 0b111;     // M = 24
ACLKCON3bits.APLLPRE = 0b001;     // N1 = 2
ACLKCON3bits.APLLPOST = 0b111;    // N2 = 2
ACLKCON3bits.ENAPLL = 1;          // Enable Auxiliary Clock

// Wait for APLL lock to occur
while(ACLKCON3bits.APLLCK!= 1);
```

7.12 故障保护时钟监视器 （FSCM）

故障保护时钟监视器（FSCM）使得器件在出现振荡器故障时仍能继续工作。FSCM 功能通过在进行器件编程时设定振荡器配置寄存器中的时钟切换模式配置位 FCKSM<1:0> （FOSC<7:6>）来使能。当 FSCM 使能 （FCKSM<1:0> = 00）时， LPRC 内部振荡器会一直运行 （休眠模式期间除外）。

FSCM 监视系统时钟。如果 FSCM 在特定时间段（通常为 2 ms，最大为 4 ms）中未检测到系统时钟，则它会产生时钟故障陷阱，并将系统时钟切换为 FRC 振荡器。此时，用户应用程序可尝试重新启动振荡器或执行受控关闭。

注： 如果器件处于休眠模式时时钟发生故障，则 FSCM 不会唤醒器件。

在切换为 FRC 振荡器时， FSCM 模块执行以下操作：

- 当前振荡器选择位 COSC<2:0> （OSCCON<14:12>）中装入 000 （内部 FRC）。
- 时钟故障检测位 CF （OSCCON<3>）置 1，以指示发生时钟故障。
- 振荡器切换使能控制位 OSWEN （OSCCON<0>）被清零，以取消所有待执行的时钟切换。

7.12.1 FSCM 延时

在系统时钟就绪，且经过标称延时 （TFSCM）之后， FSCM 会监视系统时钟的活动。

当使能 FSCM 并选择主振荡器或辅助振荡器作为系统时钟时，将应用 FSCM 延时 （TFSCM）。

更多信息，请参见**第 8 章 “复位”**（DS70602） 。关于最新文档，请访问 Microchip 网站 www.microchip.com。

注： TFSCM 值请参见具体器件数据手册的 **“电气特性”** 章节。

7.12.2 FSCM 和 WDT

FSCM 和 WDT 都使用 LPRC 振荡器作为其时基。在发生时钟故障时， WDT 不受影响，并继续使用 LPRC 运行。

© 2011-2014 Microchip Technology Inc.

7.13 时钟切换

时钟切换可由硬件事件或软件请求启动。典型情形包括：

- 在上电复位时使用双速启动序列，即初始时使用内部 FRC 振荡器来进行快速启动，然后在时钟就绪时自动切换到选定的时钟源。
- 在发生时钟故障时，故障保护时钟监视器会自动切换为内部 FRC 振荡器。
- 用户应用软件通过将 OSWEN 位 （OSCCON<0>）置 1 来请求进行时钟切换，导致硬件在时钟就绪时切换为由 NOSC<2:0> 位 （OSCCON<10:8>）选择的时钟源。

在以上每种情况中，时钟切换事件会确保执行正确的 “就绪后切换” 序列。即，新时钟源就绪之后，才会禁止原时钟，在发生时钟切换时，代码继续执行。

一些 dsPIC33E/PIC24E 器件在熔丝配置寄存器中具有锁相环使能位 PLLKEN （FWDT<5>）。置 1 该位时，器件会先等待 PLL 锁定，然后再切换为 PLL 时钟源。当该位设置为 0 时，器件不会等待 PLL 锁定即进行时钟切换。该位的默认设置为 1。更多信息，请参见**第 30 章 “器件配置”**（DS70618）。

在软件控制下，应用可以随时在 4 种时钟源（POSC、SOSC、FRC 和 LPRC）之间自由切换，几乎没有什么限制。为限制这种灵活性可能产生的负面影响，dsPIC33E/PIC24E 器件的时钟切换过程带有安全锁定。即， OSCCON 寄存器在时钟切换期间受写保护。

7.13.1 使能时钟切换

振荡器配置寄存器中的时钟切换模式配置位 FCKSM<1:0> （FOSC<7:6>）必须编程为使能时钟切换和故障保护时钟监视器 （见表 7-8）。

表 7-8： 可配置的时钟切换模式

FCKSM<1:0> 值	时钟切换配置	FSCM 配置
1x	禁止	禁止
01	使能	禁止
00	使能	使能

第 1 位决定是使能（0）还是禁止（1）时钟切换。第 2 位决定是使能（0）还是禁止（1）FSCM。只有在使能了时钟切换时，才可使能 FSCM。如果禁止了时钟切换（1），则第 2 位的值无关紧要。

7.13.2 时钟切换过程

时钟切换的建议过程如下：

1. 读 COSC<2:0> 位 （OSCCON<14:12>）来确定当前的振荡器源 （如果该信息对于应用有用）。
2. 执行解锁序列以允许写入 OSCCON 寄存器的高字节。
3. 向 NOSC<2:0> 控制位 （OSCCON<10:8>）写入新振荡器源的对应值。
4. 执行解锁序列以允许写入 OSCCON 寄存器的低字节。
5. 将 OSWEN 位 （OSCCON<0>）置 1 以启动振荡器切换。

在以上步骤完成之后，时钟切换逻辑执行以下任务：

1. 时钟切换硬件将 COSC<2:0> 状态位 （OSCCON<14:12>）与 NOSC<2:0> 控制位（OSCCON<10:8>）的新值进行比较。如果它们相同，则时钟切换是冗余操作。这种情况下， OSWEN 位 （OSCCON<0>）自动清零，时钟切换中止。
2. 如果启动了有效的时钟切换，则 PLL LOCK （OSCCON<5>）和 CF （OSCCON<3>）状态位清零。
3. 硬件会将新振荡器启动 （如果它不在运行）。如果必须要启动晶振 （POSC 或 SOSC），则硬件会等待 TOSCD 直到晶振开始振荡且 TOST 延时结束。如果新的振荡器源使用 PLL，则硬件会等待直到检测到 PLL 锁定 （OSCCON<5> = 1）。
4. 硬件会等待新的时钟源达到稳定，然后执行时钟切换。
5. 硬件清零 OSWEN 位 （OSCCON<0>）以指示时钟切换成功。此外， NOSC<2:0> 位 （OSCCON<10:8>）的值被传送到 COSC<2:0> 状态位 （OSCCON<14:12>）。
6. 此时，原时钟源被关闭，LPRC（如果 WDT 或 FSCM 被使能）或 SOSC（如果 SOSCEN 保持置 1）除外。图 7-10 给出了在时钟源之间切换的时序。

注 **1：** 如果不对器件进行再编程，则无法在 XT、 HS 和 EC 主振荡器模式之间进行时钟切换。

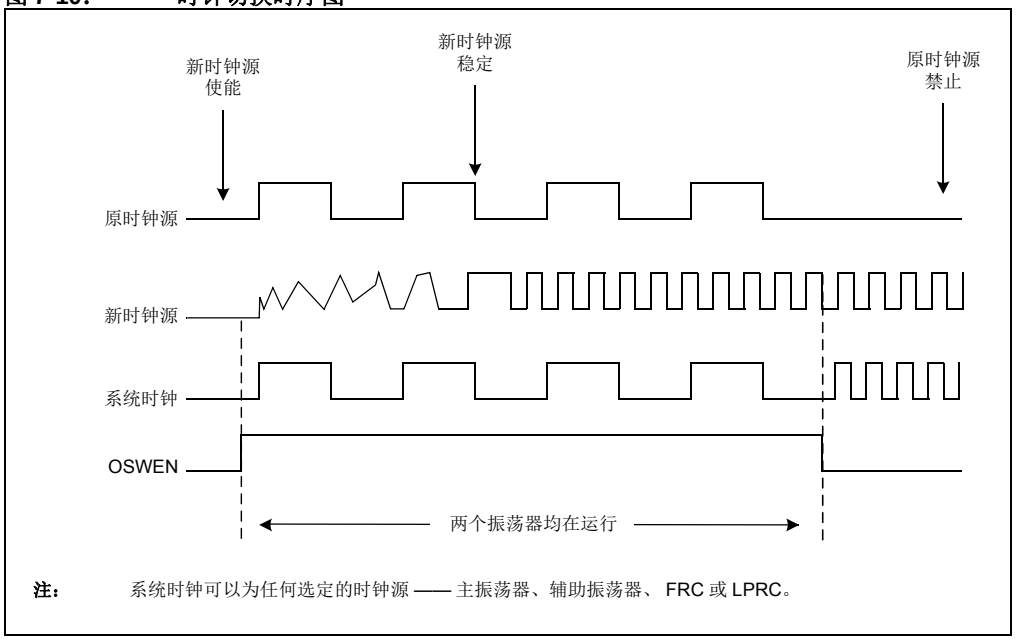
2： 不能在 PLL 模式之间直接进行时钟切换。例如，不应在带 PLL 的主振荡器和带 PLL 的内部 FRC 振荡器之间进行时钟切换。

3： 在使能时钟切换，并通过配置位 FCKSM<1:0> （FOSC<7:6>） = 01 禁止故障保护时钟监视时，将CLKLOCK位（OSCCON<7>）置1可以阻止时钟切换。在CLKLOCK位 （OSCCON<7>）已由软件置 1 时，无法将它清零；它在上电复位时清零。

4： 在整个时钟切换过程中，处理器将继续执行代码。对时序敏感的代码不应在此时执行。

5： 如果 FWDT 熔丝配置寄存器中的 PLLKEN 位 （FWDT<5>）被设置为 0，则时钟切换不会等待 PLL 锁定。

图 7-10： 时钟切换时序图



注： 系统时钟可以为任何选定的时钟源 —— 主振荡器、辅助振荡器、 FRC 或 LPRC。

© 2011-2014 Microchip Technology Inc.

时钟切换的建议代码序列如下：

1. 禁止在 OSCCON 寄存器解锁 - 写序列期间的中断。
2. 对 OSCCON 高字节执行解锁序列。在两条连续的指令中：
   - 将 0x78 写入 OSCCON<15:8>
   - 将 0x9A 写入 OSCCON<15:8>
3. 在紧接解锁序列之后的指令中，将新的振荡器源对应的值写入 NOSC<2:0> 控制位（OSCCON<10:8>）。
4. 对 OSCCON 低字节执行解锁序列。在两条连续的指令中：
   - 将 0x46 写入 OSCCON<7:0>
   - 将 0x57 写入 OSCCON<7:0>
5. 在紧接解锁序列之后的指令中，将 OSWEN 位 （OSCCON<0>）置 1。
6. 继续执行对时钟不敏感的代码 （可选）。
7. 检查 OSWEN 位 （OSCCON<0>）是否为 0。如果为 0，则说明切换成功。

注： MPLAB® C30 提供了用于解锁 OSCCON 寄存器的内建 C 语言函数

```
__builtin_write_OSCCONH(value)
__builtin_write_OSCCONL(OSCCON | value)
```

更多信息，请参见 MPLAB IDE 帮助。

例 7-5 例举了解锁 OSCCON 寄存器，并从带 PLL 的 FRC 时钟源切换为 LPRC 时钟源的代码序列。

例 7-5： 时钟切换的代码示例

```
;Place the New Oscillator Selection (NOSC=0b101) in W0
MOV #0x5,WREG

;OSCCONH (high byte) Unlock Sequence
MOV #OSCCONH, w1
MOV #0x78, w2
MOV #0x9A, w3
MOV.B w2, [w1] ; Write 0x78
MOV.B w3, [w1] ; Write 0x9A

;Set New Oscillator Selection
MOV.B w0, [w1]

; Place 0x01 in W0 for setting clock switch enabled bit
MOV #0x01, w0

;OSCCONL (low byte) Unlock Sequence
MOV #OSCCONL, w1
MOV #0x46, w2
MOV #0x57, w3
MOV.B w2, [w1] ; Write 0x46
MOV.B w3, [w1] ; Write 0x57

; Enable Clock Switch
BSET OSCON, #0; Request Clock Switching by Setting OSWEN bit

wait:
    btsc    OSCCONL, #OSWEN
    bra     wait
```

7.13.3 时钟切换的注意事项

在应用中融合时钟切换功能时，在设计代码时应注意以下问题：

- OSCCON 解锁序列对时序的要求极高。OSCCON 寄存器字节仅在解锁序列之后的一个指令周期内可写。一些高级语言（如 C 语言）在编译时可能不会保留对时序敏感的指令序列。如果以高级语言编写的应用程序需要进行时钟切换，则最好采用汇编语言编写时钟切换程序，然后将其链接到应用程序，在需要时将其作为函数进行调用。
- 如果目标时钟源是晶振，则时钟切换时间将主要是振荡器起振时间。
- 如果新时钟源未启动，或者不存在，则时钟切换硬件将继续使用当前时钟源运行。用户软件可以检测到这种情况，因为 OSWEN 位 （OSCCON<0>）无限期地保持置 1。
- 如果新时钟源使用 PLL，则只有在实现锁定之后才会发生时钟切换。用户软件可以检测到 PLL 锁定失败，因为 LOCK 位（OSCCON<5>）被清零，OSWEN 位（OSCCON<0>）被置 1。
- 切换为低频时钟源 （例如辅助振荡器）将导致器件工作速度变慢。

7.13.4 中止时钟切换

如果时钟切换尚未完成，则可以通过清零 OSWEN 位 （OSCCON<0>）来复位时钟切换逻辑。当 OSWEN 清零时，将中止时钟切换过程，停止并复位振荡器起振定时器 （如适用），并停止 PLL （如适用）。

例 7-6 给出了用于中止时钟切换的典型汇编代码。时钟切换过程可以随时中止。当前已在执行中的时钟切换也可以通过执行第二次时钟切换而中止。

例 7-6： 中止时钟切换

```
MOV     #OSCCON,W1      ; pointer to OSCCON
MOV.b   #0x46,W2        ; first unlock code
MOV.b   #0x57,W3        ; second unlock code
MOV.b   W2, [W1]        ; write first unlock code
MOV.b   W3, [W1]        ; write second unlock code
BCLR    OSCCON,#OSWEN   ; ABORT the switch
```

7.13.5 在时钟切换期间进入休眠模式

如果器件在时钟切换操作期间进入休眠模式，则时钟切换操作被中止。处理器将保持原来的时钟，而 OSWEN 位被清零。然后，器件将正常执行 PWRSAV 指令。

在进入休眠模式之前，先执行时钟切换来切换为内部 FRC 振荡器很有用，因为这可以确保从休眠模式快速唤醒。

© 2011-2014 Microchip Technology Inc.

7.14 双速启动

振荡器源选择寄存器中的内部 / 外部启动选项配置位 IESO （FOSCSEL<7>）指定是使用用户选定的振荡器源启动器件；还是初始时使用内部 FRC 启动，然后切换为用户选定的振荡器。如果该位设置为 1，则无论其他振荡器源设置（FOSCSEL<2:0>）如何，器件将总是在上电时使用内部 FRC 振荡器启动。然后，器件会在指定振荡器就绪时，切换为指定振荡器。

除非 FSCM 使能，否则在时钟切换完成之后， FRC 振荡器会立即关闭。双速启动选项是使器件启动并运行的更快速方式，并且它的工作不依赖于时钟切换模式配置位FCKSM<1:0>（FOSC<7:6>）的状态。

双速启动在 FNOSC<2:0> 配置位 （FOSCSEL<2:0>）选择使用外部振荡器，而基于晶振的振荡器（主振荡器或辅助振荡器）的起振时间较长时很有用。作为内部 RC 振荡器，FRC 时钟源在上电复位后立即可用。利用双速启动，器件以其默认的振荡器配置 （FRC）开始执行代码。器件继续在该模式下工作，直到指定的外部振荡器源达到稳定，这时，它将切换为该振荡器源。

用户代码还可以检查 COSC<2:0> 位（OSCCON<14:12>）与 NOSC<2:0> 位（OSCCON<10:8>）的状态，以确定当前提供器件时钟的时钟源。如果这两组位数据匹配，则说明时钟切换已成功完成，器件正在使用所需的时钟源运行。

注： 如果所选的器件时钟源为 FRC，则双速启动是冗余操作。

7.15 寄存器映射

表 7-9 映射振荡器特殊功能控制寄存器中各位功能。表 7-10 映射振荡器配置寄存器中各位功能。

表 7-9： 振荡器特殊功能控制寄存器

寄存器名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
OSCCON	—	COSC<2:0>			—	NOSC<2:0>			CLKLOCK	IOLOCK(2)	LOCK	—	CF	—	LPOSCEN	OSWEN	7700(1)
CLKDIV	ROI	DOZE<2:0>			DOZEN	FRCDIV<2:0>			PLLPOST<1:0>		—	PLLPRE<4::0>					3140
PLLFBD	—	—	—	—	—	—	—	PLLDIV<8:0>									0000
OSCTUN	—	—	—	—	—	—	—	—	—	—	TUN<5:0>						0000
ACLKCON3	ENAPLL	—	SELACLK	AOSCMD<1:0>		ASRCSEL	FRCSEL	—	APLLPOST<2:0>			—	—	APLLPRE<2:0>			0000
ACLKDIV3	—	—	—	—	—	—	—	—	—	—	—	—	—	APLLDIV<2:0>			0000

图注： x = 复位时的未知值， — = 未实现，读为 0。复位值以十六进制显示。
注 1： OSCCON 寄存器的复位值取决于 FOSCSEL 配置位和复位类型。
2： IOLOCK 位并非在所有 dsPIC33E/PIC24E 器件上均可用。更多信息，请参见具体器件数据手册中的 **“振荡器”** 章节。

表 7-10： 振荡器配置寄存器

寄存器名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FOSCSEL	—	—	—	—	—	—	—	—	IESO	—	—	—	—	FNOSC<2:0>		
FOSC	—	—	—	—	—	—	—	—	FCKSM<1:0>		IOL1WAY(1)	—	—	OSCIOFNC	POSCMD<1:0>	

图注： x = 复位时的未知值， — = 未实现，读为 0。复位值以十六进制显示。
注 1： IOL1WAY 位并非在所有 dsPIC33E/PIC24E 器件上均可用。更多信息，请参见具体器件数据手册中的 **“特殊功能”** 章节。

© 2011-2014 Microchip Technology Inc.

7.16 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 dsPIC33E/PIC24E 产品系列而编写的，但其概念是相近的，通过适当修改并受到一定限制即可使用。当前与振荡器模块相关的应用笔记有：

标题	应用笔记编号
PIC® Microcontroller Oscillator Design Guide	AN588
Low-Power Design using PIC® Microcontrollers	AN606
Crystal Oscillator Basics and Crystal Selection for rfPIC® and PIC® Devices	AN826

注： 如需获取更多dsPIC33E/PIC24E系列器件的应用笔记和代码示例，请访问Microchip网站 （www.microchip.com）。

7.17 版本历史

版本 A （2009 年 1 月）

这是本文档的初始版本。

版本 B （2010 年 7 月）

该版本包括以下更新：

- 从所有代码示例中删除了水印
- 更新了除例 7-6 之外的所有代码示例 （例 7-1 至例 7-5）
- 增加了 “注 2”，并更新了振荡器系统框图 （见图 7-1）
- 在振荡器控制寄存器中增加了 “注 2”（见寄存器 7-3）
- 将附属时钟控制寄存器 1 重命名为 ACLKCONx （见寄存器 7-8）
- 将附属时钟控制寄存器 2 重命名为 ACLKDIVx （见寄存器 7-9）
- 更新了晶振或陶瓷谐振器工作原理 （XT 或 HS 振荡器模式）图 （见图 7-3）
- 在**第 7.7.1 节 “PLL 模式在启动时的输入时钟限制”**的步骤 2 中，将 PFD 输入频率（FPLLI）范围结束值从 3.5 MHz 更改为 5.5 MHz
- 更新了**第 7.7.2 节 “PLL 锁定状态”**中的第二段
- 在**第 7.13.2 节 “时钟切换过程”**中，更新了第二个时钟切换过程的步骤 3
- 在 ACLK 计算公式后增加了阴影注释 （见公式 7-8）
- 对整篇文档进行了其他少量修正，如语言和格式的更新

版本 C （2012 年 3 月）

该版本包括以下更新：

- 在整个文档中对频率标识进行了更改。例如：FVCO 更改为 FSYS， FREF 更改为 FPLLI，等等
- 更新了振荡器系统框图 （见图 7-1）
- 在时钟分频比寄存器中增加了注 2、 3 和 4 （见寄存器 7-4）
- 在附属时钟控制寄存器中，将 bit 14 修改为 “未实现”（见寄存器 7-8 和表 7-9）
- 在**第 7.5 节 “主振荡器 （POSC）”**的第一段和**第 7.6.1 节 “FRC 后分频模式 （FRCDIVN）”**的第二段中，更新了系统频率和 MIPS 额定值
- 更新了 dsPIC33E/PIC24E PLL 框图 （见图 7-8）

© 2011-2014 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 dsPIC、 FlashFlex、 flexPWR、 JukeBlox、 KEELOQ、 KEELOQ 徽标、 Kleer、 LANCheck、 MediaLB、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、 PICSTART、 PIC32 徽标、 RightTouch、 SpyNIC、 SST、 SST 徽标、 SuperFlash 及 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

The Embedded Control Solutions Company 和 mTouch 为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、BodyCom、chipKIT、chipKIT 徽标、 CodeGuard、 dsPICDEM、 dsPICDEM.net、 ECAN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 KleerNet、 KleerNet 徽标、 MiWi、 MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、 NetDetach、 Omniscient Code Generation、 PICDEM、 PICDEM.net、 PICkit、 PICtail、 RightTouch 徽标、 REAL ICE、 SQI、 Serial Quad I/O、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、 WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2011-2014, Microchip Technology Inc. 版权所有。

ISBN：978-1-63276-097-5

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
═ ISO/TS 16949═

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。 Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外， Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110

加拿大多伦多 Toronto
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

亚太地区

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Dusseldorf
Tel: 49-2129-3766400

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Pforzheim
Tel: 49-7231-424750

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Venice
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

波兰 Poland - Warsaw
Tel: 48-22-3325737

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

03/25/14

© 2011-2014 Microchip Technology Inc.