第 13 章 并行主端口 （PMP）

目录

本章包括下列主题：

13.1 简介 13-2
13.2 控制寄存器 13-3
13.3 主工作模式 13-12
13.4 从工作模式 13-33
13.5 中断 13-40
13.6 节能和调试模式下的操作 13-42
13.7 各种复位的影响 13-42
13.8 并行主端口应用 13-43
13.9 并行从端口应用 13-48
13.11 I/O 引脚控制 13-49
13.12 相关应用笔记 13-51
13.13 版本历史 13-52

> **注：** 本系列参考手册章节旨在用作对器件数据手册的补充。根据不同的器件型号，本手册章节可能并不适用于所有 PIC32 器件。
>
> 请参见当前器件数据手册中 **“并行主端口 （PMP）”** 章节开头部分的注释，以检查本文档是否支持您所使用的器件。
>
> 器件数据手册和系列参考手册章节可从 Microchip 网站下载：http://www.microchip.com。

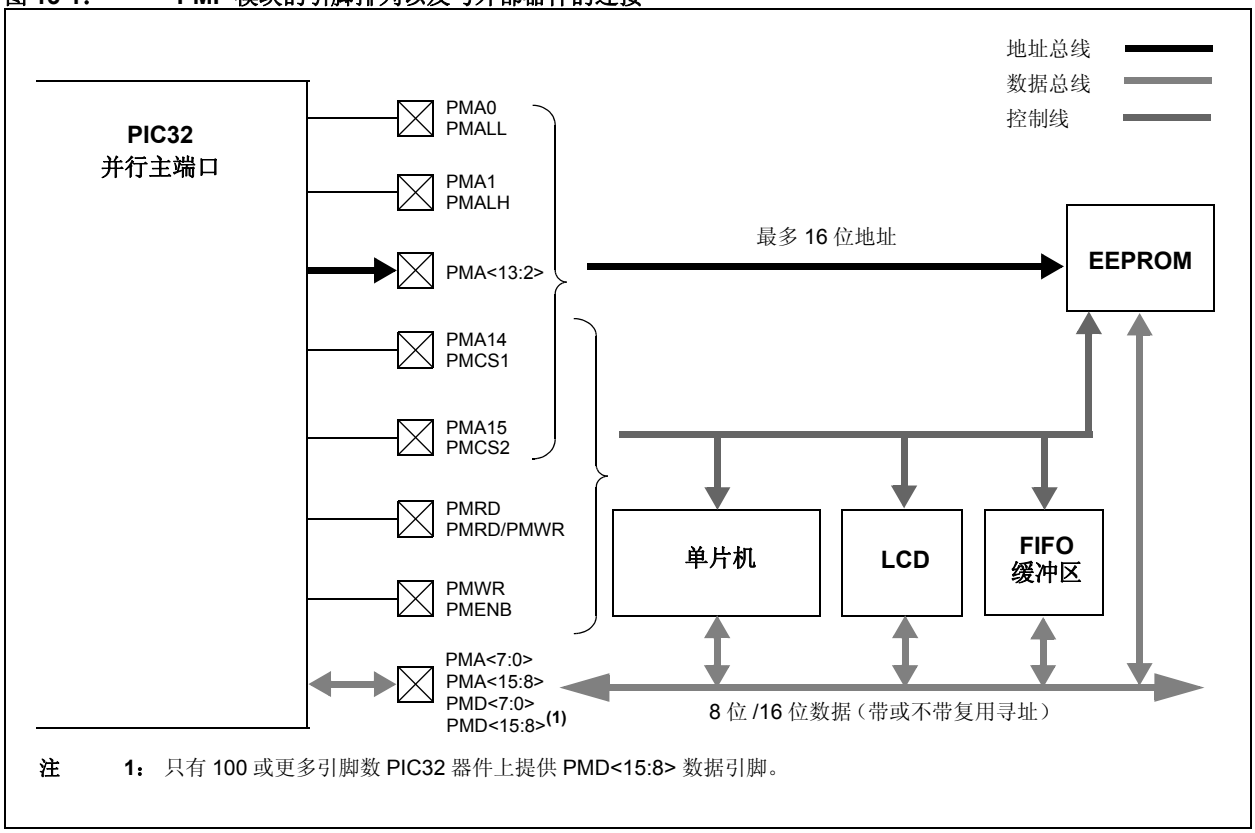
13.1 简介

并行主端口（Parallel Master Port，PMP）是一个 8 位 /16 位并行 I/O 模块，专用于与通信外设、LCD、外部存储器件以及单片机等多种并行器件进行通信。由于并行外设接口的多样化，PMP 模块具有高度可配置性。

PMP 模块的主要特性包括：

- 最多 16 条可编程地址线
- 最多 2 条片选线
- 可编程选通选项
  - 独立的读和写选通，或
  - 带使能选通的读 / 写选通
- 地址自动递增 / 自动递减
- 可编程地址 / 数据复用
- 可编程控制信号的极性
- 支持传统并行从端口
- 支持增强型并行从端口
  - 地址支持
  - 4 字节深自动递增缓冲区
- 施密特触发器或 TTL 输入缓冲器
- 可编程等待状态
- 用于在线调试的冻结选项

图 13-1： PMP 模块的引脚排列以及与外部器件的连接



注 1： 只有 100 或更多引脚数 PIC32 器件上提供 PMD<15:8> 数据引脚。

© 2010-2014 Microchip Technology Inc.

13.2 控制寄存器

PMP 模块使用以下特殊功能寄存器 （Special Function Register， SFR）：

- **PMCON：并行端口控制寄存器**

  该寄存器包含用于控制大部分模块基本功能的位。其中一个重要的位是 ON 控制位，它用于复位、使能或禁止模块。

  当禁止模块时，所有相关的 I/O 引脚恢复为指定的 I/O 功能。此外，任何活动或挂起的读或写操作都被停止， BUSY 位被清零。模块寄存器 （包括 PMSTAT 寄存器）中的数据保持不变。因此，在接收之后禁止模块，仍然可以处理最后接收到的数据和状态。

  当使能模块时，所有缓冲区控制逻辑随 PMSTAT 而复位。

  PMCON 中的所有其他位用于控制地址复用、使能各种端口控制信号以及选择控制信号极性。在**第 13.3.1 节 “并行主端口配置选项”**中对这些进行了更为详细的讨论。

- **PMMODE：并行端口模式寄存器**

  该寄存器包含用于控制模块工作模式的位。主 / 从模式的选择以及两种模式的配置选项，均由该寄存器设置。它还包含通用状态标志 BUSY，在主模式下用于指示模块状态正在工作。**第 13.3 节 “主工作模式”**和**第 13.4 节 “从工作模式”**中提供了使用 PMMODE 位来配置 PMP 操作的详细信息。

- **PMADDR：并行端口地址寄存器**

  该寄存器为主模式下的 PMADDR。它包含输出数据要写入的地址，以及用于寻址并行从器件的片选控制位。 PMADDR 寄存器不在任何从模式下使用。

- **PMDOUT：并行端口数据输出寄存器**

  该寄存器仅在从模式下用于缓冲输出数据。

- **PMDIN：并行端口数据输入寄存器**

  该寄存器在主 / 从模式下由 PMP 模块使用。

  在从模式下，该寄存器用于保存随时钟异步输入的数据。其操作如**第 13.4.2 节 “缓冲并行从端口模式”**中所述。

  在主模式下， PMDIN 是输入和输出数据的保持寄存器。其在主模式下的操作如**第 13.3.3 节 “读操作”**和**第 13.3.4 节 “写操作”**中所述。

- **PMAEN：并行端口引脚使能寄存器**

  该寄存器用于控制与 PMP 模块相关的地址和片选引脚的操作。置 1 这些位，将相应的单片机引脚分配给 PMP 模块；清零这些位，将这些引脚分配给端口 I/O 或其他与引脚相关的外设模块。

- **PMSTAT：并行端口状态寄存器 （仅适用于从模式）**

  该寄存器包含在端口用作从端口时与缓冲工作模式相关的状态位。这包括溢出、下溢和满标志位。

  在**第 13.4.2 节 “缓冲并行从端口模式”**中对这些标志位进行了详细讨论。

13.2.1 PMP SFR 汇总

表 13-1 简要汇总了所有与 PMP 模块相关的寄存器。该汇总表之后列出了相应的寄存器，并且每个寄存器均附有详细的说明。

表 13-1： PMP SFR 汇总

名称		Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
PMCON(1,2,3)	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	ON	—	SIDL	ADRMUX<1:0>		PMPTTL	PTWREN	PTRDEN
	7:0	CSF<1:0>		ALP	CS2P	CS1P	—	WRSP	RDSP
PMMODE(1,2,3)	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	BUSY	IRQM<1:0>		INCM<1:0>		MODE16	MODE<1:0>	
	7:0	WAITB<1:0>		WAITM<3:0>				WAITE<1:0>	
PMADDR(1,2,3)	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	CS2/A15	CS1/A14	ADDR<13:8>					
	7:0	ADDR<7:0>							
PMDOUT(1,2,3)	31:24	DATAOUT<31:24>							
	23:16	DATAOUT<23:16>							
	15:8	DATAOUT<15:8>							
	7:0	DATAOUT<7:0>							
PMDIN(1,2,3)	31:24	DATAIN<31:24>							
	23:16	DATAIN<23:16>							
	15:8	DATAIN<15:8>							
	7:0	DATAIN<7:0>							
PMAEN(1,2,3)	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	PTEN<15:8>							
	7:0	PTEN<7:0>							
PMSTAT	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F
	7:0	OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E

图注： — = 未实现，读为 0。地址偏移值以十六进制显示。

注 1： 这些寄存器具有关联的清零、置 1 和取反寄存器，分别位于 0x4、 0x8 和 0xC 字节偏移处。清零、置 1 和取反寄存器的名称分别为相应寄存器的名称加上 CLR、SET 或 INV 后缀（如 PMCONCLR）。向这些寄存器的任意位写入 1 时，会将关联寄存器中的有效位清零、置 1 或取反。对这些寄存器的读操作将被忽略。

© 2010-2014 Microchip Technology Inc.

寄存器 13-1： PMCON：并行端口控制寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	ON(1)	—	SIDL	ADRMUX<1:0>		PMPTTL	PTWREN	PTRDEN
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
	CSF<1:0>(2)		ALP(2)	CS2P(2)	CS1P(2)	—	WRSP	RDSP

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-16 **未实现：**写入 0；忽略读操作

bit 15 **ON：**并行主端口使能位 (1)
1 = 使能 PMP
0 = 禁止 PMP，不执行任何片外访问

bit 14 **未实现：**写入 0；忽略读操作

bit 13 **SIDL：**空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12-11 **ADRMUX<1:0>：**地址 / 数据复用选择位
11 = 所有 16 位地址在 PMD<15:0> 引脚上复用
10 = 所有 16 位地址在 PMD<7:0> 引脚上复用
01 = 低 8 位地址在 PMD<7:0> 引脚上复用，高 8 位在 PMA<15:8> 上复用
00 = 地址和数据使用独立的引脚

bit 10 **PMPTTL：**PMP 模块 TTL 输入缓冲器选择位
1 = PMP 模块使用 TTL 输入缓冲器
0 = PMP 模块使用施密特触发器输入缓冲器

bit 9 **PTWREN：**写使能选通端口使能位
1 = 使能 PMWR/PMENB 端口
0 = 禁止 PMWR/PMENB 端口

bit 8 **PTRDEN：**读 / 写选通端口使能位
1 = 使能 PMRD/PMWR 端口
0 = 禁止 PMRD/PMWR 端口

bit 7-6 **CSF<1:0>：**片选功能位 (2)
11 = 保留
10 = PMCS2 和 PMCS1 用作片选
01 = PMCS2 用作片选， PMCS1 用作地址位 bit 14
00 = PMCS2 和 PMCS1 用作地址位 bit 15 和 bit 14

bit 5 **ALP：**地址锁存器极性位 (2)
1 = 高电平有效 （$\overline{\text{PMALL}}$ 和 $\overline{\text{PMALH}}$）
0 = 低电平有效 （$\overline{\text{PMALL}}$ 和 $\overline{\text{PMALH}}$）

bit 4 **CS2P：**片选 1 极性位 (2)
1 = 高电平有效 （$\overline{\text{PMCS2}}$）
0 = 低电平有效 （$\overline{\text{PMCS2}}$）

注 **1：**使用 1:1 PBCLK 分频比时，在清零模块 ON 控制位的指令之后，用户的软件不应立即在 SYSCLK 周期中读 / 写外设的 SFR。

2：当相应引脚用作地址线时，这些位不起作用。

寄存器 13-1： PMCON：并行端口控制寄存器 （续）

bit 3 **CS1P**：片选 0 极性位 (2)
1 = 高电平有效 （PMCS1）
0 = 低电平有效 （PMCS1）

bit 2 **未实现**：写入 0 ；忽略读操作

bit 1 **WRSP**：写选通极性位
对于从模式和主模式 2 （PMMODE<9:8> = 00、 01 和 10）：
1 = 写选通高电平有效 （PMWR）
0 = 写选通低电平有效 （PMWR）
对于主模式 1 （PMMODE<9:8> = 11）：
1 = 使能选通高电平有效 （PMENB）
0 = 使能选通低电平有效 （PMENB）

bit 0 **RDSP**：读选通极性位
对于从模式和主模式 2 （PMMODE<9:8> = 00、 01 和 10）：
1 = 读选通高电平有效 （PMRD）
0 = 读选通低电平有效 （PMRD）
对于主模式 1 （PMMODE<9:8> = 11）：
1 = 读 / 写选通高电平有效 （PMRD/PMWR）
0 = 读 / 写选通低电平有效 （PMRD/PMWR）

注 1：使用 1:1 PBCLK 分频比时，在清零模块 ON 控制位的指令之后，用户的软件不应立即在 SYSCLK 周期中读 / 写外设的 SFR。

2：当相应引脚用作地址线时，这些位不起作用。

© 2010-2014 Microchip Technology Inc.

寄存器 13-2： PMMODE：并行端口模式寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	BUSY	IRQM<1:0>		INCM<1:0>		MODE16	MODE<1:0>	
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	WAITB<1:0>(1)		WAITM<3:0>(1)				WAITE<1:0>(1)	

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-16 **未实现：**写入 0；忽略读操作

bit 15 **BUSY：**忙位 （仅适用于主模式）
1 = 端口忙
0 = 端口不忙

bit 14-13 **IRQM<1:0>：**中断请求模式位
11 = 保留，不要使用
10 = 当对读缓冲区 3 执行读操作或对写缓冲区 3 执行写操作时产生中断 （缓冲 PSP 模式）
或在 PMA<1:0> =11 时执行读或写操作时产生中断 （仅适用于可寻址从模式）
01 = 在读 / 写周期结束时产生中断
00 = 不产生中断

bit 12-11 **INCM<1:0>：**递增模式位
11 = 从模式读缓冲区和写缓冲区自动递增 （仅针对 PMMODE<1:0> = 00）
10 = 每个读 / 写周期 ADDR<15:0> 递减 1(2,4)
01 = 每个读 / 写周期 ADDR<15:0> 递增 1(2,4)
00 = 无地址递增或递减

bit 10 **MODE16：**8/16 位模式位
1 = 16 位模式：对数据寄存器执行读或写操作将调用一次 16 位传输
0 = 8 位模式：对数据寄存器执行读或写操作将调用一次 8 位传输

bit 9-8 **MODE<1:0>：**并行端口模式选择位
11 = 主模式 1 （PMCSx、 PMRD/PMWR、 PMENB、 PMA<x:0>、 PMD<7:0> 和 PMD<8:15>(3)）
10 = 主模式 2 （PMCSx、 PMRD、 PMWR、 PMA<x:0>、 PMD<7:0> 和 PMD<8:15>(3)）
01 = 增强型从模式，控制信号 （PMRD、 PMWR、 PMCS、 PMD<7:0> 和 PMA<1:0>）
00 = 传统并行从端口，控制信号 （PMRD、 PMWR、 PMCS 和 PMD<7:0>）

bit 7-6 **WAITB<1:0>：**从数据建立到读 / 写选通的等待状态位 (1)
11 = 数据等待 4 个 TPB； 复用地址阶段等待 4 个 TPB
10 = 数据等待 3 个 TPB； 复用地址阶段等待 3 个 TPB
01 = 数据等待 2 个 TPB； 复用地址阶段等待 2 个 TPB
00 = 数据等待 1 个 TPB； 复用地址阶段等待 1 个 TPB （默认）

注 **1：**每当 WAITM<3:0> = 0000 时， WAITB 和 WAITE 位会被忽略，并将写操作强制设为 1 个 TPBCLK 周期；对于读操作， WAITB = 1 个 TPBCLK 周期， WAITE = 0 个 TPBCLK 周期。

2：如果地址位 A15 和 A14 配置为片选 CS2 和 CS1，则它们不受自动递增 / 递减影响。

3：这些引脚在 MODE16 位 = 1 （16 位模式）时有效。

4：无论传输数据宽度如何， PMPADDR 寄存器总是递增 1/ 递减 1。

寄存器 13-2： PMMODE：并行端口模式寄存器 （续）

bit 5-2 **WAITM<3:0>**：数据读 / 写选通等待状态位 (1)

1111 = 等待 16 个 TPB

•

•

•

0001 = 等待 2 个 TPB

0000 = 等待 1 个 TPB （默认）

bit 1-0 **WAITE<1:0>**：读 / 写选通后数据保持的等待状态位 (1)

对于写操作：

11 = 等待 4 个 TPB

10 = 等待 3 个 TPB

01 = 等待 2 个 TPB

00 = 等待 1 个 TPB （默认）

对于读操作：

11 = 等待 3 个 TPB

10 = 等待 2 个 TPB

01 = 等待 1 个 TPB

00 = 等待 0 个 TPB （默认）

注 **1**：每当 WAITM<3:0> = 0000 时， WAITB 和 WAITE 位会被忽略，并将写操作强制设为 1 个 TPBCLK 周期；对于读操作， WAITB = 1 个 TPBCLK 周期， WAITE = 0 个 TPBCLK 周期。

2：如果地址位 A15 和 A14 配置为片选 CS2 和 CS1，则它们不受自动递增 / 递减影响。

3：这些引脚在 MODE16 位 = 1 （16 位模式）时有效。

4：无论传输数据宽度如何， PMPADDR 寄存器总是递增 1/ 递减 1。

© 2010-2014 Microchip Technology Inc.

寄存器 13-3： PMADDR：并行端口地址寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	CS2	CS1	ADDR<13:8>					
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	ADDR<7:0>							

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-16 **未实现**：写入 0；忽略读操作

bit 15 **CS2**：片选 2 位
1 = 片选 2 有效
0 = 片选 2 无效 （引脚用作 PMA<15>）

bit 14 **CS1**：片选 1 位
1 = 片选 1 有效
0 = 片选 1 无效 （引脚用作 PMA<14>）

bit 13-0 **ADDR<13:0>**：目标地址位

寄存器 13-4： PMDOUT：并行端口数据输出寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAOUT<31:24>							
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAOUT<23:16>							
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAOUT<15:8>							
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAOUT<7:0>							

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-0 **DATAOUT<31:0>**：从模式下 8 位写操作的输出数据端口位

寄存器 13-5： **PMDIN：**并行端口数据输入寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAIN<31:24>							
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAIN<23:16>							
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAIN<15:8>							
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	DATAIN<7:0>							

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-0 **DATAIN<31:0>：**主模式下 8 位或 16 位读 / 写操作的输入 / 输出数据端口位，从模式下 8 位读操作的输入数据端口位。

寄存器 13-6： **PMAEN：**并行端口引脚使能寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	PTEN<15:14>		PTEN<13:8>					
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	PTEN<7:2>						PTEN<1:0>	

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-16 **未实现：**写入 0；忽略读操作

bit 15-14 **PTEN<15:14>：**PMCSx 选通使能位
1 = PMA15 和 PMA14 用作 PMA<15:14> 或 PMCS2 和 PMCS1(1)
0 = PMA15 和 PMA14 用作端口 I/O

bit 13-2 **PTEN<13:2>：**PMP 地址端口使能位
1 = PMA<13:2> 用作 PMP 地址线
0 = PMA<13:2> 用作端口 I/O

bit 1-0 **PTEN<1:0>：**PMALH/PMALL 选通使能位
1 = PMA1 和 PMA0 用作 PMA<1:0> 或 PMALH 和 PMALL(2)
0 = PMA1 和 PMA0 引脚用作端口 I/O

注 **1：**这些引脚是用作 PMA15/PMA14 还是 CS2/CS1 需要通过 CSF<1:0> 位 （PMCON<7:6>）进行选择。

2：这些引脚是用作 PMA1/PMA0 还是 PMALH/PMALL 取决于通过 PMCON 寄存器中的 ADRMUX<1:0> 位选择的地址 / 数据复用模式。

© 2010-2014 Microchip Technology Inc.

寄存器 13-7： PMSTAT：并行端口状态寄存器 （仅适用于从模式）

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	R-0	R/W-0	U-0	U-0	R-0	R-0	R-0	R-0
	IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F
7:0	R-1	R/W-0	U-0	U-0	R-1	R-1	R-1	R-1
	OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 31-16 **未实现：**写入 0；忽略读操作

bit 15 **IBF：**输入缓冲区满状态位
1 = 所有可写的输入缓冲寄存器均已满
0 = 部分或所有可写的输入缓冲寄存器为空

bit 14 **IBOV：**输入缓冲区溢出状态位
1 = 发生对已满的输入字节缓冲区执行写操作 （必须用软件清零）
0 = 未发生溢出
该位由硬件置 1 （= 1）；只能用软件清零 （= 0）。

bit 13-12 **未实现：**写入 0；忽略读操作

bit 11-8 **IBnF：**输入缓冲区 n 状态满位
1 = 输入缓冲区包含尚未读取的数据 （读缓冲区将清零该位）
0 = 输入缓冲区不包含任何未读数据

bit 7 **OBE：**输出缓冲区空状态位
1 = 所有可读的输出缓冲寄存器均为空
0 = 部分或所有可读的输出缓冲寄存器已满

bit 6 **OBUF：**输出缓冲区下溢状态位
1 = 发生对空输出字节缓冲区执行读操作 （必须用软件清零）
0 = 未发生下溢
该位由硬件置 1 （= 1）；只能用软件清零 （= 0）。

bit 5-4 **未实现：**写入 0；忽略读操作

bit 3-0 **OBnE：**输出缓冲区 n 状态空位
1 = 输出缓冲区为空 （向缓冲区写数据将清零该位）
0 = 输出缓冲区包含尚未发送的数据

13.3 主工作模式

在主模式下， PMP 模块可以提供 8 位或 16 位数据总线、最多 16 位地址以及操作各种外部并行器件 （例如存储器件、外设和从单片机）的所有必需的控制信号。 PMP 主模式提供了用于读写数据的简单接口，但它不用于从外部器件 （例如 SRAM 或闪存）执行程序指令。

由于许多并行器件具有多种控制方式，PMP 模块设计得非常灵活，以适应多种配置要求。部分特性包括：

- 8 位和 16 位数据模式
- 可配置的地址 / 数据复用
- 最多 2 条片选线
- 最多 16 条可选地址线
- 地址自动递增和自动递减
- 所有控制线都可以选择极性
- 在读 / 写周期不同阶段可配置等待状态

13.3.1 并行主端口配置选项

13.3.1.1 8 位和 16 位数据模式

处于主模式时，PMP 支持 8 位和 16 位宽的数据宽度。默认情况下，数据宽度为 8 位宽，MODE16 位（PMMODE<10>）= 0。要选择 16 位数据宽度，可以设置 MODE16 = 1。配置为 8 位数据模式时，数据总线的高 8 位 PMD<15:8> 不由 PMP 模块控制，可用作通用 I/O 引脚。

> **注：** 在 100 或更多引脚 PIC32 器件上提供 PMD<15:0> 数据引脚。对于 64 引脚器件，只提供引脚 PMD<7:0>。详情请参见具体 PIC32 器件数据手册。

13.3.1.2 片选

有两条片选线 PMCS1 和 PMCS2 可用于主模式。这些线与地址总线 A14 和 A15 的最高有效位（MSb）复用。当将引脚配置为片选时，不会自动递增 / 递减地址。可以同时使能 PMCS2 和 PMCS1 作为片选，也可以仅使能 PMCS2 作为片选，让 PMCS1 只用作地址线 A14。不能单独使能 PMCS1。片选信号通过片选功能位 CSF<1:0> （PMCON <7:6>）进行配置。

表 13-2： 片选控制

CSF<1:0>	功能
10	PMCS2， PMCS1 = 使能
01	PMCS2 = 使能， PMCS1 = A14
00	PMCS2 = A15， PMCS1 = A14

13.3.1.3 端口引脚控制

有几个位用于配置模块中存在或不存在的控制和地址信号。这些位是 PTWREN（PMCON<9>）、PTRDEN （PMCON<8>）和 PTEN<15:0> （PMAEN<15:0>）。用户可以通过它们将引脚配置为其他功能，并可以灵活控制外部地址。当这些位中的任何位置 1 时，相关引脚上具有相应的功能；当清零时，相关的引脚恢复为定义的 I/O 端口功能。

将 PTEN 位置 1 将使相关的引脚作为地址引脚并驱动 PMADDR 寄存器中包含的对应数据。清零任何 PTEN 位将强制引脚恢复为其原始的 I/O 功能。

© 2010-2014 Microchip Technology Inc.

对于通过置 1 相应的 PTEN 位将引脚配置为片选 （PMCS1 或 PMCS2），当不执行读或写操作时，片选引脚驱动无效数据。 PTEN0 和 PTEN1 位还将控制 PMALL 和 PMALH 信号。当使用复用时，应使能相关的地址锁存信号。关于 I/O 引脚配置，请参见第 13.11 节 “I/O 引脚控制”。

13.3.1.4 读 / 写控制

PMP 模块支持两种不同的读 / 写信号控制方式。在主模式 1 下，读选通和写选通组合为单条控制线 PMRD/PMWR ；第二条控制线 PMENB 决定何时执行读或写操作。在主模式 2 下，在独立的引脚上提供读选通和写选通 （PMRD 和 PMWR）。

13.3.1.5 控制线极性

可以将所有控制信号（PMRD、PMWR、PMENB、PMALL、PMALH、PMCS1 和 PMCS2）单独配置为正极性或负极性。配置由 PMCON 寄存器中单独的位控制，如表 13-3 中所示。

表 13-3： 引脚极性配置

控制引脚	PMCON 控制位	高电平有效选择	低电平有效选择
PMRD	RDSP	1	0
PMWR	WRSP	1	0
PMALL	ALP	1	0
PMALH	ALP	1	0
PMCS1	CS1P	1	0
PMCS2	CS2P	1	0

> **注：** 共用同一输出引脚的控制信号的极性（例如，PMWR 和 PMENB）由同一个位控制；配置取决于使用的是哪种主端口模式。

13.3.1.6 自动递增 / 递减

当 PMP 模块工作在某种主模式下时， INCM<1:0> （PMMODE<12:11>）位控制地址值的行为。无论传输数据宽度如何， PMADDR 寄存器中的地址都可设置为在每次读或写操作完成之后自动递增 1 或递减 1，并且 BUSY 位 （PMMODE<15>）变为 0。

表 13-4： 地址递增 / 递减控制

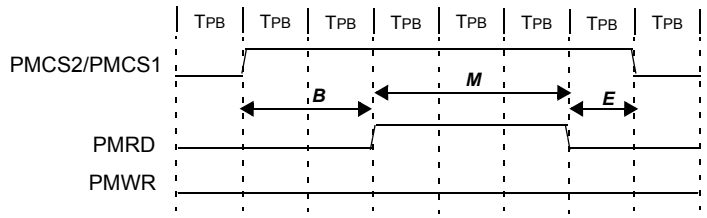
INCM<1:0>	功能
10	每个读 / 写周期递减 1
01	每个读 / 写周期递增 1
00	无递增 / 无递减

如果禁止片选信号并将它们配置为地址位，则这些位将参与递增和递减操作；否则，CS2 和 CS1 位的值将不受影响。

13.3.1.7 等待状态

在主模式下，通过配置模块等待状态，用户可以控制读、写和地址周期期间。一个等待状态周期等于一个外设总线时钟周期 TPBCLK。图 13-2 是一个使用等待状态的主模式 2 读操作的示例。

图 13-2： 读操作，使能等待状态



图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （1 个等待状态）

注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略 （B 强制设为 1 个 TPBCLK）， WAITE 也会被忽略 （E 强制设为 0 个 TPBCLK）。

可以使用 PMMODE 寄存器中相应的 WAITB、 WAITM 和 WAITE 位将等待状态添加到任意读周期或写周期的开始、中间和结束位置处。

WAITB<1:0> 位 （PMMODE<7:6>）定义在 PMRD/PMWR 选通之前 （模式 10），或在 PMENB 选通之前 （模式 11），用于数据建立的等待周期数。在地址和数据总线复用 （ADRMUX<1:0> 位 （PMCON<12:11>） = 01、 10 或 11）时， WAITB 定义寻址周期延长的等待周期数。

WAITM<3:0> 位（PMMODE<5:2>）定义 PMRD/PMWR 选通（模式 10），或 PMENB 选通（模式 11）的等待周期数。当该等待状态设置为 0000 时， WAITB 和 WAITE 会被忽略。数据建立时间的等待状态数 （WAITB）默认设为 1，而数据保持时间的等待状态数 （WAITE）在写操作期间默认设为 1，在读操作期间默认设为 0。

WAITE<1:0> 位 （PMMODE<1:0>）定义在 PMRD/PMWR 选通之后 （模式 10），或在 PMENB 选通之后 （模式 11）数据保持时间的等待周期数。

13.3.1.8 地址复用

通过地址复用，在读 / 写操作的地址周期期间，可以从数据总线产生部分或全部地址线信号。对于地址线 PMA<15:0> 需要用作通用 I/O 引脚的情况，这会是一个很有用的选项。用户应用程序可以选择复用数据位的低 8 位、高 8 位或全部 16 位。这些复用模式在主模式 1 和 2 下均可用。复用模式时序图，请参见**第 13.3.8 节 “主模式时序”**。

表 13-5： 地址复用配置

ADRMUX<1:0>	地址 / 数据复用模式
11	完全复用 （16 位数据引脚 PMD<15:0>）
10	完全复用 （低 8 位数据引脚 PMD<7:0>）
01	部分复用 （低 8 位数据引脚 PMD<7:0>）
00	解复用

© 2010-2014 Microchip Technology Inc.

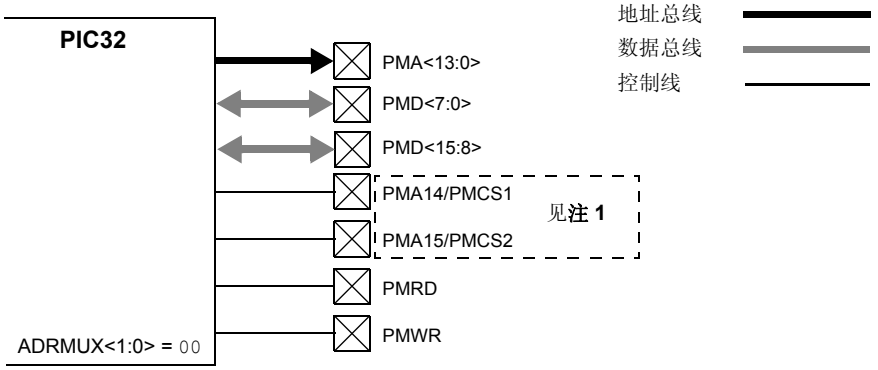
13.3.1.8.1 解复用模式

解复用模式通过配置 ADRMUX<1:0> 位（PMCON<12:11>）= 00 进行选择。在该模式下，地址位送到引脚 PMA<15:0>。

在 PMCS2 使能时，地址引脚 PMA15 不可用。在 PMCS1 使能时，地址引脚 PMA14 不可用。

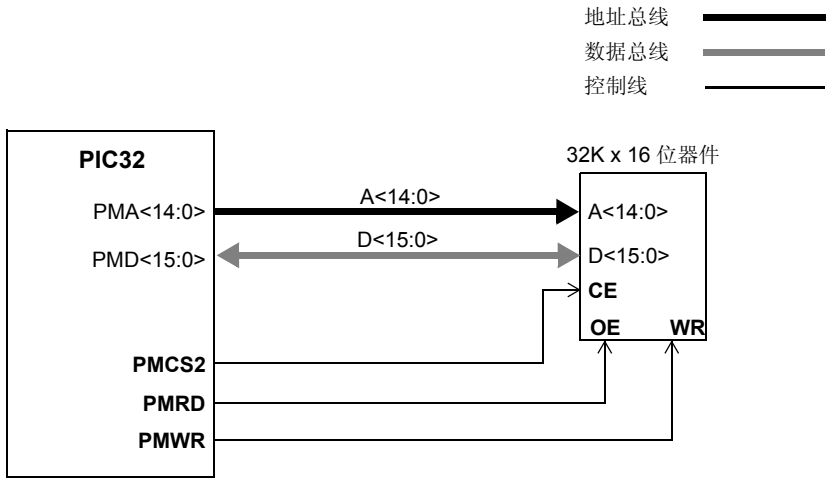
在 16 位数据模式下，数据位送到引脚 PMD<15:0>。在 8 位数据模式下，数据位送到引脚 PMD<7:0>。

图 13-3： 解复用的寻址模式



注 1： 如果 PMCS2 使能，则地址引脚 PMA<15> 不可用。
如果 PMCS1 使能，则地址引脚 PMA<14> 不可用。

图 13-4： 解复用寻址示例



注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>）= 10。
16 位数据宽度：MODE16 位 （PMMODE<10>） = 1。
部分复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 00。

13.3.1.8.2 部分复用模式

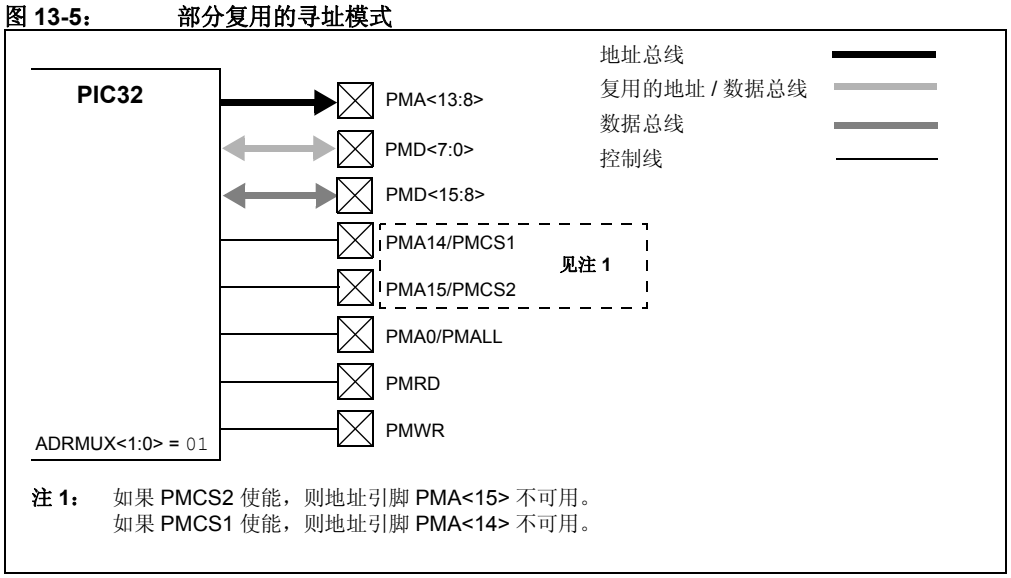
部分复用模式（8位数据引脚）可在8位和16位数据总线配置下使用，它通过设置ADRMUX<1:0>位 （PMCON<12:11>） = 01 进行选择。在该模式下，地址的低 8 位与数据总线引脚低 8 位 PMD<7:0> 复用。地址的高 8 位不受影响，送到 PMA<15:8>。在该模式下，地址引脚 PMA<7:1> 可用作通用 I/O 引脚。

在 PMCS2 使能时，地址引脚 PMA15 不可用；在 PMCS1 使能时，地址引脚 PMA14 不可用。

地址引脚 PMA<0> 用作地址锁存器使能选通 PMALL，在此期间，地址的低 8 位送到 PMD<7:0> 引脚。读序列和写序列会被延长至少 3 个外设总线时钟周期 （TPBCLK）。

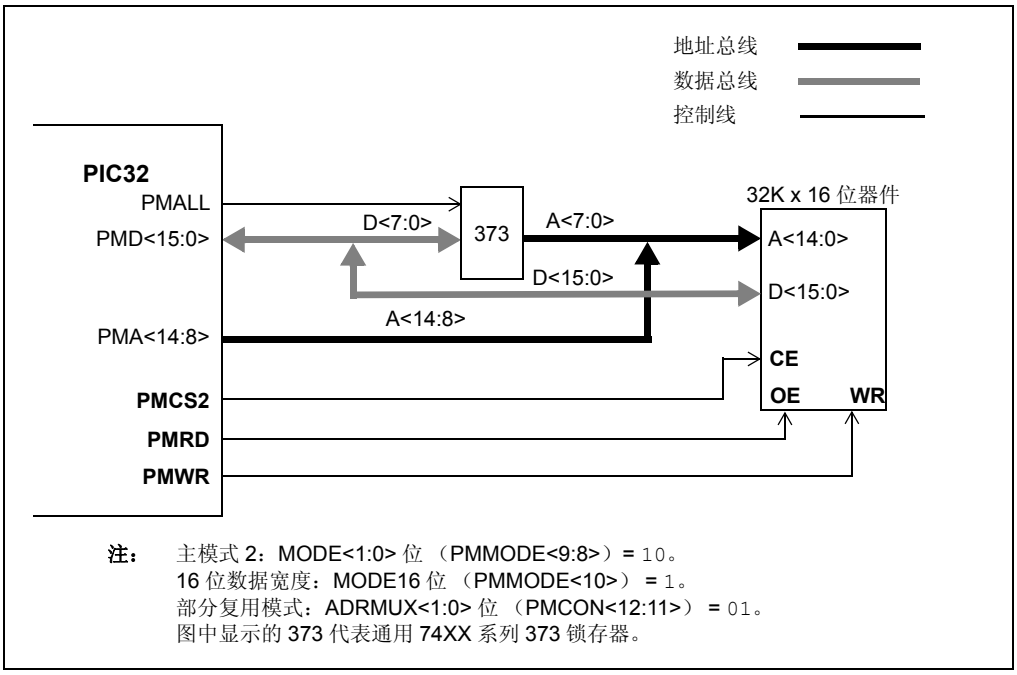
如果 WAITM<3:0> （PMMODE<5:2>）非零，则 PMALL 选通信号会被延长 WAITB<1:0> （PMMODE<7:6>）个等待状态。

图 13-5：　部分复用的寻址模式



注 1：　如果 PMCS2 使能，则地址引脚 PMA<15> 不可用。
如果 PMCS1 使能，则地址引脚 PMA<14> 不可用。

图 13-6：　部分复用寻址示例



注：　主模式 2：MODE<1:0> 位 （PMMODE<9:8>）= 10。
16 位数据宽度：MODE16 位 （PMMODE<10>） = 1。
部分复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 01。
图中显示的 373 代表通用 74XX 系列 373 锁存器。

© 2010-2014 Microchip Technology Inc.

13.3.1.8.3 完全复用模式 （8 位数据引脚）

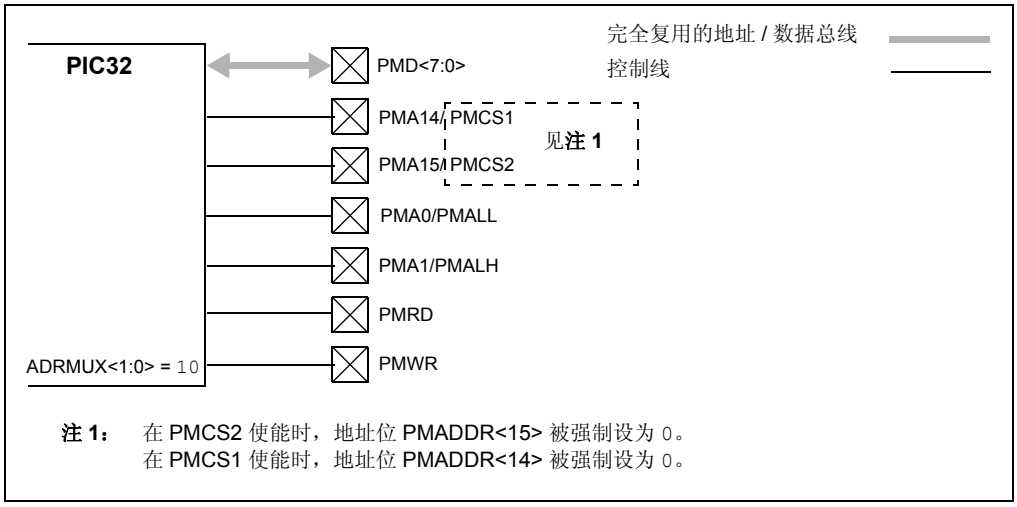
完全复用模式（8位数据引脚）可在8位和16位数据总线配置下使用，它通过设置ADRMUX<1:0>位 （PMCON<12:11>） = 10 进行选择。在该模式下，地址的全部 16 位与数据总线引脚低 8 位 PMD<7:0> 复用。在该模式下， PMA<13:2> 引脚可用作通用 I/O 引脚。

如果 PMCS2/PMA15 或 PMCS1/PMA14 配置为片选引脚，则相应的地址位 PMADDR<15> 或 PMADDR<14> 会自动强制设为 0。

地址引脚 PMA<0> 和 PMA<1> 分别用作地址锁存器使能选通 PMALL 和 PMALH。在第一个周期内，地址的低 8 位送到 PMD<7:0> 引脚，并且 PMALL 选通有效。在第二个周期内，地址的高 8 位送到 PMD<7:0> 引脚，并且 PMALH 选通有效。读序列和写序列会被延长至少 6 个外设总线时钟周期 （TPBCLK）。

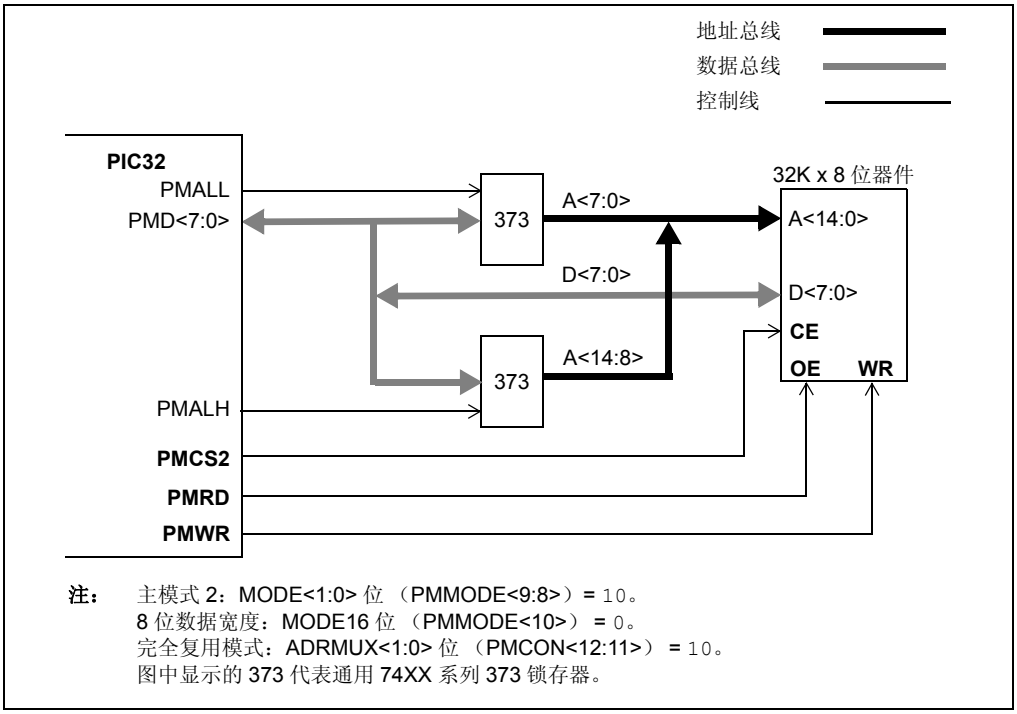
如果WAITM<3:0>（PMMODE<5:2>）非零，则PMALL和PMALH选通信号会被延长WAITB<1:0>（PMMODE<7:6>）个等待状态。

图 13-7： 完全复用的寻址模式 （8 位总线）



注 1： 在 PMCS2 使能时，地址位 PMADDR<15> 被强制设为 0。
在 PMCS1 使能时，地址位 PMADDR<14> 被强制设为 0。

图 13-8： 完全复用寻址示例 （8 位总线）



注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>） = 10。
8 位数据宽度：MODE16 位 （PMMODE<10>） = 0。
完全复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 10。
图中显示的 373 代表通用 74XX 系列 373 锁存器。

13.3.1.8.4 完全复用模式 （16 位数据引脚）

完全复用模式 （16 位数据引脚）仅在 16 位数据总线配置下可用，它通过配置 ADRMUX<1:0> 位 （PMCON<12:11>） = 11 进行选择。在该模式下，地址的全部 16 位与全部 16 个数据总线引脚 PMD<15:0> 复用。

如果 PMCS2/PMA15 或 PMCS1/PMA14 配置为片选引脚，则相应的地址位 PMADDR<15> 或 PMADDR<14> 会自动强制设为 0。

地址引脚 PMA<0> 和 PMA<1> 同时分别用作地址锁存器使能选通 PMALL 和 PMALH。当 PMALL 和 PMALH 选通信号有效时，地址的低 8 位会送到 PMD<7:0> 引脚，高 8 位送到 PMD<15:8> 引脚。读序列和写序列会被延长至少 3 个外设总线时钟周期 （TPBCLK）。

如果WAITM<3:0>（PMMODE<5:2>）非零，则PMALL和PMALH选通信号会被延长WAITB<1:0>（PMMODE<7:6>）个等待状态。

图 13-9： 完全复用的寻址模式 （16 位总线）

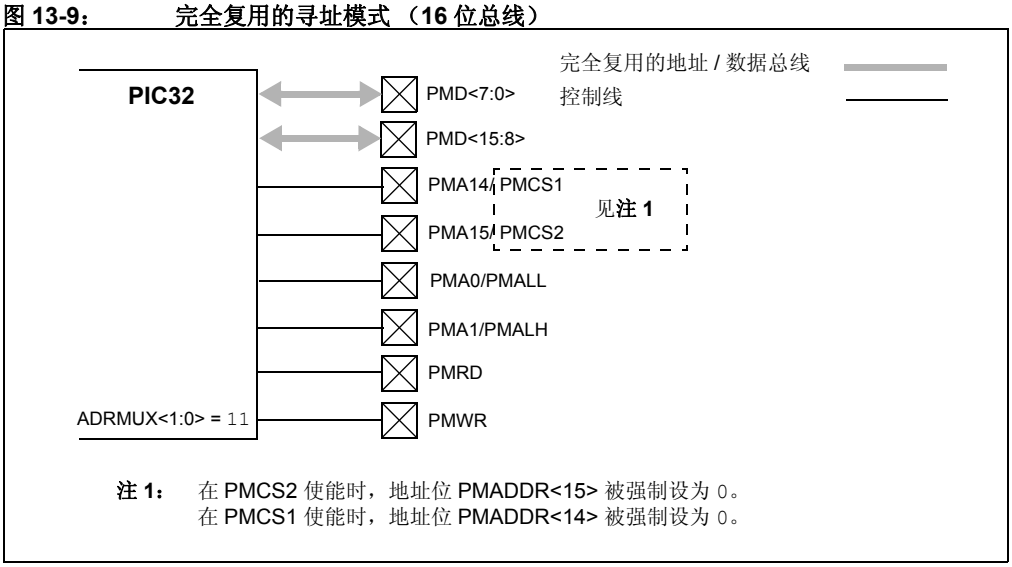
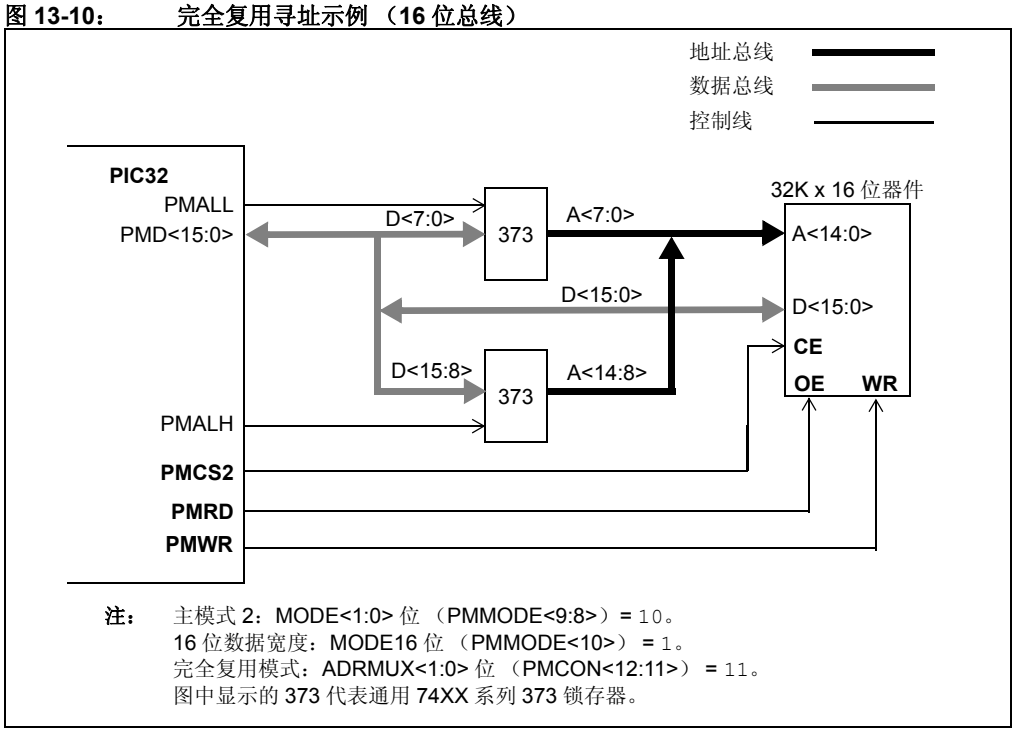


图 13-10： 完全复用寻址示例 （16 位总线）



© 2010-2014 Microchip Technology Inc.

13.3.2 主模式配置

主模式配置主要由外部器件的接口要求决定。地址复用、控制信号极性、数据宽度和等待状态通常决定 PMP 的特定配置。

要使用 PMP 作为主器件，必须通过设置 ON 控制位 （PMCON<15>） = 1 来使能模块，并且模式必须设置为两个可能主模式之一。对于主模式 2，控制位 MODE<1:0>（PMMODE<9:8>）= 10；或者对于主模式 1， MODE<1:0> = 11。

以下主模式初始化步骤可以正确准备 PMP 端口，以便与外部器件进行通信。

1. 如果使用了中断，则通过清零中断允许位 PMPIE （IEC1<2>） = 0 禁止 PMP 中断。
2. 通过清零 ON 控制位 （PMCON<15>） = 0 停止并复位 PMP 模块。
3. 在 PMCON、 PMMODE 和 PMAEN 控制寄存器中配置所需的设置。
4. 如果使用了中断：
   a) 清零中断标志位 PMPIF （IFS1<2>） = 0。
   b) 配置 PMP 中断优先级位 PMPIP<2:0> （IPC7<4:2>）和中断子优先级位 PMPIS （IPC7<1:0>）。
   c) 通过设置中断允许位 PMPIE = 1 允许 PMP 中断。
5. 通过设置 ON 控制位 = 1 使能 PMP 主端口。

注：	在重新配置 PMP 模块之前，建议先等待所有待处理的读写操作完成。

以下列出了典型主模式 2 操作的示例设置：

1. 选择主模式 2：MODE<1:0> 位 （PMMODE<9:8>） = 10。
2. 选择 16 位数据模式：MODE16 位 （PMMODE<10>） = 0。
3. 选择部分复用寻址：ADRMUX<1:0> 位 （PMCON<12:11>） = 01。
4. 选择自动地址递增：INCM<1:0> 位 （PMMODE<12:11>） = 01。
5. 使能中断请求模式：IRQM<1:0> 位 （PMMODE<14:13>） = 01。
6. 使能 PMRD 选通：PTRDEN 位 （PMCON<8>） = 1。
7. 使能 PMWR 选通：PTWREN 位 （PMCON<9>） = 1。
8. 使能 PMCS2 和 PMCS1 片选：CSF 位 （PMCON<7:6>） = 10。
9. 选择 PMRD 低电平有效引脚极性：RDSP 位 （PMCON<0>） = 0。
10. 选择 PMWR 低电平有效引脚极性：WRSP 位 （PMCON<1>） = 0。
11. 选择 PMCS2 和 PMCS1 低电平有效引脚极性：CS2P 位（PMCON<4>）= 0 且 CS1P 位（PMCON<3>） = 0。
12. 为数据建立选择 1 个等待周期：WAITB<1:0> 位 （PMMODE<7:6>） = 00。
13. 为延长 PMRD/PMWR 选择 2 个等待周期：WAITM<3:0> 位（PMMODE<5:2>）= 0001。
14. 为数据保持选择 1 个等待周期：WAITE<1:0> 位 （PMMODE<1:0>） = 00。
15. 使能高 8 位 PMA<15:8> 地址引脚：PMAEN<15:8> = 1 （低 8 位可用作通用 I/O）。

代码请参见例 13-1。

例 13-1： 主模式 2 的初始化，解复用地址， 16 位数据

```
/*  Configuration Example: Master mode 2, 16-bit data, partially multiplexed
    address/data, active-lo polarities. */

    IEC1CLR = 0x0004        // Disable PMP interrupt
    PMCON = 0x0000;         // Stop PMP module and clear control register
    PMCONSET = 0x0B80;      // Configure the addressing and polarities
    PMMODE = 0x2A40;        // Configure the mode
    PMAEN = 0xFF00;         // Enable all address and Chip Select lines

    IPC7SET = 0x001C;       // Set priority level = 7 and
    IPC7SET = 0x0003;       // Set subpriority level = 3
                            // Could have also done this in single
                            // operation by assigning IPC7SET = 0x001F

    IEC1SET = 0x0004;       // Enable PMP interrupts
    PMCONSET = 0x8000;      // Enable the PMP module
```

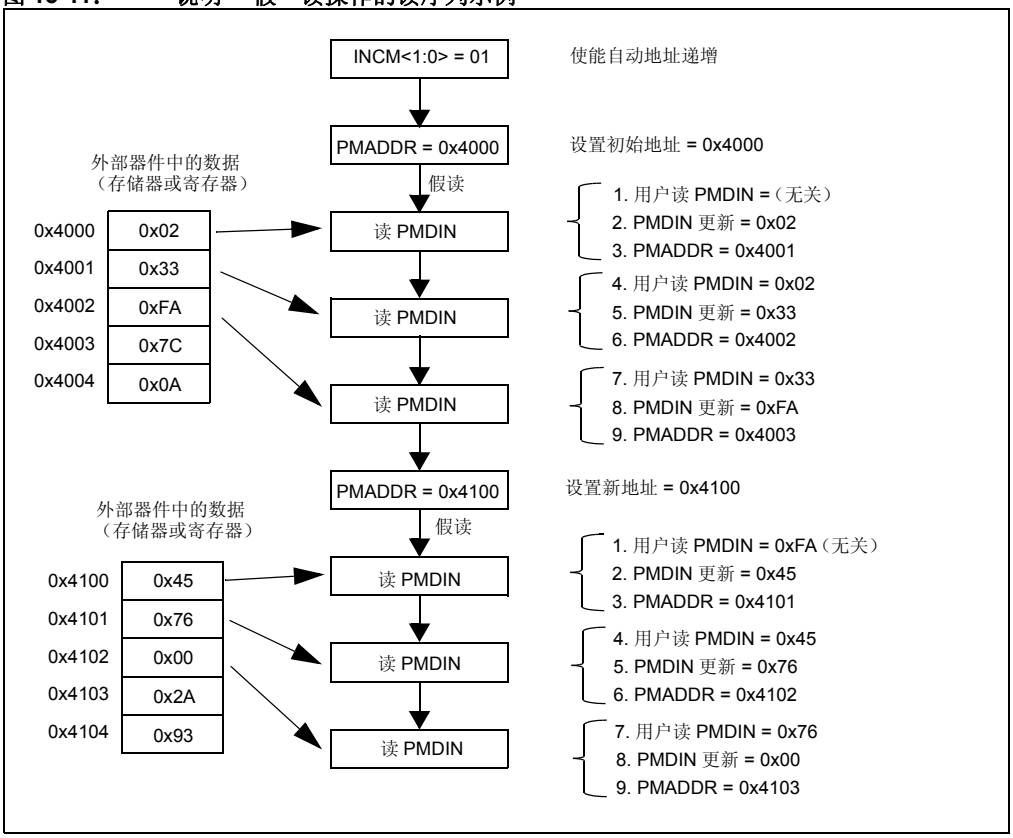
13.3.3 读操作

要对并行总线执行读操作，用户应用程序可以读取 PMDIN 寄存器。读取 PMDIN 寄存器会取回当前值，并导致 PMP 激活片选线和地址总线。读取线 PMRD 会在主模式 2 下选通，PMRD/PMWR 和 PMENB 线会在主模式 1 下选通，新数据会被锁存到 PMDIN 寄存器中，下一次读取 PMDIN 寄存器时将提供该数据。

注意，从 PMDIN 寄存器读取的数据实际上是前面读操作中读取的值。因此，用户应用程序执行的第一次读操作是一次假读操作，它启动第一次总线读操作并填充读寄存器。请参见图 13-11，其中给出了该序列的图示。同样，只有在检测到 BUSY 位（PMMODE<15>）为低电平之后，所请求的读取值才就绪。因此，在背对背读操作中，两次读操作中从寄存器读取的数据相同。下一次读取寄存器将生成新的值。

在 16 位数据模式（MODE16 位（PMMODE<10>）= 1）下，读取 PMDIN 寄存器会导致数据总线 PMD<15:0> 被读入 PMDIN<15:0> 中。在 8 位模式（MODE16 位（PMMODE<10>）= 0）下，读取 PMDIN 寄存器会导致数据总线 PMD<7:0> 被读入 PMDIN<7:0> 中。高 8 位 PMD<15:8> 会被忽略。

图 13-11：　说明“假”读操作的读序列示例



13.3.4 写操作

要对并行端口执行写操作，用户应用程序应写入 PMDIN 寄存器（与读操作相同的寄存器）。这会导致 PMP 模块先激活片选线和地址总线。PMDIN 寄存器的写入数据会被放到 PMD 数据总线上，并且写入线 PMPWR 会在主模式 2 下选通，PMRD/PMWR 和 PMENB 线会在主模式 1 下选通。

在 16 位数据模式（MODE16 位（PMMODE<10>）= 1）下，写入 PMDIN 寄存器会导致 PMDIN<15:0> 出现在数据总线（PMD<15:0>）上。在 8 位模式（MODE16 位（PMMODE<10>）= 0）下，写入 PMDIN 寄存器会导致 PMDIN<7:0> 出现在数据总线 PMD<7:0> 上。高 8 位 PMD<15:8> 会被忽略。

© 2010-2014 Microchip Technology Inc.

13.3.5 主模式中断

在 PMP 主模式下，PMPIF 位在每次读或写选通时置 1。当 IRQM<1:0> 位（PMMODE<14:13>）设置为 01，并且允许 PMP 中断 （PMPIE （IEC1<2>） = 1）时，将会产生中断请求。

13.3.6 并行主端口状态 ——BUSY 位

除 PMP 中断外，还提供了 BUSY 位 （PMMODE<15>）来指示模块的状态。该位仅在主模式下使用。

当正在进行任何读或写操作时，除了操作的最后一个外设总线周期， BUSY 位都被置 1。这在使能等待状态或选择复用地址 / 数据时很有用。当该位置 1 时，将忽略用户任何的启动新操作请求（即，读或写 PMDIN 寄存器将不会启动读或写操作）。

由于在一些特定配置下，或者在使用大量等待状态时，系统时钟 SYSCLK 的工作速度会比外设总线时钟快，所以有可能在下一条 CPU 指令读取或写入 PMP 模块时， PMP 模块正处于完成读写操作的过程中。因此，强烈建议在执行任何访问 PMDIN 或 PMADDR 寄存器的操作之前，先检查 BUSY 位。例 13-2 给出了在访问 PMP 模块之前，对 BUSY 位执行查询操作的示例。

在大多数应用中，都是通过 PMP 模块的片选引脚提供片选接口，并由 PMP 模块进行时序控制。但是，一些应用可能要求不要将 PMP 片选引脚配置为片选，而是配置为高位地址线 （例如 PMA<14> 或 PMA<15>）。这种情况下，必须在软件控制下通过某个可用 I/O 端口引脚提供应用的片选功能。这些情况下，有一点特别重要，就是用户软件需要先查询 BUSY 位，确保所有读写操作已完成，然后再将软件控制的片选置为无效。

例 13-2： 轮询 BUSY 位标志 （示例代码）

```
/*  This example reads 256 16-bit words from an external device at address 0x4000 and copies
    the data to a second external device at address 0x8000. The PMP port is operating in
    Master mode 2. Note how the PMP's BUSY bit is polled prior to all operations to the
    PMDOUT, PMDIN or PMADDR register, except where noted. */

    unsigned short DataArray<256>;

                                    // Provide the setup code here including large Wait
                                    // states, auto increment.
    ...
    CopyData();                     // A call to the copy function is made.
    ...

void CopyData()
{
    PMADDR = 0x4000;                // Initialize PMP address. First time, no need to poll BUSY bit
    while(PMMODE & 0x8000);         // Poll - if busy, wait before reading.
    PMDIN;                          // Read the PMDIN to clear previous data and latch new
                                    // data.

    for(i=0; i<256; i++)
    {
        while(PMMODE & 0x8000);     // Poll - if busy, wait before reading.
        DataArray<i> = PMDIN;       // Read the external device.
    }

    while(PMMODE & 0x8000);         // Poll - if busy, wait before changing PMADDR.
    PMADDR = 0x8000;                // Address of second external device.

    for(i=0; i<256; i++)
    {
        while(PMMODE & 0x8000);     // Poll - if busy, wait before writing.
        DataArray<i> = PMDIN;       // Read the external device.
    }
    return();
}
```

13.3.7 寻址注意事项

PMCS2 和 PMCS1 片选引脚与地址线 A15 和 A14 共用功能。可以同时使能 PMCS2 和 PMCS1 作为片选，也可以仅使能 PMCS2 作为片选，让 PMCS1 只用作地址线 A14。不能单独使能 PMCS1。

> **注：** 在 PMCS2 和 PMCS1 使能为片选信号时，将 A15 和 A14 均设为 1 会导致 PMCS2 和 PMCS1 在读写操作期间均有效。这可能会同时使能两个设备，应当避免。

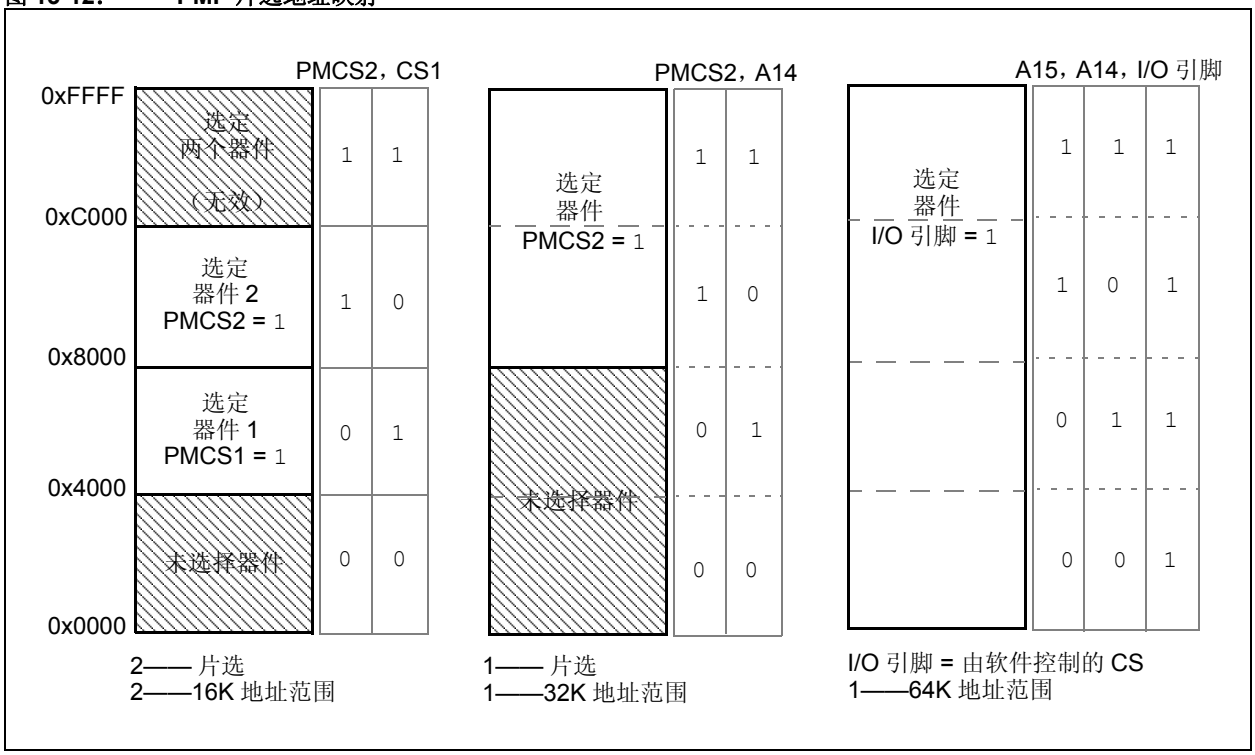
配置为片选时，必须在 PMADDR 寄存器的 bit 15 或 14 中写入 1，以便 PMCS2 或 PMCS1 在读写操作期间变为有效。未向 PMCS2 或 PMCS1 写入 1 并不会阻止地址引脚 PMA<13:0> 在指定地址出现时变为有效；但是，没有任何片选信号会变为有效。

> **注：** 使用自动递增地址模式时，PMCS2 和 PMCS1 不会参与操作，必须通过用户软件进行控制，方式是向 PMADDR<15:14> 显式写入 1。

在完全复用模式下，地址位 PMADDR<15:0> 与数据总线复用，在地址位 PMA15 或 PMA14 配置为片选的情况下，相应的 PMADDR<15:14> 地址位会被自动强制设为 0。PMCS2 和 PMCS1 的其中之一或两者同时被禁止时，可将这些位用作地址位 PMADDR<15:14>。

在任意主模式复用方案下，如果同时禁止片选引脚 PMCS2 和 PMCS1，则用户需要在软件控制下通过某个其他 I/O 引脚提供片选线控制，如图 13-12 所示。

图 13-12： PMP 片选地址映射



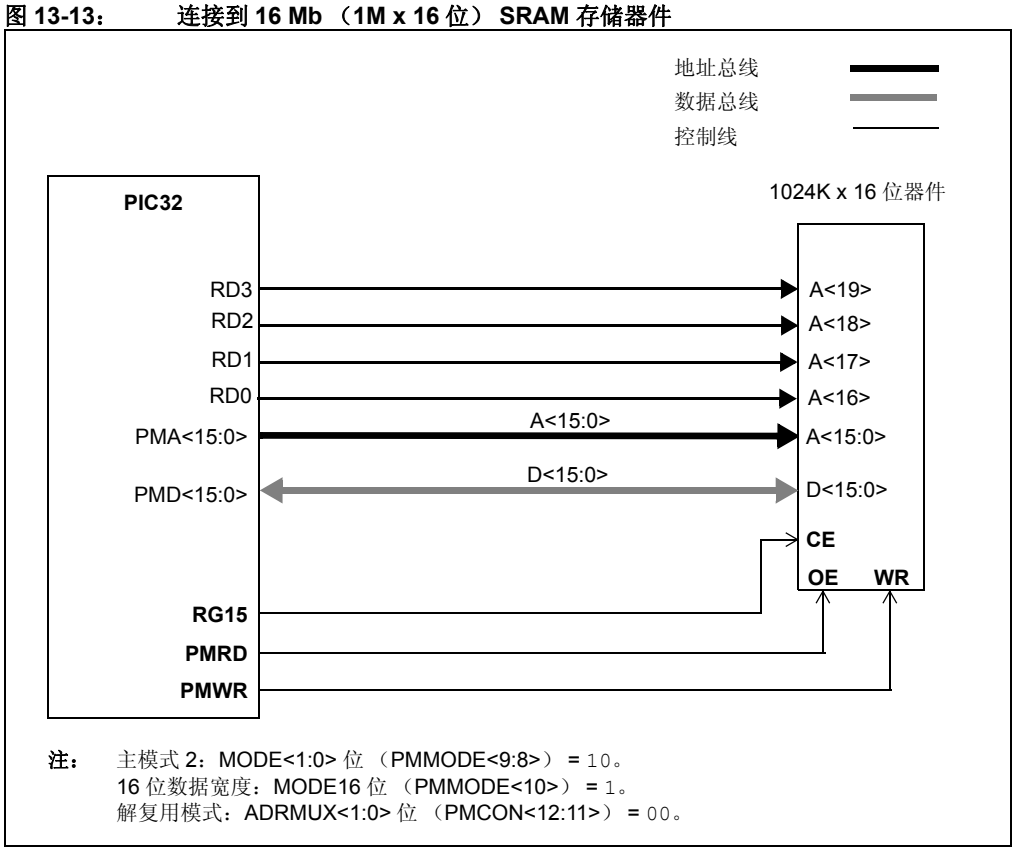
© 2010-2014 Microchip Technology Inc.

13.3.7.1 对大于 64K 的存储器件进行寻址

当使用 PMCS2 或 PMCS1 片选引脚时，可寻址范围限制在 16K 或 32K，具体取决于所使用的片选引脚。禁用 PMCS2 和 PMCS1 作为片选，允许这些引脚作为地址线 PMA15 和 PMA14 使用，从而扩展可寻址范围至 64K。需要专用 I/O 引脚作为片选功能，并且用户软件必须控制该引脚功能。

为了与大于 64K 的存储器件相连接，使用其他可用 I/O 引脚作为较高顺序地址线 A16、 A17 和 A18 等，如图 13-13 所示。

图 13-13： 连接到 16 Mb （1M x 16 位） SRAM 存储器件



注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>） = 10。
16 位数据宽度：MODE16 位 （PMMODE<10>） = 1。
解复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 00。

13.3.8 主模式时序

PMP 主模式周期时间定义为 PMP 执行读写操作所需的 PBCLK 周期数，它依赖于 PBCLK 时钟速度、 PMP 地址 / 数据复用模式和 PMP 等待状态数 （如果有）。关于建立和保持时序特性，请参见具体器件数据手册。

PMP 主模式读写周期通过访问 （读取或写入） PMDIN 寄存器来启动。表 13-6 汇总了每种复用配置的读写 PMP 周期时间。

PMP 的实际数据速率 （用户代码可以执行读写操作序列的速率）高度依赖于几个因素：

- 用户应用程序的代码内容
- 代码优化级别
- 内部总线活动
- 与指令执行速度相关的其他因素

注：	在任意主模式读写操作期间，忙标志总是在操作 （包括等待状态）结束之前 1 个外设总线时钟周期 （TPBCLK）清零。用户应用程序必须先检查忙标志的状态，确保它等于 0，然后再启动下一个 PMP 操作。

表 13-6： PMP 读 / 写周期时间 (1)

地址 / 数据复用配置	ADRMUX 位设置	PMP 周期时间 （PBCLK 周期数）	
		读	写
完全复用 （16 位数据）	11	5	6
完全复用 （8 位数据）	10	8	9
部分复用	01	5	6
解复用	00	2	3

注 1： 未使能等待状态。

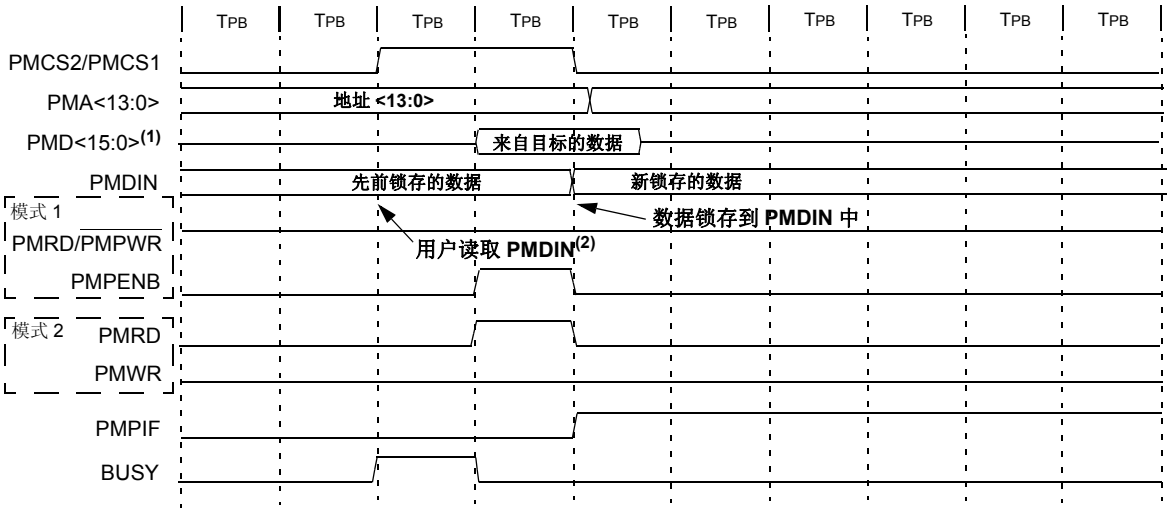
以下时序示例代表了常用的主模式配置选项。这些选项从 8 位数据到 16 位数据、从非复用的地址到完全复用的地址，以及有或无等待状态。为了方便说明，所有控制信号极性均显示为“高电平有效”。

© 2010-2014 Microchip Technology Inc.

13.3.8.1 解复用的地址和数据时序

图 13-14 中的时序图给出了不具有等待状态的读操作的解复用时序 （独立的地址和数据总线）。读操作需要 2 个 TPBCLK 外设总线时钟周期。

图 13-14： 8 位 /16 位读操作， ADRMUX = 00，无等待状态

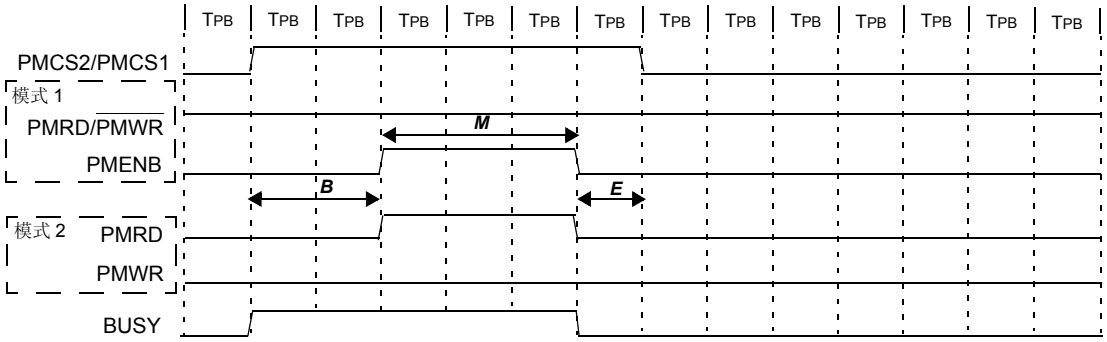


注 1：在 8 位模式下， PMD<15:8> 未实现。

2：从 PMDIN 寄存器获取的读取数据实际上是来自先前读操作的值。

在图 13-15 中给出的具有等待状态的时序图中，读操作需要 6 个 TPBCLK 外设总线时钟周期。

图 13-15： 8 位 /16 位读操作， ADRMUX = 00，使能等待状态



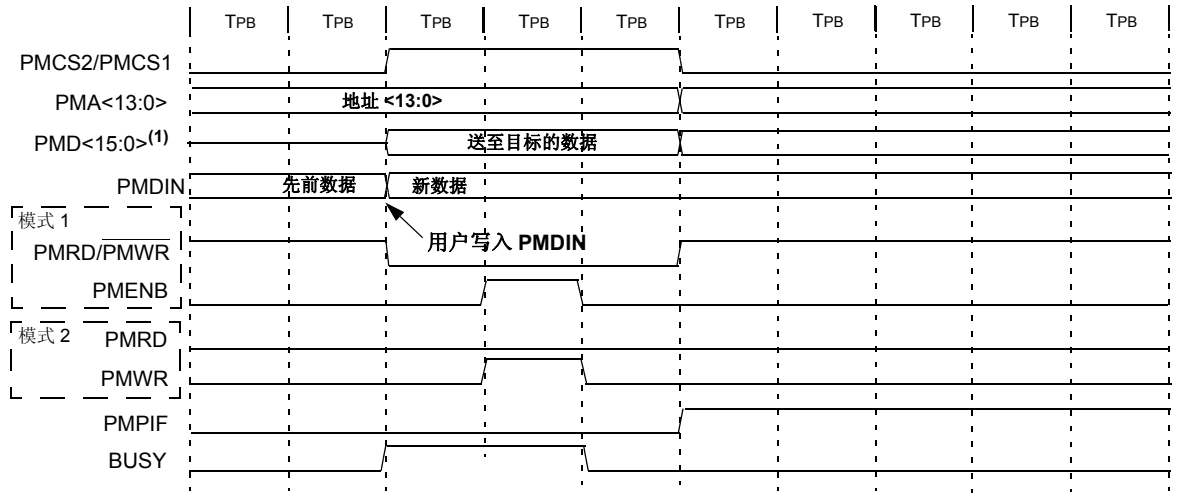
图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （1 个等待状态）

注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略 （B 强制设为 1 个 TPBCLK）， WAITE 也会被忽略 （E 强制设为 0 个 TPBCLK）。

图 13-16 中的时序图给出了不具有等待状态的写操作的解复用时序 （独立的地址和数据总线）。写操作需要 3 个 TPBCLK 外设总线时钟周期。

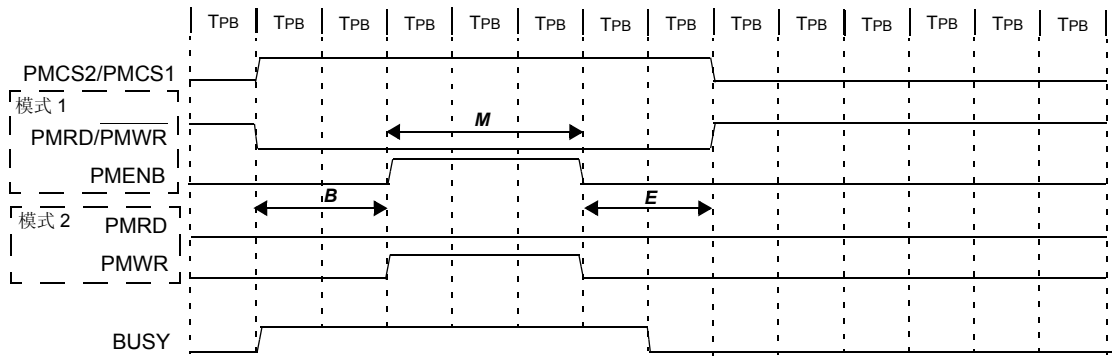
图 13-16： 8 位 /16 位写操作， ADRMUX = 00，无等待状态



注 1： 在 8 位模式下， PMD<15:8> 未实现。

在图 13-17 中给出的具有等待状态的时序图中，写操作需要 7 个 TPBCLK 外设总线时钟周期。

图 13-17： 8 位 /16 位写操作， ADRMUX = 00，使能等待状态



图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （2 个等待状态）

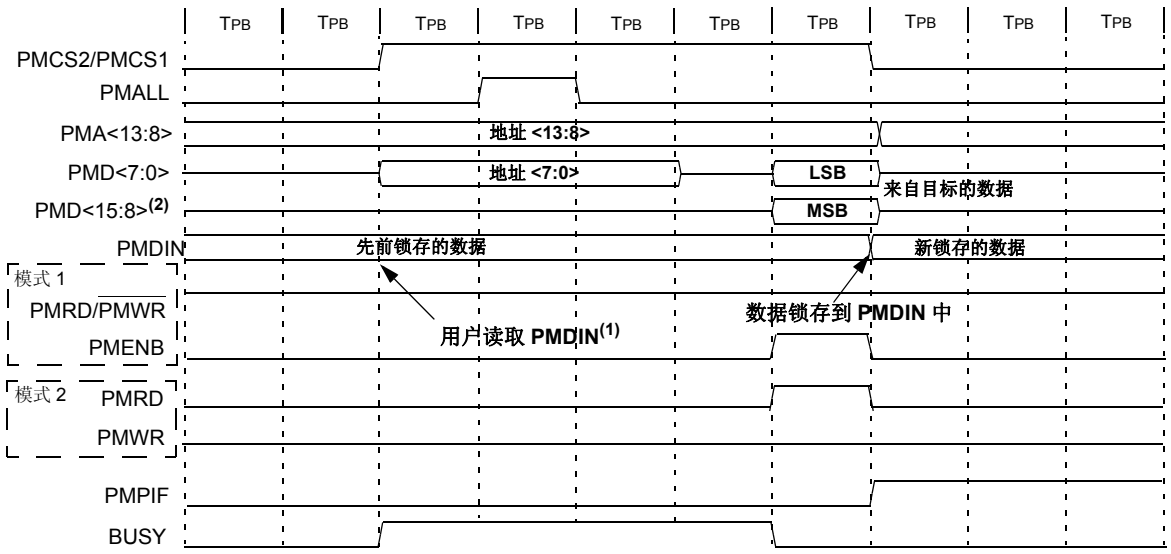
注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略 （B 强制设为 1 个 TPBCLK），WAITE 也会被忽略 （E 强制设为 1 个 TPBCLK）。

© 2010-2014 Microchip Technology Inc.

13.3.8.2 部分复用的地址和数据时序

图 13-18 中显示的时序图给出了不具有等待状态的读操作的部分复用时序（地址位 <7:0> 与数据总线 PMD<7:0> 复用）。读操作需要 5 个 TPBCLK 外设总线时钟周期。

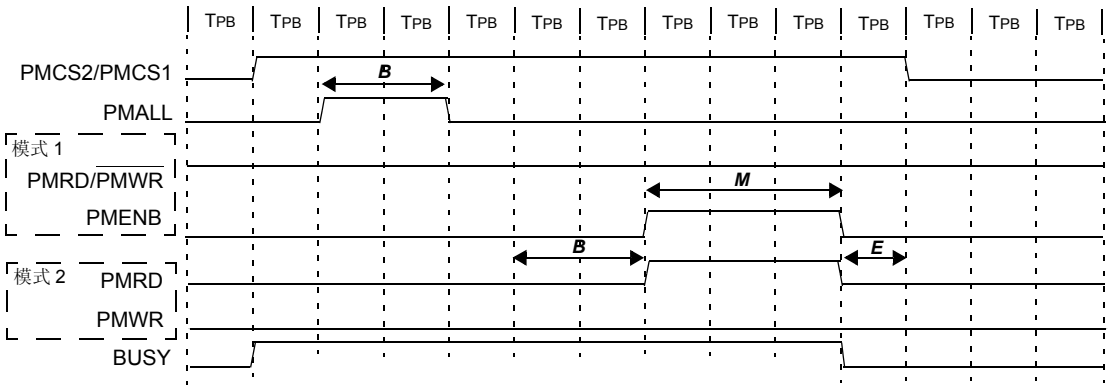
图 13-18： 8 位 /16 位读操作， ADRMUX = 01，无等待状态



注 1： 从 PMDIN 寄存器获取的读取数据实际上是来自先前读操作的值。
2： 在 8 位模式下， PMD<15:8> 未实现。

在图 13-19 中给出的具有等待状态的时序图中，读操作需要 10 个 TPBCLK 外设总线时钟周期。

图 13-19： 8 位 /16 位读操作， ADRMUX = 01，使能等待状态



图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （1 个等待状态）

注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略 （B 强制设为 1 个 TPBCLK）， WAITE 也会被忽略 （E 强制设为 0 个 TPBCLK）。

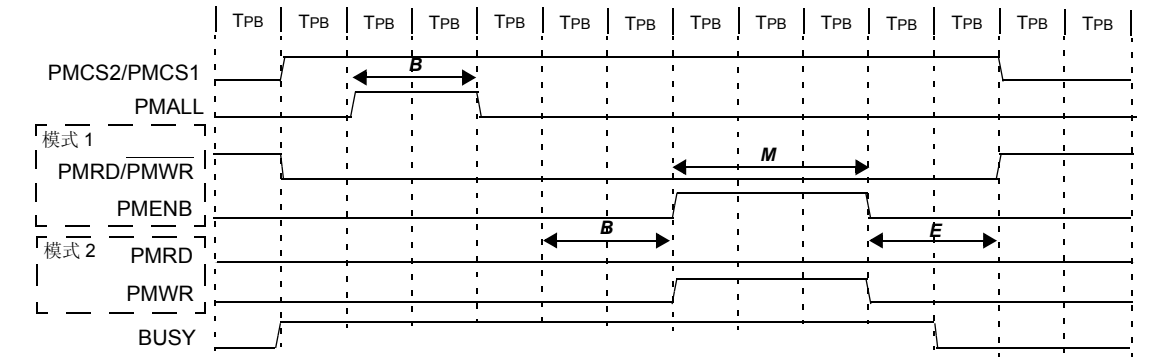
图 13-20 中显示的时序图给出了不具有等待状态的写操作的部分复用时序（地址位 <7:0> 与数据总线 PMD<7:0> 复用）。写操作需要 6 个 TPBCLK 外设总线时钟周期。

图 13-20： 8 位 /16 位写操作， ADRMUX = 01，无等待状态

注 1：在写操作期间， PMWR 信号之后会有 1 个 TPBCLK 保持周期。
2：在 8 位模式下， PMD<15:8> 未实现。

在图 13-21 中给出的具有等待状态的时序图中，写操作需要 11 个 TPBCLK 外设总线时钟周期。

图 13-21： 8 位 /16 位写操作， ADRMUX = 01，使能等待状态



图注：
B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （1 个等待状态）

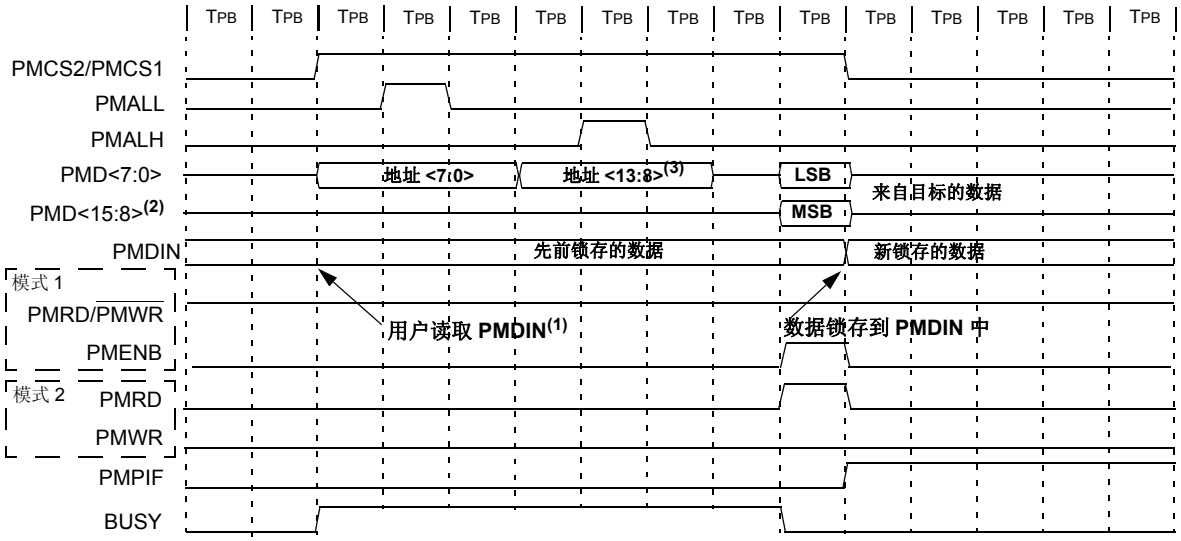
注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略（B 强制设为 1 个 TPBCLK）， WAITE 也会被忽略 （E 强制设为 1 个 TPBCLK）。

© 2010-2014 Microchip Technology Inc.

13.3.8.3 完全复用的 （8 位总线）地址和数据时序

图 13-22 中的时序图给出了不具有等待状态的读操作的完全复用时序 （地址位 <15:0> 与数据总线 PMD<7:0> 复用）。读操作需要 8 个 TPBCLK 外设总线时钟周期。

图 13-22： 8 位 /16 位读操作， ADRMUX = 10，无等待状态



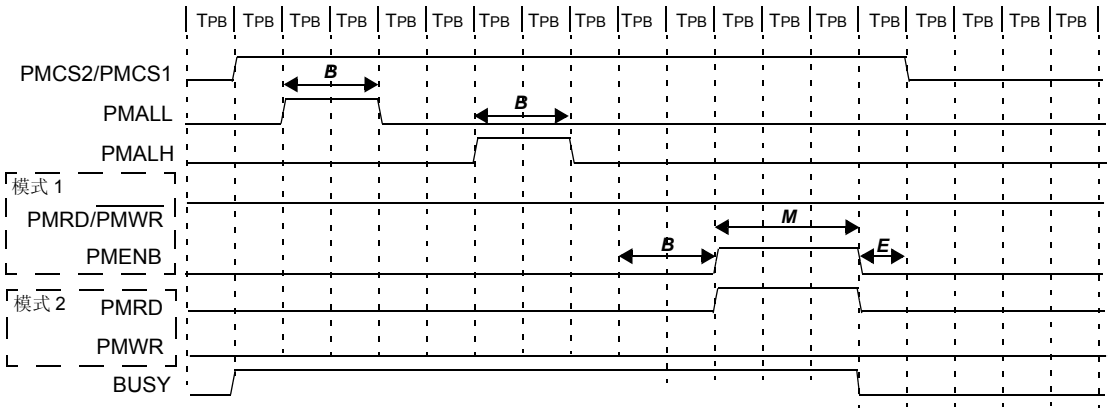
注 1：从 PMDIN 寄存器获取的读取数据实际上是来自先前读操作的值。

2：在 8 位模式下， PMD<15:8> 未实现。

3：如果 PMCS2 和 / 或 PMCS1 使能为片选，则 PMADDR 地址位 A15 和 A14 会被强制设为 0。

在图 13-23 中给出的具有等待状态的时序图中，读操作需要 14 个 TPBCLK 外设总线时钟周期。

图 13-23： 8 位 /16 位读操作， ADRMUX = 10，使能等待状态



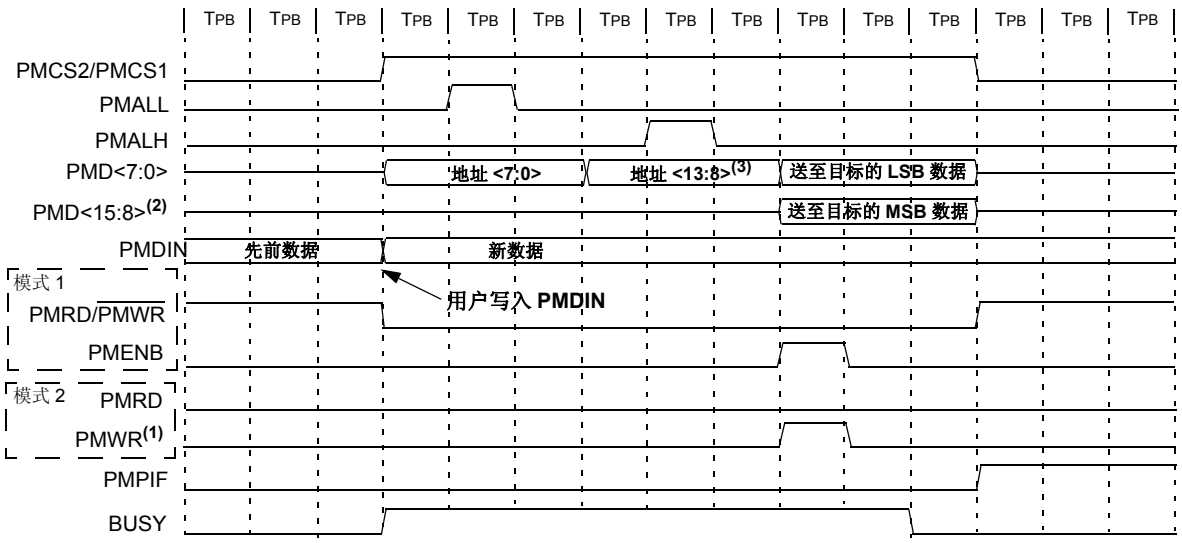
图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （1 个等待状态）

注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略 （B 强制设为 1 个 TPBCLK）， WAITE 也会被忽略 （E 强制设为 0 个 TPBCLK）。

图 13-24 中显示的时序图给出了不具有等待状态的写操作的完全复用时序 （地址位 <15:0> 与数据总线 PMD<7:0> 复用）。写操作需要 9 个 TPBCLK 外设总线时钟周期。

图 13-24： 8 位 /16 位写操作， ADRMUX = 10，无等待状态



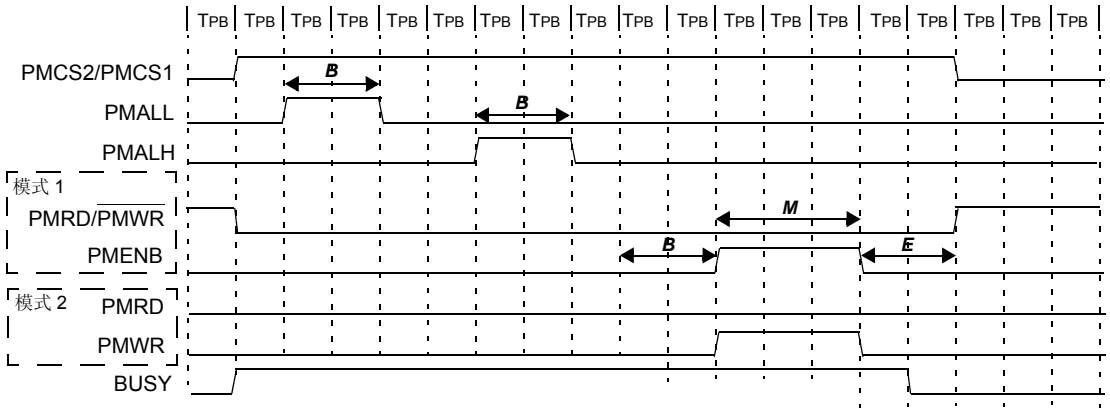
注 1：在写操作期间， PMWR 信号之后会有 1 个 TPBCLK 保持周期。

2：在 8 位模式下， PMD<15:8> 未实现。

3：如果 PMCS2 和 / 或 PMCS1 使能为片选，则 PMADDR 地址位 A15 和 A14 会被强制设为 0。

在图 13-25 中给出的具有等待状态的时序图中，写操作需要 15 个 TPBCLK 外设总线时钟周期。

图 13-25： 8 位 /16 位写操作， ADRMUX = 10，使能等待状态



图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （2 个等待状态）

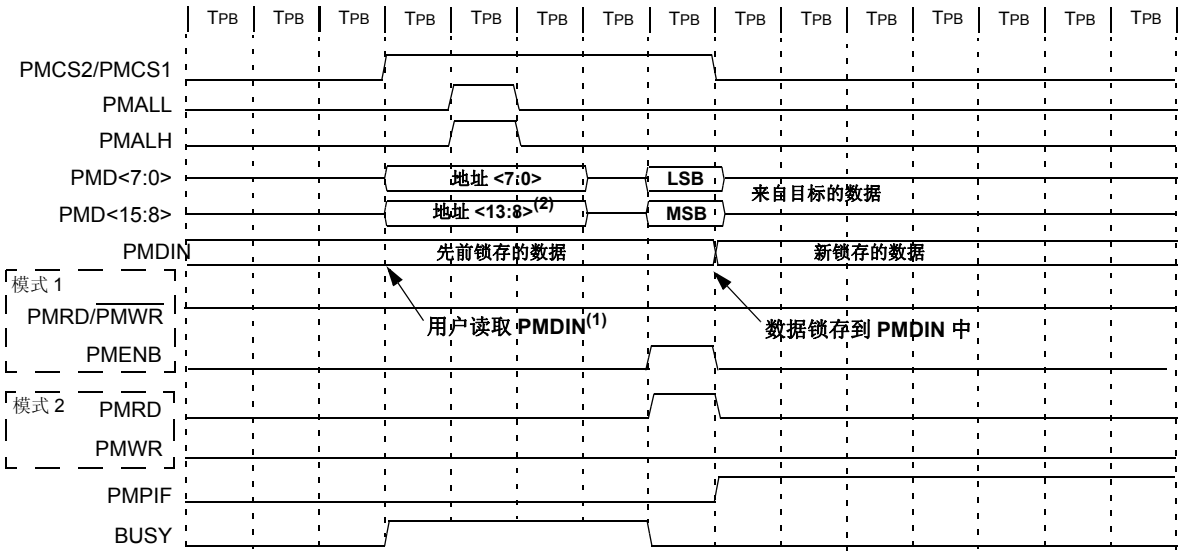
注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略（B 强制设为 1 个 TPBCLK）， WAITE 也会被忽略 （E 强制设为 1 个 TPBCLK）。

© 2010-2014 Microchip Technology Inc.

13.3.8.4 完全复用的 （16 位总线）地址和数据时序

图 13-26 中显示的时序图给出了不具有等待状态的读操作的完全复用时序 （地址位 <15:0> 与数据总线 PMD<15:0> 复用）。读操作需要 5 个 TPBCLK 外设总线时钟周期。

图 13-26： 16 位读操作， ADRMUX = 11，无等待状态

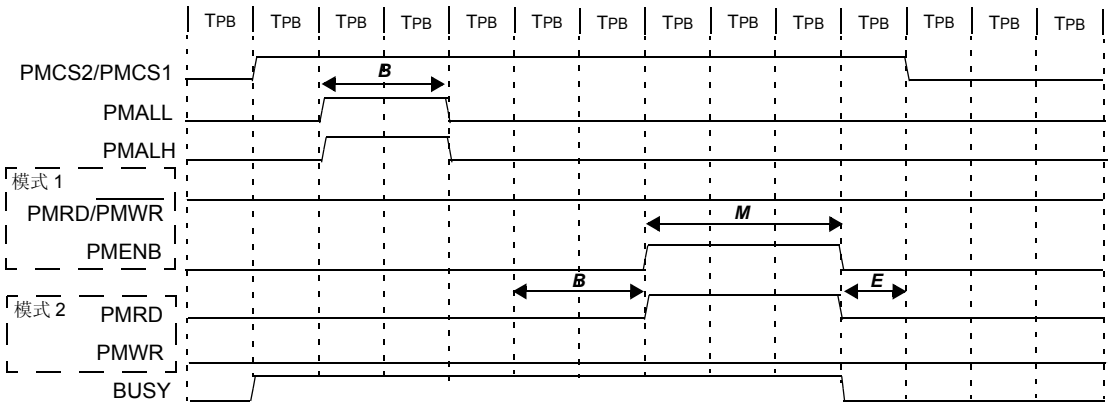


注 1：从 PMDIN 寄存器获取的读取数据实际上是来自先前读操作的值。

2：如果 PMCS2 和 / 或 PMCS1 使能为片选，则 PMADDR 地址位 A15 和 A14 会被强制设为 0。

在图 13-27 中给出的具有等待状态的时序图中，读操作需要 10 个 TPBCLK 外设总线时钟周期。

图 13-27： 16 位读操作， ADRMUX = 11，使能等待状态



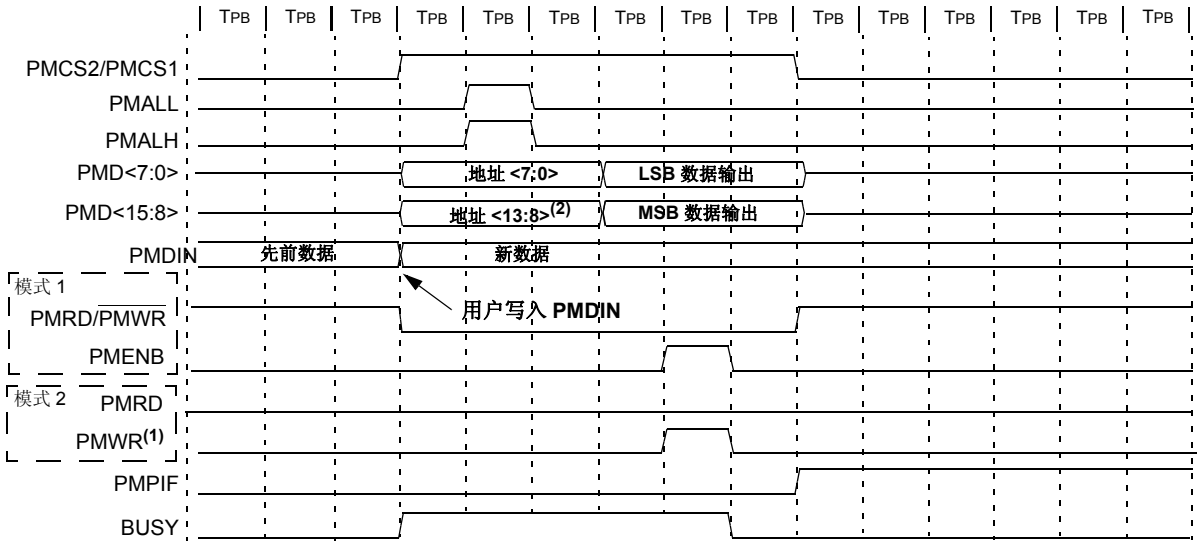
图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （1 个等待状态）

注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK，WAITB 会被忽略（B 强制设为 1 个 TPBCLK），WAITE 也会被忽略 （E 强制设为 0 个 TPBCLK）。

图 13-28 中显示的时序图给出了不具有等待状态的写操作的完全复用时序 （地址位 <15:0> 与数据总线 PMD<15:0> 复用）。读操作需要 6 个 TPBCLK 外设总线时钟周期。

图 13-28： 16 位写操作， ADRMUX = 11，无等待状态

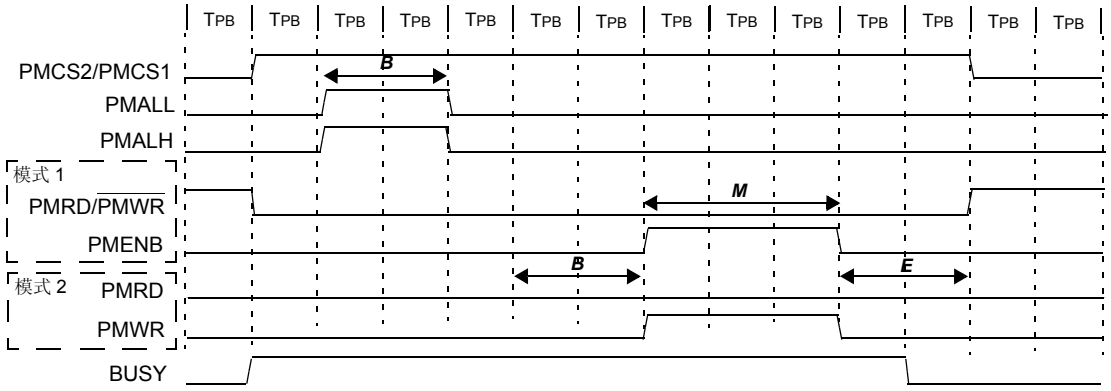


注 1：在写操作期间， PMWR 信号之后会有 1 个 TPB 保持周期。

2：如果 PMCS2 和 / 或 PMCS1 使能为片选，则 PMADDR 地址位 A15 和 A14 会被强制设为 0。

在图 13-29 中给出的具有等待状态的时序图中，写操作需要 11 个 TPBCLK 外设总线时钟周期。

图 13-29： 16 位写操作， ADRMUX = 11，使能等待状态



图注：

B = WAITB<1:0> = 01 （2 个等待状态）
M = WAITM<3:0> = 0010 （3 个等待状态）
E = WAITE<1:0> = 01 （2 个等待状态）

注： 如果 WAITM<3:0> = 0000，则 M 强制设为 1 个 TPBCLK， WAITB 会被忽略 （B 强制设为 1 个 TPBCLK），WAITE 也会被忽略 （E 强制设为 1 个 TPBCLK）。

© 2010-2014 Microchip Technology Inc.

13.4 从工作模式

PMP 模块提供了 8 位 （字节）传统并行从端口 （Parallel Slave Port， PSP）功能，以及新的缓冲从模式和可寻址从模式。

表 13-7： 从模式选择

从模式	PMMODE<9:8> 位 （MODE<1:0>）	PMMODE<12:11> 位 （INCM<1:0>）
可寻址	01	x = 无关位
传统	00	x = 无关位
缓冲	00	11

所有从模式都只支持 8 位数据，选择其中任意模式时，模块控制引脚均自动成为专用引脚。用户应用程序只需配置 PMCS1、 PMRD 和 PMWR 信号的极性。

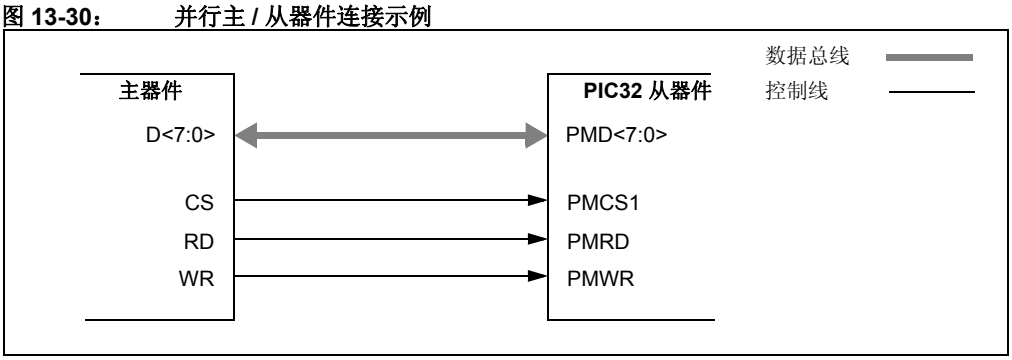
表 13-8： 从模式引脚极性配置

控制引脚	PMCON 控制位	高电平有效选择	低电平有效选择
PMRD	RDSP	1	0
PMWR	WRSP	1	0
PMCS1	CS1P	1	0

13.4.1 传统从端口模式

在 8 位 PMP 传统从模式下，模块使用控制位 MODE<1:0>（PMMODE<9:8>）= 00 配置为 PSP。在该模式下，外部器件 （如其他单片机或微处理器）可以通过 8 位数据总线 （PMD<7:0>）、读 （PMRD）、写 （PMWR）和片选 （PMCS1）输入对数据进行异步读写。

图 13-30： 并行主 / 从器件连接示例



13.4.1.1 初始化步骤

以下从模式初始化步骤可以正确准备 PMP 端口，以便与外部器件进行通信。

1. 清零 ON 控制位 （PMCON<15> = 0）以禁止 PMP 模块。
2. 通过设置 MODE<1:0> 位 （PMMODE<9:8>） = 00 选择传统模式。
3. 选择片选引脚 CS1P （PMCON<3>）的极性。
4. 选择控制引脚 WRSP （PMCON<1>）和 RDSP （PMCON<0>）的极性。
5. 如果使用了中断：
   a) 清零中断标志位 PMPIF （IFS1<2>） = 0。
   b) 配置 PMP 中断优先级位 PMPIP<2:0> （IPC7<4:2>）和中断子优先级位 PMPIS （IPC7<1:0>）。
   c) 通过设置中断允许位 PMPIE （IEC1<2>） = 1 允许 PMP 中断。
6. 将 ON 控制位设为 1 以使能 PMP 模块。

例 13-3： 传统并行从端口的初始化 （示例代码）

```
/*
   Example configuration for Legacy Slave mode
*/
   IEC1CLR  = 0x0004; // Disable PMP interrupt in case it is already enabled
   PMCON    = 0x0008; // Stop and Configure PMCON register for Legacy mode
   PMMODE   = 0x0000; // Configure PMMODE register
   IPC7SET  = 0x001C; // Set priority level = 7 and
   IPC7SET  = 0x0003; // Set subpriority level = 3
                      // Could have also done this in single
                      // operation by assigning IPC7SET = 0x001F
   IFS1CLR  = 0x0004; // Clear the PMP interrupt status flag
   IEC1SET  = 0x0004; // Enable PMP interrupts
   PMCONSET = 0x8000; // Enable PMP module
```

13.4.1.2 写从端口

当片选有效并产生写选通时，总线引脚 PMD<7:0> 上的数据被捕捉到 PMDIN 寄存器的低 8 位（PMDIN<7:0>）。 PMPIF （中断标志位）会在写选通期间置 1。 IB0F 位会一直保持置 1，直到用户应用程序读取 PMDIN 寄存器为止。如果在 IB0F = 1 时发生写操作，则写入数据会被忽略，并且会产生溢出条件 IB0V = 1。请参见**第 13.4.4 节 “从模式读 / 写时序图”**中的时序图。

13.4.1.3 读从端口

当片选有效并产生读选通时，来自 PMDOUT 寄存器低 8 位 （PMDOUT<7:0>）的数据被送到数据总线引脚 PMD<7:0> 并由主器件读取。PMPIF（中断标志位）会在读选通期间置 1。OB0E 位会一直保持置 1，直到用户应用程序写入 PMDOUT 寄存器为止。如果在 OB0E = 1 时发生读操作，则读取数据将与先前读取数据相同，并且会产生下溢条件 OBUF = 1。请参见**第 13.4.4 节 “从模式读 / 写时序图”**中的时序图。

13.4.1.4 传统模式中断操作

在 PMP 传统从模式下， PMPIF 位在每次读或写选通时置 1。如果使用了中断，则用户应用程序会转到中断服务程序（Interrupt Service Routine，ISR），在其中可以通过检查 IBF 和 OBE 状态位确定缓冲区是否已满或为空。如果不使用中断，则用户应用程序应先等待 PMPIF 置 1，然后再通过查询 IBF 和 OBE 状态位来确定缓冲区是否已满或为空。

> **注：** 在 PMP 的持久性中断实现期间，中断在 WR 信号下降沿产生，WR 信号极性配置为高电平有效。在 PMP 的非持久性中断实现期间，中断在 WR 信号上升沿产生，WR 信号极性配置为高电平有效。固件应先通过查询 IBF 或 IBnF 位来确保数据有效，然后再尝试从 PMP 模块读取数据。

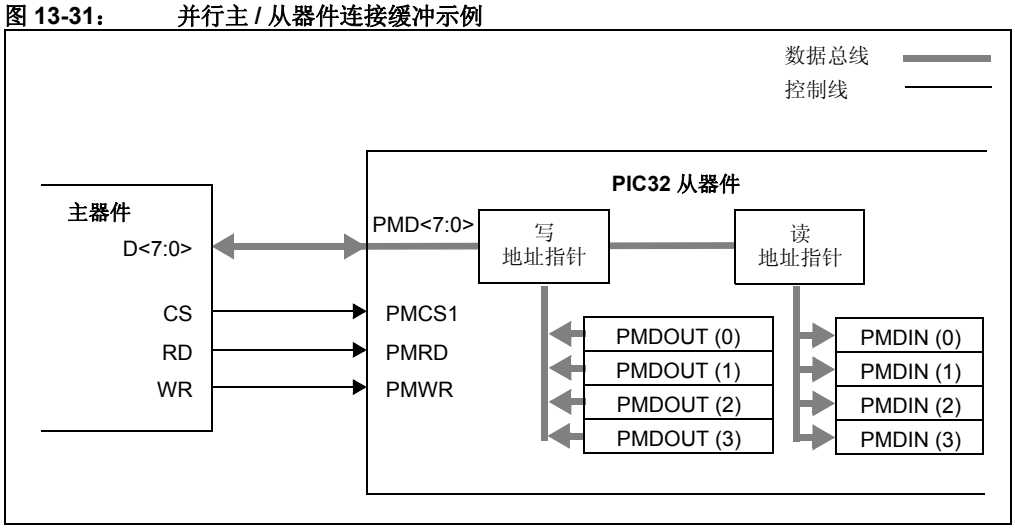
13.4.2 缓冲并行从端口模式

8 位缓冲并行从端口模式在功能上等效于传统并行从端口模式，但有一点区别：即它实现了 4 级深的读写缓冲区。缓冲从模式通过设置 MODE<1:0> 位（PMMODE<9:8>）= 00 和 INCM<1:0> 位 （PMMODE<12:11>） = 11 来使能。

当缓冲模式有效时，模块将 PMDIN 寄存器用作写缓冲区，将 PMDOUT 寄存器用作读缓冲区。每个寄存器都分为 4 个 8 位缓冲寄存器， PMDOUT 中为 4 个读缓冲区， PMDIN 中为 4 个写缓冲区。缓冲区从 0 至 3 进行编号，从低字节 <7:0> 开始，向上直到的高字节 <31:24>。

© 2010-2014 Microchip Technology Inc.

图 13-31： 并行主 / 从器件连接缓冲示例



13.4.2.1 初始化步骤

以下缓冲从模式初始化步骤可以正确准备 PMP 端口，以便与外部器件进行通信。

1. 清零 ON 控制位 （PMCON<15> = 0）以禁止 PMP 模块。
2. 通过设置 MODE<1:0> 位 （PMMODE<9:8>） = 00 选择传统模式。
3. 通过设置 INCM<1:0> 位 （PMMODE<12:11>） = 11 选择缓冲模式。
4. 选择片选 CS1P （PMCON<3>）的极性。
5. 选择控制引脚 WRSP （PMCON<1>）和 RDSP （PMCON<0>）的极性。
6. 如果使用了中断：
   a) 清零中断标志位 PMPIF （IFS1<2>）。
   b) 在 IPC7 中配置中断优先级和子优先级。
   c) 将中断允许位 PMPIE （IEC1<2>）置 1。
7. 将 ON 控制位设为 1 以使能 PMP 模块。

例 13-4： 缓冲并行从端口的初始化 （示例代码）

```
/*  Example configuration for Buffered Slave mode */

    IEC1CLR = 0x0004   // Disable PMP interrupt in case it is already enabled
    PMCON = 0x0000     // Stop and configure PMCON register for Buffered mode
    PMMODE = 0x1800    // Configure PMMODE register
    IPC7SET = 0x001C;  // Set priority level = 7 and
    IPC7SET = 0x0003;  // Set subpriority level = 3
                       // Could have also done this in single operation by
                       // by assigning IPC7SET = 0x001F
    IFS1CLR = 0x0004;  // Clear the PMP interrupt status flag
    IEC1SET = 0x0004;  // Enable PMP interrupts
    PMCONSET = 0x8000; // Enable the PMP module
```

13.4.2.2 读从端口

对于读操作，每次读选通后，字节按顺序送出，从缓冲区 0 （PMDOUT<7:0>）开始，到缓冲区 3 （PMDOUT<31:24>）结束。模块通过内部指针跟踪要读取的缓冲区。

每个缓冲区在 PMSTAT 寄存器中都有一个对应的读状态位 OBnE。当缓冲区包含尚未写到总线的数据时，该位被清零；当数据写入总线时则被置 1。如果当前所读取的缓冲单元为空，则产生缓冲区下溢，并且缓冲区下溢标志位 OBUF 被置 1。如果所有 4 个 OBnE 状态位都被置 1，则输出缓冲区空标志 OBE 也将被置 1。请参见第 13.4.4 节 “从模式读 / 写时序图” 中的时序图。

13.4.2.3 写从端口

对于写操作，数据按顺序存储，从缓冲区 0（PMDIN<7:0>）开始，到缓冲区 3（PMDIN<31:24>）结束。与读操作一样，模块内部指针保持指向下一次要写的缓冲区。

输入缓冲区具有自身的状态位 IBnF。当缓冲区包含未读的输入数据时，该位置 1；当数据已读取时，该位清零。标志位在写选通时置 1。如果相关的 IBnF 位置 1 时对缓冲区执行写操作，则缓冲区溢出标志 IBOV 置 1；缓冲区中所有输入数据将丢失。如果所有 4 个 IBnF 标志都被置 1，则输入缓冲区满标志 IBF 被置 1。请参见第 13.4.4 节 “从模式读 / 写时序图”中的时序图。

13.4.2.4 缓冲模式中断操作

在缓冲从模式下，可以将模块配置为在每个读或写选通 （IRQM<1:0> 位 （PMMODE<14:13>） = 01）时产生中断。也可以配置为在对读缓冲区 3 执行读操作或对写缓冲区 3 执行写操作（IRQM<1:0> = 10）时产生中断，这实质上是在每 4 个读或写选通时产生一次中断。每输入第 4 个字节数据产生中断时，应该读所有的输入缓冲寄存器来清零 IBnF 标志。如果不清零这些标志，则可能会导致产生溢出条件。

如果使用了中断，则用户应用程序会转到中断服务程序（ISR），在其中可以通过检查 IBF 和 OBE 状态位确定缓冲区是否已满或为空。如果不使用中断，则用户应用程序应先等待 PMPIF 置 1，然后再通过查询 IBF 和 OBE 状态位来确定缓冲区是否已满或为空。

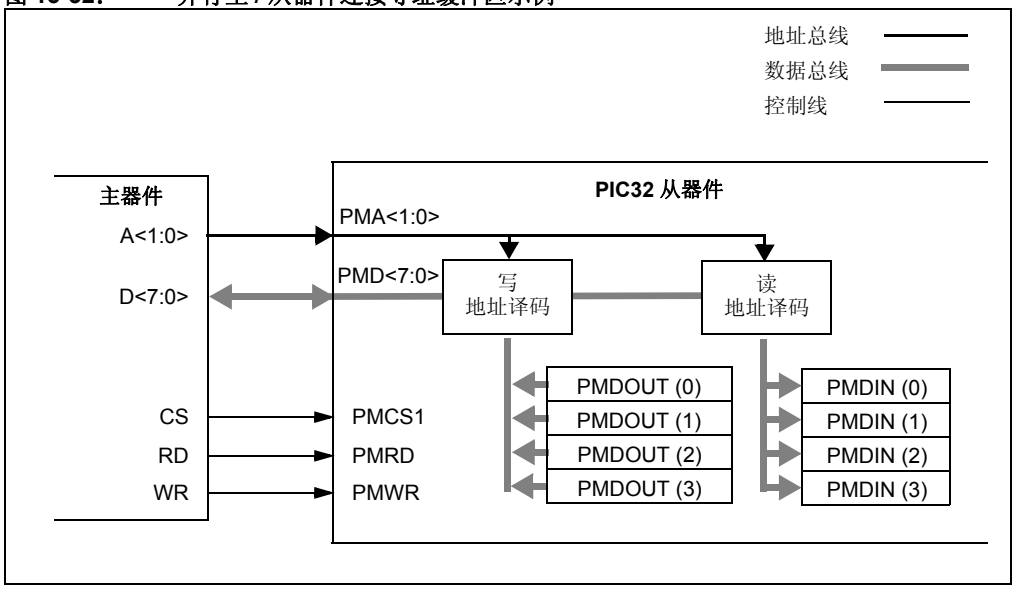
13.4.3 可寻址缓冲并行从端口模式

在 8 位可寻址缓冲并行从端口模式下，模块配置为具有两个额外的输入 PMA<1:0>。这使 4 字节的缓冲空间可作为固定的读写缓冲区对进行直接寻址。与缓冲传统模式一样，数据从寄存器 PMDOUT 输出，输入到寄存器 PMDIN。表 13-9 给出了输入和输出寄存器的传入地址的地址解析方式。

表 13-9： 从模式缓冲区寻址

PMA<1:0>	输出寄存器 （缓冲区）	输入寄存器 （缓冲区）
11	PMDOUT<31:24> (3)	PMDIN<31:24> (3)
10	PMDOUT<23:16> (2)	PMDIN<23:16> (2)
01	PMDOUT<15:8> (1)	PMDIN<15:8> (1)
00	PMDOUT<7:0> (0)	PMDIN<7:0> (0)

图 13-32： 并行主 / 从器件连接寻址缓冲区示例



© 2010-2014 Microchip Technology Inc.

13.4.3.1 初始化步骤

以下可寻址缓冲从模式初始化步骤可以正确准备 PMP 端口，以便与外部器件进行通信。

1. 清零 ON 控制位 （PMCON<15> = 0）以禁止 PMP 模块。
2. 通过设置 MODE<1:0> 位 （PMMODE<9:8>） = 00 选择传统模式。
3. 选择片选 CS1P （PMCON<3>）的极性。
4. 选择控制引脚 WRSP （PMCON<1>）和 RDSP （PMCON<0>）的极性。
5. 如果使用了中断：
   a) 清零中断标志位 PMPIF （IFS1<2>）。
   b) 在 IPC7 中配置中断优先级和子优先级。
   c) 将中断允许位 PMPIE （IEC1<2>）置 1。
6. 将 ON 控制位设为 1 以使能 PMP 模块。

例 13-5： 可寻址并行从端口的初始化 （示例代码）

```
/*  Example configuration for Addressable Slave mode */

    IEC1CLR = 0x0004   // Disable PMP interrupt in case it is already enabled
    PMCON = 0x0000     // Stop and configure PMCON register for Address mode
    PMMODE = 0x0100    // Configure PMMODE register
    IPC7SET = 0x001C;  // Set priority level = 7 and
    IPC7SET = 0x0003;  // Set subpriority level = 3
                       // Could have also done this in single operation
                       // by assigning IPC7SET = 0x001F
    IFS1CLR = 0x0004;  // Clear the PMP interrupt status flag
    IEC1SET = 0x0004;  // Enable PMP interrupts
    PMCONSET = 0x8000; // Enable the PMP module
```

13.4.3.2 读从端口

当片选有效并产生读选通时，来自 4 个输出 8 位缓冲区之一的数据被送到 PMD<7:0>。读取字节的选择取决于 PMA<1:0> 中的 2 位地址。表 13-9 给出了对应的输出寄存器及其相关地址。当读输出缓冲区时，对应的 OBnE 位被置 1。 OBE 标志位在所有缓冲区为空时被置 1。如果所有缓冲区已为空（OBnE = 1），则对该缓冲区的下一次读操作将产生 OBUF 事件。请参见**第 13.4.4 节 “从模式读 / 写时序图”**中的时序图。

13.4.3.3 写从端口

当片选有效并产生写选通（PMCS = 1 且 PMWR = 1）时，来自 PMD<7:0> 的数据被捕捉到 4 个输入缓冲区字节之一。写入字节的选择取决于 ADDR<1:0> 中的 2 位地址。表 13-9 给出了对应的输入寄存器及其相关地址。

当写输入缓冲区时，对应的 IBnF 位被置 1。写完所有缓冲区时， IBF 标志位被置 1。如果某一缓冲区已写入（IBnF = 1），则对该缓冲区的下一次写选通将产生 IBOV 事件，并且字节将被丢弃。请参见**第 13.4.4 节 “从模式读 / 写时序图”**中的时序图。

13.4.3.4 可寻址缓冲模式中断操作

在可寻址从模式下，可以将模块配置为在每个读或写选通（IRQM<1:0> 位（PMMODE<14:13>） = 01）时产生中断。也可以配置为在对读缓冲区 3 执行读操作或对写缓冲区 3 执行写操作（IRQM<1:0> = 10）时产生中断；也就是说，当 PMA<1:0> 为 11 时，只要执行读或写操作，就会产生中断。

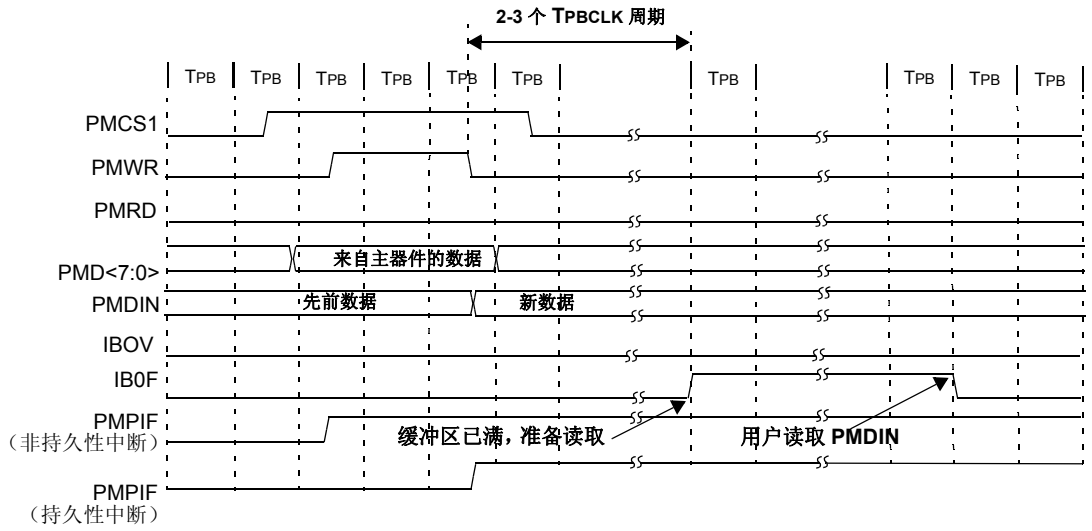
如果使用了中断，则用户应用程序会转到中断服务程序（ISR），在其中可以通过检查 IBF 和 OBE 状态位确定缓冲区是否已满或为空。如果不使用中断，则用户应用程序应先等待 PMPIF 置 1，然后再通过查询 IBF 和 OBE 状态位来确定缓冲区是否已满或为空。

13.4.4 从模式读 / 写时序图

在所有从模式下，外部主器件都与并行从端口连接，并控制读写操作。当外部主器件执行外部读写操作时， PMPIF 位 （IFS1<2>）将在 PMRD 或 PMWR 引脚的有效边沿置 1。

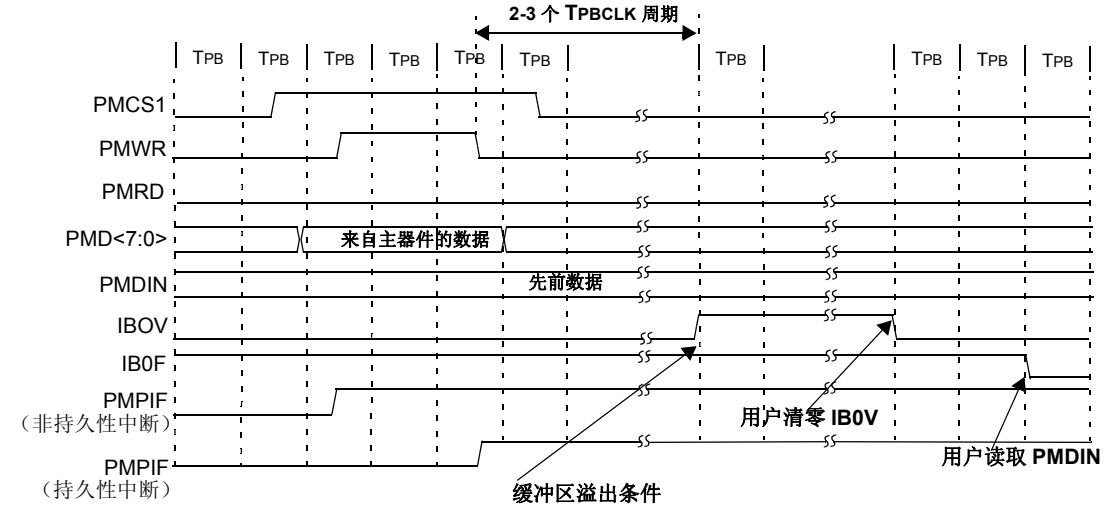
- 对于任意外部写操作，用户应用程序必须先查询 IBOV 或 IB0F 缓冲区状态位，以确保在访问 PMDIN 寄存器之前有足够时间完成写操作。
- 对于任意外部读操作，用户应用程序必须先查询 OBUF 或 OB0E 缓冲区状态位，以确保在访问 PMDOUT 寄存器之前有足够时间完成读操作。

图 13-33： 并行从端口写操作



注： 控制信号极性是可配置的，在该示例中显示为高电平有效。

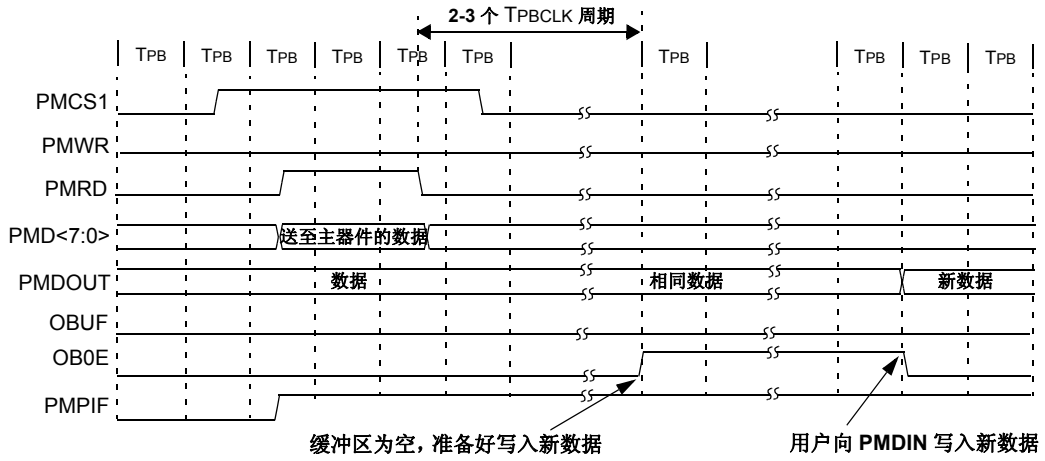
图 13-34： 并行从端口写操作 —— 缓冲区已满，溢出条件



注： 控制信号极性是可配置的，在该示例中显示为高电平有效。

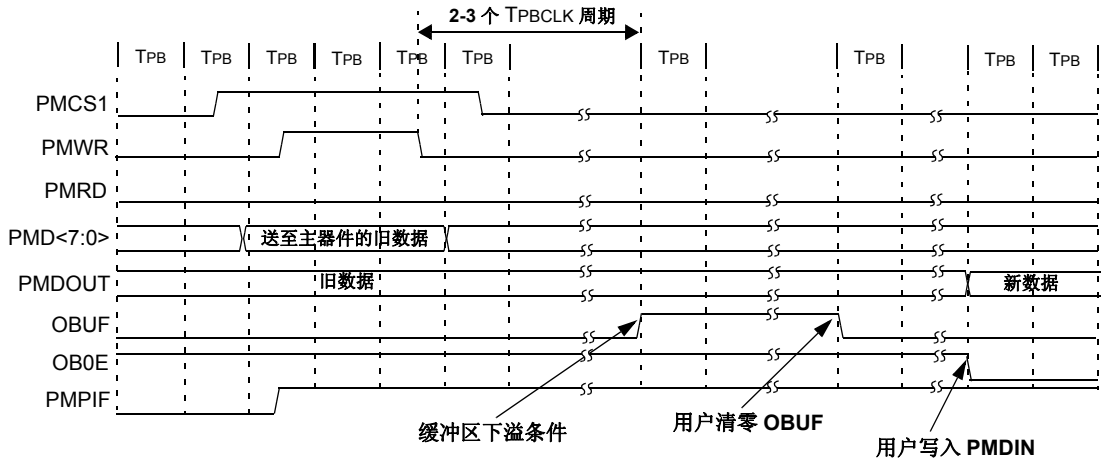
© 2010-2014 Microchip Technology Inc.

图 13-35： 并行从端口读操作



注： 控制信号极性是可配置的，在该示例中显示为高电平有效。

图 13-36： 并行从端口读操作 —— 缓冲区为空，下溢条件



注： 控制信号极性是可配置的，在该示例中显示为高电平有效。

13.5 中断

并行主端口模块能够产生中断，具体取决于选定的工作模式。

- PMP （主）模式：

  在每次完成读或写操作时产生中断
- PSP （传统从）模式：

  在每次读和写字节时产生中断
- PSP （缓冲从）模式：
  - 在每次读和写字节时产生中断
  - 在缓冲区 3 （PMDOUT<31:24>）读或写字节时产生中断
- EPSP （增强型可寻址从）模式：
  - 在每次读和写字节时产生中断
  - 在缓冲区 3 （PMDOUT<31:24>）读或写字节时产生中断， PMA<1:0> = 11

PMPIF 位必须用软件清零。

PMP 模块通过 PMP 中断允许位 PMPIE 使能为中断源。此外，还必须配置中断优先级位（PMPIP<2:0>）和中断子优先级位 （PMPIS<1:0>）。更多详细信息，请参见**第 8 章 “中断”**（DS60001108）。

13.5.1 中断配置

PMP 模块具有专用的中断标志位 PMPIF 和相应的中断允许 / 屏蔽位 PMPIE。这些位用于决定中断源和使能 / 禁止各个中断源。

PMPIE 位用于在 PMPIF 位置 1 时，定义向量中断控制器或中断控制器的行为。当 PMPIE 位清零时，中断控制器模块不会为事件产生 CPU 中断。如果 PMPIE 位置 1，则中断控制器模块会在 PMPIF 位置 1 时向 CPU 产生中断 （受以下段落中概述的优先级和子优先级制约）。

处理特定中断的用户软件程序需要负责在服务程序完成之前清零相应的中断标志位。

PMP 模块的优先级可以使用 PMPIP<2:0> 位设置。该优先级定义了中断源将分配到的优先级组。优先级组值的范围为 7 （最高优先级）到 0 （不产生中断）。较高优先级组中的中断会抢占正在处理、但优先级较低的中断。

子优先级位用于设置中断源在优先级组中的优先级。子优先级 PMPIS<1:0> 值的范围为 3（最高优先级）到 0 （最低优先级）。处于相同优先级组，但具有更高子优先级值的中断会抢占子优先级较低、但正在进行的中断。

优先级组和子优先级位让多个中断源可以共用相同的优先级和子优先级。如果在该配置下同时发生若干个中断，则中断源在优先级 / 子优先级组对中的自然顺序将决定所产生的中断。自然优先级基于中断源的向量编号。向量编号越小，中断的自然优先级就越高。在当前中断的中断标志清零之后，所有不按照自然顺序执行的中断会基于优先级、子优先级和自然顺序产生相应的中断。

产生允许的中断之后，CPU 将跳转到为该中断分配的向量处。该中断的向量编号与自然顺序编号相同。然后，CPU 将在向量地址处开始执行代码。该向量地址处的用户代码应执行特定于应用程序的操作、清零 PMPIF 中断标志，然后退出。关于中断和向量地址的更多信息，请参见**第 8 章 “中断”**（DS60001108）。

© 2010-2014 Microchip Technology Inc.

例 13-6： PMP 模块中断初始化代码示例

```
/*  This code example illustrates a PMP interrupt configuration.
    When the PMP interrupt is generated, the CPU will branch to the vector assigned to PMP
    interrupt. */

    // Configure PMP for desired mode of operation
    ...
    // Configure the PMP interrupts
    IPC7SET = 0x0014;      // Set priority level = 5
    IPC7SET = 0x0003;      // Set subpriority level = 3
                           // Could have also done this in single
                           // operation by assigning IPC7SET = 0x0017

    IFS1CLR = 0x0004;      // Clear the PMP interrupt status flag
    IEC1SET = 0x0004;      // Enable PMP interrupts
    PMCONSET = 0x8000;     // Enable the PMP module
```

例 13-7： PMP ISR 代码示例

```
/*  This code example demonstrates a simple Interrupt Service Routine for PMP
    interrupts. The user's code at this vector should perform any application specific
    operations and must clear the PMP interrupt status flag before exiting. */

void __ISR(_PMP_VECTOR, ipl5) PMP_HANDLER(void)
{
    ... perform application specific operations in response to the interrupt

    IFS1CLR = 0x0004;      // Be sure to clear the PMP interrupt status
                           // flag before exiting the service routine.
}
```

注： PMP ISR 代码示例显示的是 MPLAB® C32 C 编译器的特定语法。关于对 ISR 的支持，请参见编译器手册。

13.6 节能和调试模式下的操作

13.6.1 休眠模式下的 PMP 操作

当器件进入休眠模式时，系统时钟被禁止。进入休眠模式产生的结果取决于在调用休眠模式时模块所配置的模式。

13.6.1.1 PMP 操作 —— 在主模式下休眠

如果器件在模块工作于主模式时进入休眠模式，则 PMP 操作将暂停在当前状态，直到恢复时钟执行为止。由于这可能导致意外的控制引脚时序，用户应避免在需要连续使用模块时调用休眠模式。

13.6.1.2 PMP 操作 —— 在从模式下休眠

当模块处于不活动状态，但已使能任何从工作模式时，此时发生的任何读或写操作都可以在不使用单片机时钟的情况下完成。一旦完成操作，模块将根据 IRQM 位的设置发出中断。

如果 PMPIE 位置 1，并且它的优先级大于当前 CPU 优先级，则器件会从休眠或空闲模式唤醒，并执行 PMP 中断服务程序。

如果为 PMP 中断分配的优先级小于或等于当前 CPU 优先级，则不会唤醒 CPU，器件将进入空闲模式。

13.6.2 空闲模式下的 PMP 操作

当器件进入空闲模式时，系统时钟源继续保持工作。 SIDL 位 （PMCON<13>）用于选择在空闲模式下模块是停止还是继续工作。如果 SIDL = 0，则模块将在空闲模式下继续工作。

如果 SIDL = 1，则模块将在单片机进入空闲模式时停止通信，使用的方式与在休眠模式下的方式相同。从模式下的当前事务将完成并发出中断，而主模式下的当前事务将被暂停，直到正常时钟恢复为止。与休眠模式相同，如果需要连续使用模块，则在主模式下使用模块时，应避免空闲模式。

13.7 各种复位的影响

13.7.1 器件复位

在发生器件复位时，所有 PMP 模块寄存器会被强制设为它们的复位状态。

13.7.2 上电复位 （POR）

在发生 POR 时，所有 PMP 模块寄存器会被强制设为它们的复位状态。

13.7.3 看门狗复位

在发生看门狗复位时，所有 PMP 模块寄存器会被强制设为它们的复位状态。

© 2010-2014 Microchip Technology Inc.

13.8 并行主端口应用

本节介绍对于模块的每种复用模式，PMP 模块和外部器件之间的典型接口。此外，还给出了 PMP 模块的一些潜在应用。

注：	PMD<15:0> 数据引脚在 100 或更大引脚数 PIC32 器件上可用。对于所有其他器件，只有引脚 PMD<7:0> 可用。详情请参见具体 PIC32 器件数据手册。

13.8.1 解复用的存储器或外设

图 13-37 给出了解复用模式下与 8 位存储器或可寻址外设连接的图示。该模式不需要任何外部锁存器。

图 13-37： 解复用寻址示例， 8 位数据 （最多 15 位地址）

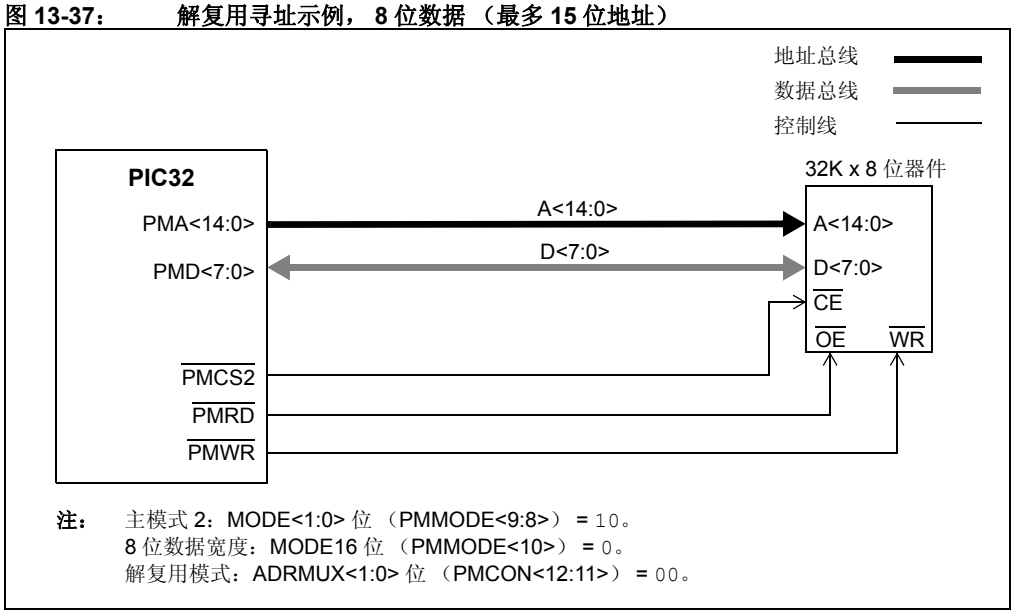
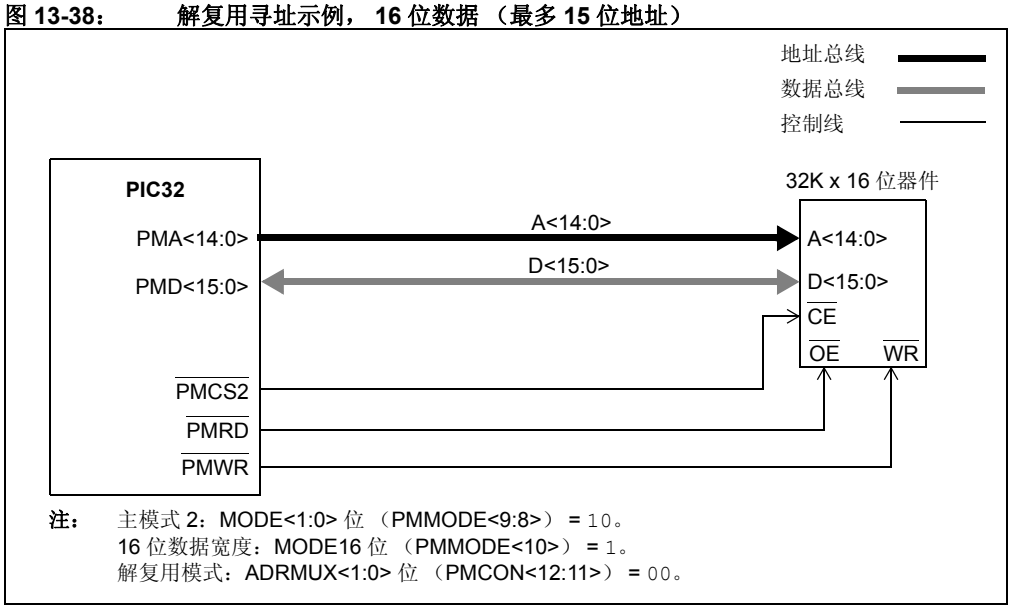


图 13-38 给出了解复用模式下与 16 位存储器或可寻址外设连接的图示。该模式不需要任何外部锁存器。

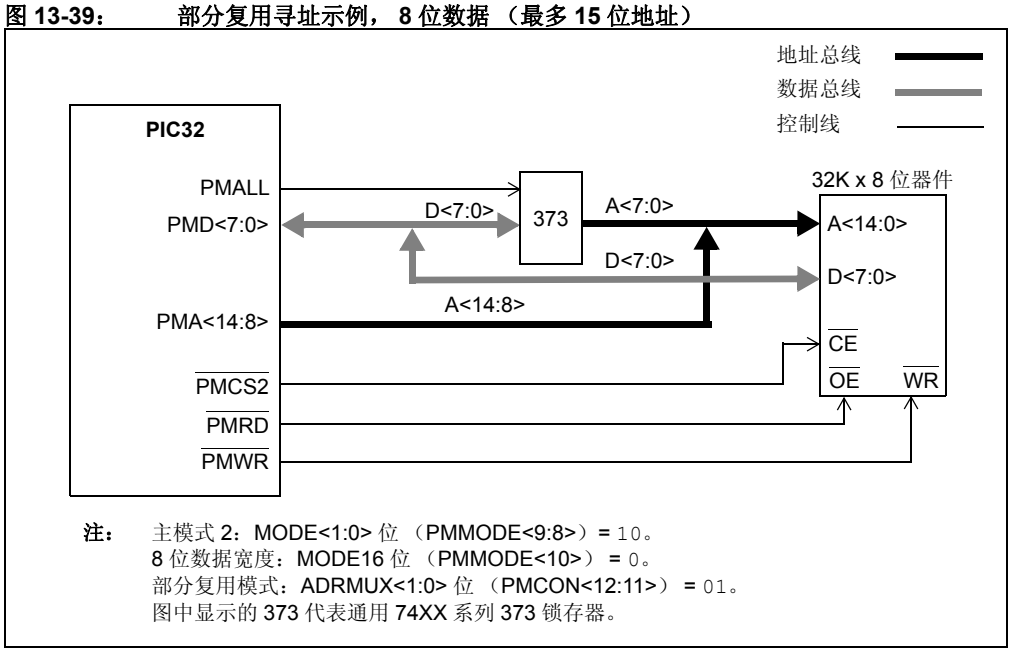
图 13-38： 解复用寻址示例， 16 位数据 （最多 15 位地址）



13.8.2 部分复用的存储器或外设

图 13-39 给出了部分复用模式下与 8 位存储器或其他可寻址外设连接的图示。在该模式下，需要有外部锁存器。因此，从单片机的角度来看，与解复用模式相比，该模式可以节省一些引脚，但代价是牺牲一些性能。地址的低 8 位与 PMD<7:0> 数据总线复用，需要 1 个额外的外设总线时钟周期。

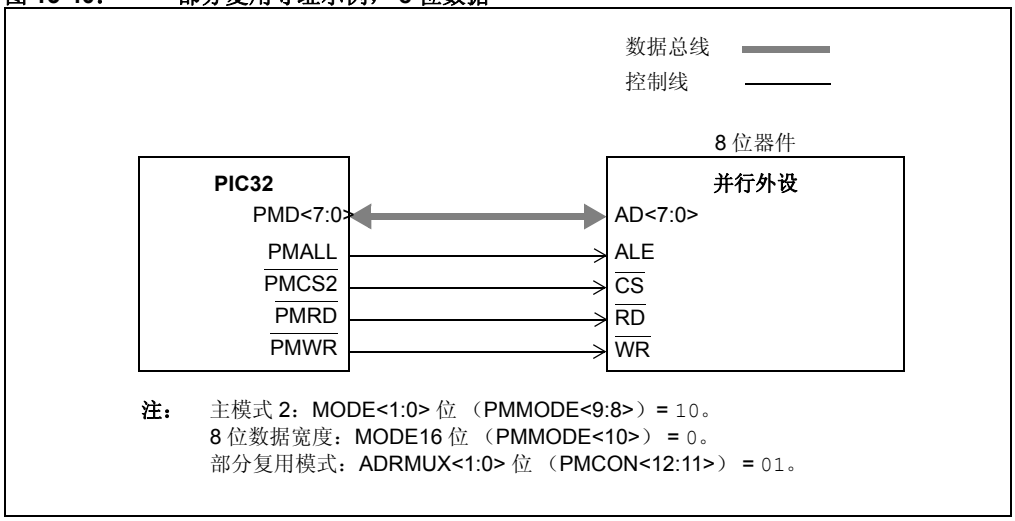
图 13-39： 部分复用寻址示例， 8 位数据 （最多 15 位地址）



注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>）= 10。
8 位数据宽度：MODE16 位 （PMMODE<10>） = 0。
部分复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 01。
图中显示的 373 代表通用 74XX 系列 373 锁存器。

如果外设具有内部锁存器 （如图 13-40 所示），则只需外设即可，无需额外的电路。

图 13-40： 部分复用寻址示例， 8 位数据

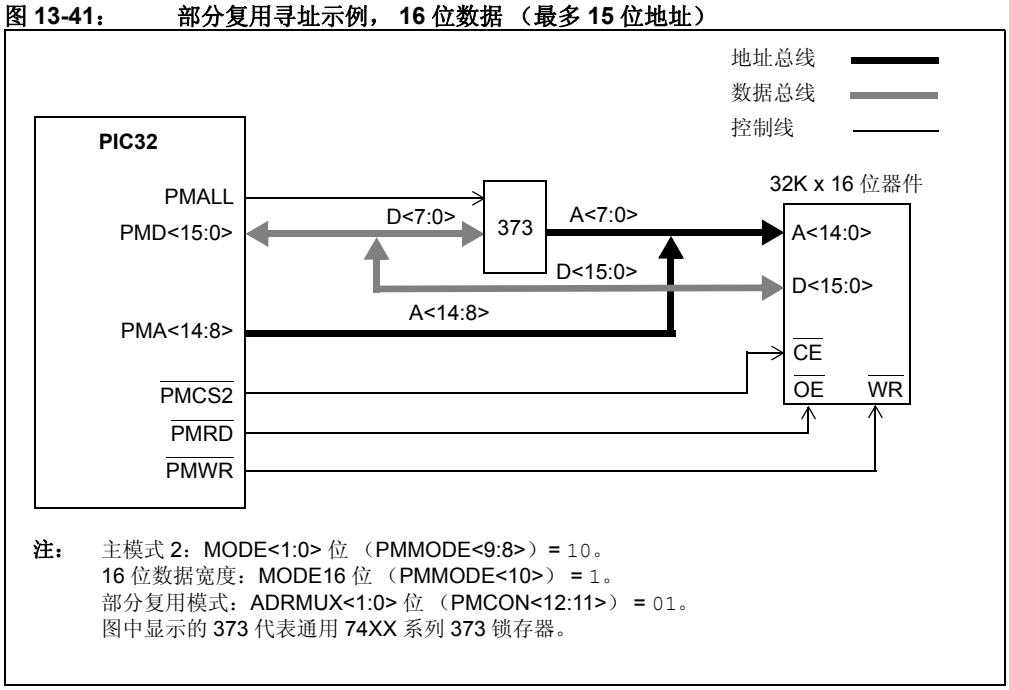


注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>）= 10。
8 位数据宽度：MODE16 位 （PMMODE<10>） = 0。
部分复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 01。

© 2010-2014 Microchip Technology Inc.

图 13-41 给出了部分复用模式下与 16 位存储器或其他可寻址外设连接的图示。在该模式下，需要有外部锁存器。因此，从单片机的角度来看，与解复用模式相比，该模式可以节省一些引脚，但代价是牺牲一些性能。地址的低 8 位与 PMD<7:0> 数据总线复用，需要 1 个额外的外设总线时钟周期。

图 13-41： 部分复用寻址示例， 16 位数据 （最多 15 位地址）



13.8.3 完全复用的存储器或外设

图 13-42 给出了完全 8 位复用模式 （ADRMUX<1:0> 位 （PMCON<12:11>） = 10）下与存储器或其他可寻址外设连接的图示。因此，从单片机的角度来看，与解复用模式或部分复用模式相比，该模式可以实现最佳的引脚节约效果，但代价是牺牲一些性能。地址低 8 位与 PMD<7:0> 数据总线复用，后面跟随地址的高 6 或 7 位 （如果 CS2、 CS1 使能或两者均使能），因此需要 2 个额外的外设总线时钟周期。

图 13-42： 完全复用寻址， 8 位数据 （最多 15 位地址）

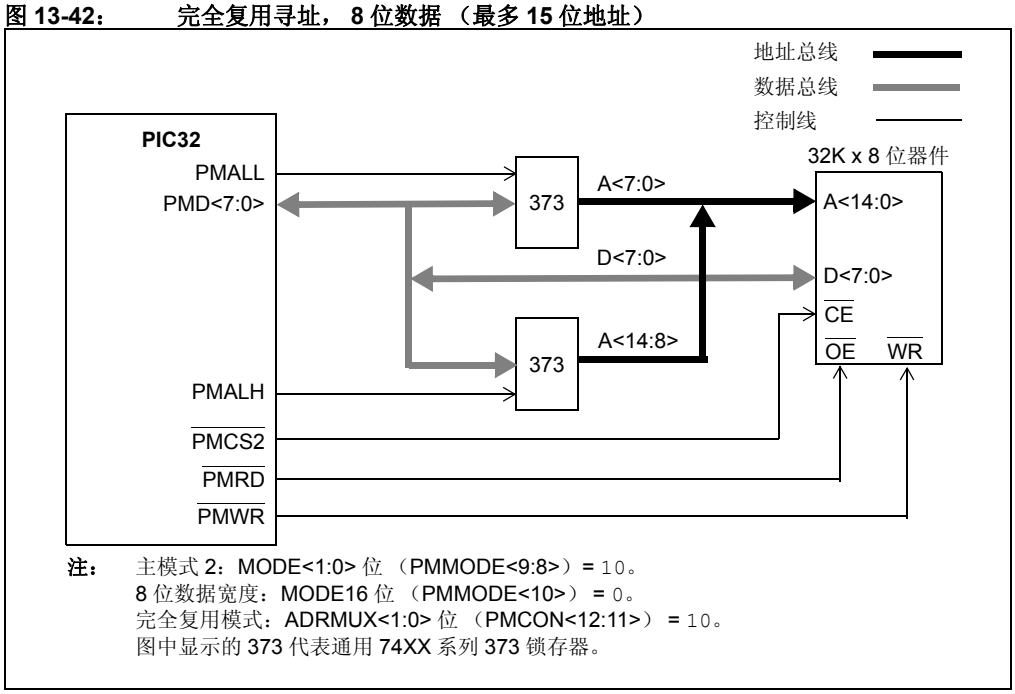
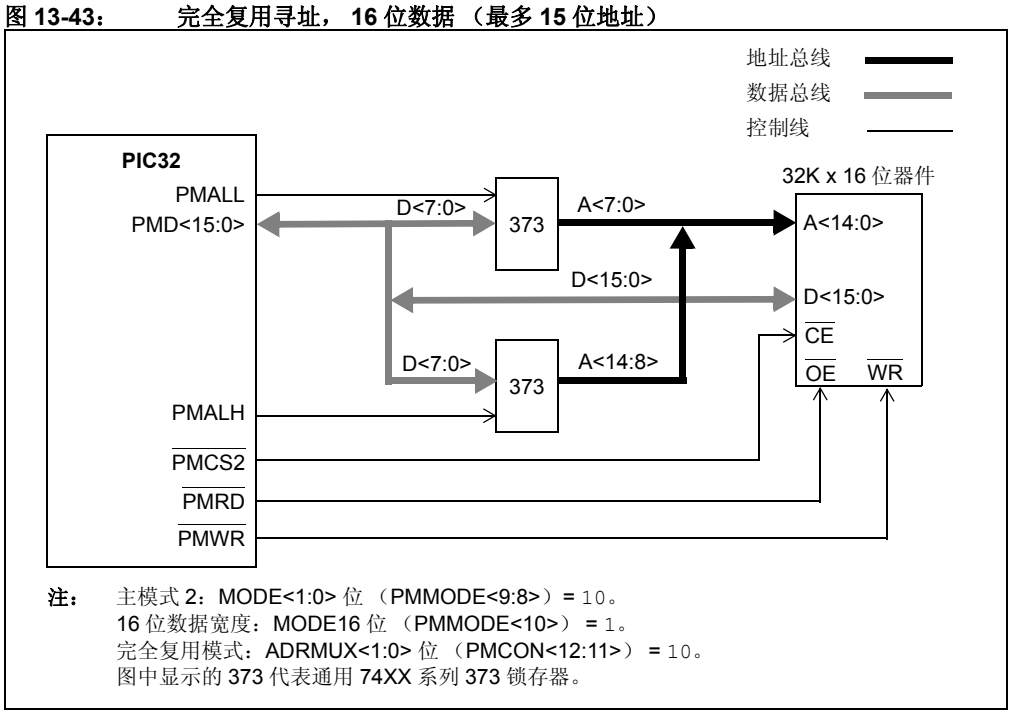


图 13-43 给出了完全 16 位复用模式（ADRMUX<1:0> 位（PMCON<12:11>）= 10）下与 16 位存储器或其他可寻址外设连接的图示。因此，从单片机的角度来看，与解复用模式或部分复用模式相比，该模式可以实现最佳的引脚节约效果，但代价是牺牲一些性能。地址低 8 位与 PMD<7:0> 数据总线复用，后面跟随地址的高 6 或 7 位（如果 CS2、CS1 使能或两者均使能），因此需要 2 个额外的外设总线时钟周期。

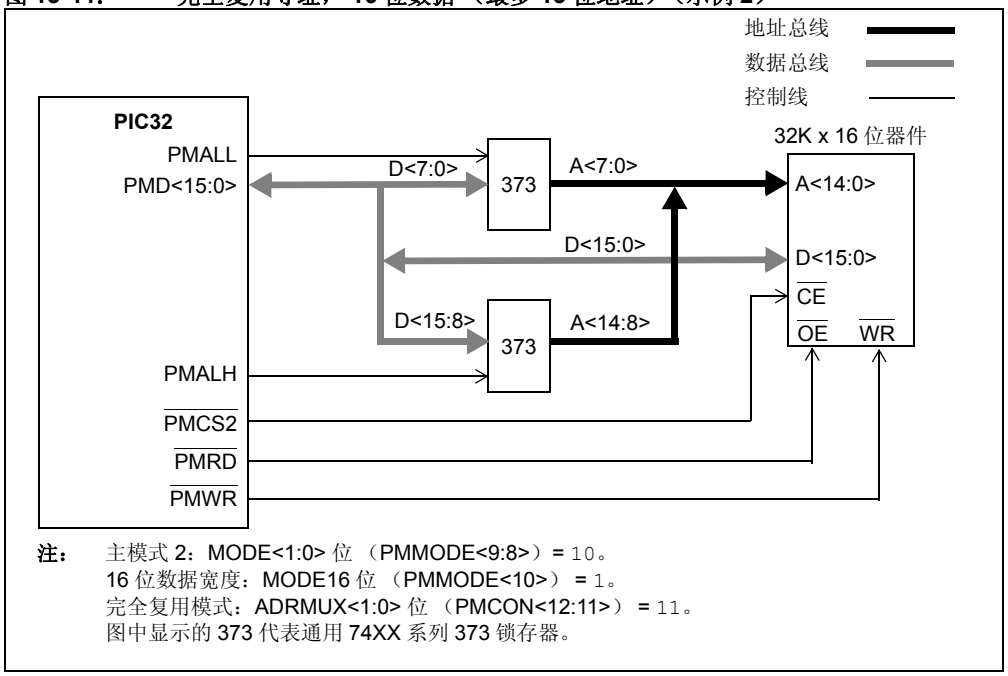
图 13-43： 完全复用寻址， 16 位数据 （最多 15 位地址）



注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>）= 10。
16 位数据宽度：MODE16 位 （PMMODE<10>） = 1。
完全复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 10。
图中显示的 373 代表通用 74XX 系列 373 锁存器。

图 13-44 给出了完全 16 位复用模式（ADRMUX<1:0> 位（PMCON<12:11>）= 11）下与 16 位存储器或其他可寻址外设连接的图示。因此，从单片机的角度来看，与解复用模式或部分复用模式相比，该模式可以实现最佳的引脚节约效果，但代价是牺牲一些性能。与前面的完全复用模式（ADRMUX = 10）相比，该模式同时将地址的 14 或 15 位 （如果 CS2、 CS1 使能或两者均使能）与 PMD<15:0> 总线复用，因此只需要 1 个额外的外设总线时钟周期。

图 13-44： 完全复用寻址， 16 位数据 （最多 15 位地址）（示例 2）



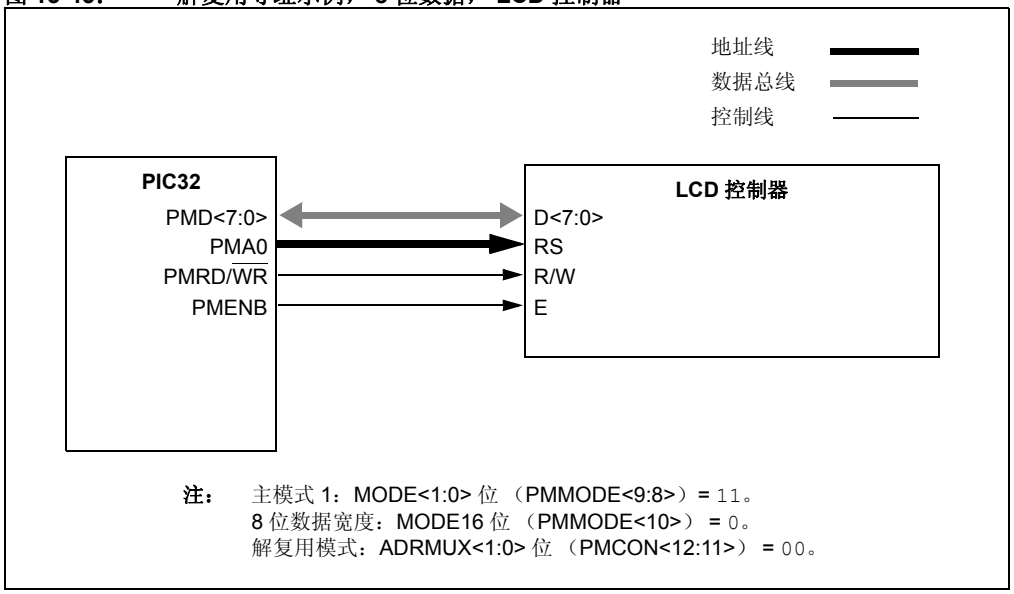
注： 主模式 2：MODE<1:0> 位 （PMMODE<9:8>）= 10。
16 位数据宽度：MODE16 位 （PMMODE<10>） = 1。
完全复用模式：ADRMUX<1:0> 位 （PMCON<12:11>） = 11。
图中显示的 373 代表通用 74XX 系列 373 锁存器。

© 2010-2014 Microchip Technology Inc.

13.8.4 8 位 LCD 控制器示例

可以将 PMP 模块配置为连接到典型的 LCD 控制器接口，如图 13-45 所示。这种情况下， PMP 模块配置为主模式 1（MODE<1:0> 位（PMMODE<9:8>）= 11），并使用高电平有效控制信号，因为常用的 LCD 显示器需要高电平有效的控制。

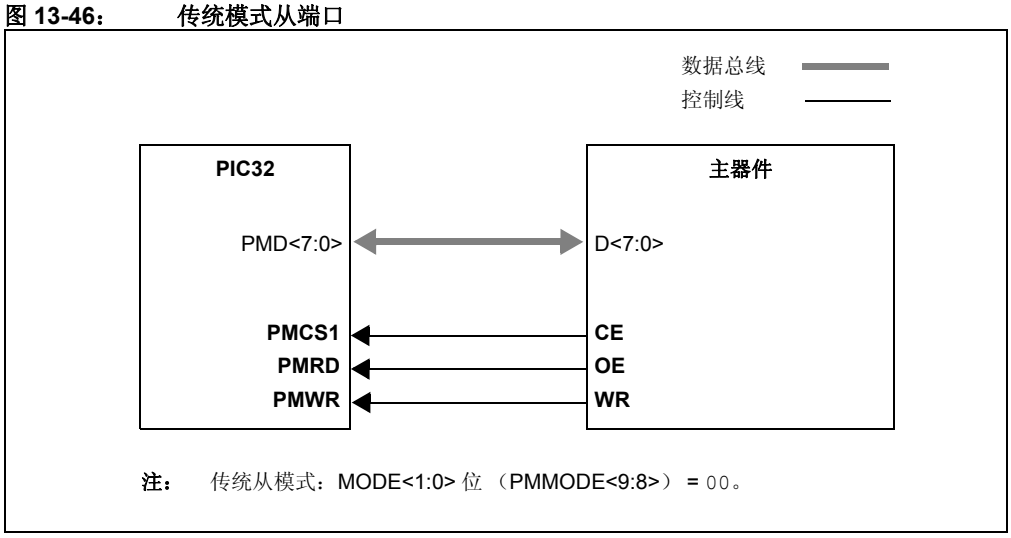
图 13-45： 解复用寻址示例， 8 位数据， LCD 控制器



13.9 并行从端口应用

图 13-46 给出了在 8 位数据模式下作为从器件 （MODE<1:0> 位 （PMMODE<9:8>） = 00）与主外设连接的图示。单片机的 PMP 通过片选 （PMCS1）进行控制。

图 13-46： 传统模式从端口



注： 传统从模式：MODE<1:0> 位 （PMMODE<9:8>） = 00。

13.10 直接存储器访问支持

当 PMP 模块配置为主模式时，可以使用直接存储器访问 （Direct Memory Access， DMA）读取和写入 PMDIN 寄存器。使用 DMA 时执行以下步骤。

1. 将 CHSIRQ<7:0> 位 （DCHxECON<15:8>）设置为 PMP IRQ 数值。
2. 将 PMP 模块配置为所需模式 （主模式或传统从模式）。
3. 设置 IRQM<1:0> 位 （PMMODE<14:13>） = 01，以在每个字节产生 PMP 中断。

© 2010-2014 Microchip Technology Inc.

13.11 I/O 引脚控制

13.11.1 I/O 引脚资源

当将 PMP 模块使能为主模式工作时，必须配置 PMAEN 寄存器 （设为 1），使 PMA<15:0> I/O 引脚的相应位由 PMP 模块控制。未配置为由 PMP 模块使用的那些 I/O 引脚保持为通用 I/O 引脚。

表 13-10： 主模式所需的 I/O 引脚资源

I/O 引脚名称	解复用	部分复用	完全复用	功能说明
PMPCS2/PMA15	是 (2)	是 (2)	是 (2)	PMP 片选 2/ 地址 A15
PMPCS1/PMA14	是 (2)	是 (2)	是 (2)	PMP 片选 1/ 地址 A14
PMA<13:2>	是 (2)	是 (3)	否 (1)	PMP 地址 A13...A2
PMA1/PALH	否 (1)	否 (1)	是 (4)	PMP 地址 A1/ 地址锁存器高字节
PMA0/PALL	否 (1)	是 (3)	是 (4)	PMP 地址 A0/ 地址锁存器低字节
PMRD/PMWR	是	是	是	PMP 读 / 写控制
PMWR/PMENB	是	是	是	PMP 写 / 使能控制
PMD<15:0>(6)	是 (5)	是 (5)	是 (5)	PMP 双向数据总线 D15...D0

注 1： “否”表示引脚不是必需的，在相应的 PMAEN 位清零（= 0）时可用作通用 I/O 引脚。
2： 根据应用，可能并不需要所有 PMA<15:0> 或 CS2 和 CS1。
3： 当选择部分复用模式 （ADDRMUX<1:0> = 01）时，地址线的低 8 位与 PMD<7:0> 复用， PMA<0> 成为 （ALL）， PMA<7:1> 可用作通用 I/O 引脚。
4： 当选择完全复用模式 （ADDRMUX<1:0> = 10 或 11）时，全部 16 条地址线与 PMD<15:0> 复用， PMA<0> 成为 （ALL）， PMA<1> 成为 （ALH）， PMA<13:2> 可用作通用 I/O 引脚。
5： 如果 MODE16 = 0，则只需要 PMD<7:0>。 PMD<15:8> 可用作通用 I/O 引脚。
6： PMD<15:0> 数据引脚在 100 或更多引脚数 PIC32 器件上可用。对于所有其他器件，只有引脚 PMD<7:0> 可用。详情请参见具体 PIC32 器件数据手册。

当将任意 PMP 模块使能为从模式工作时，将自动使能并配置 PMPCS1、PMRD、PMWR 控制引脚和 PMD<7:0> 数据引脚。但用户需要负责为这些控制线选择相应的极性。

表 13-11： 从模式所需的 I/O 引脚资源

I/O 引脚名称	传统	缓冲	增强型	功能说明
PMPCS1/PMA14	是	是	是	片选
PMA1/PALH	否 (1)	否 (1)	是	地址 A1
PMA0/PALL	否 (1)	否 (1)	是	地址 A0
PMRD/PMWR	是	是	是	读控制
PMWR/PMENB	是	是	是	写控制
PMD<15:0>	是 (2)	是 (2)	是 (2)	双向数据总线 D7...D0

注 1： “否”表示引脚不是必需的，在相应的 PMAEN 位清零（= 0）时可用作通用 I/O 引脚。
2： 从模式仅使用 PMD<7:0> 引脚。PMD<15:8> 可用作通用 I/O 引脚。控制位 MODE16 （PMMODE<10>）会被忽略。

13.11.2 I/O 引脚配置

表13-12汇总了使能用于该模块的I/O引脚资源所需的设置。PMAEN寄存器控制引脚PMA<15:0>的功能。设置任何 PMAEN 位 = 1 会将相应的 PMA 引脚配置为地址线。当设置为 0 时，引脚将保持为通用 I/O 引脚。

表 13-12： I/O 引脚配置

I/O 引脚名称	必需 (1)	位域	TRIS	引脚类型	缓冲器类型	说明
PMPCS2/ PMA15	是	CSF<1:0>, CS2, PTEN15	—	O	CMOS	PMP 片选 2/ 地址 A15
PMPCS1/ PMA14	是	CSF<1:0>, CS1 PTEN14	—	O	CMOS	PMP 片选 1/ 地址 A14
PMA<13:2>	是	PTEN<13:2>	—	O	CMOS	PMP 地址 A13 ...A2
PMA1/PALH	是	PTEN<1>	—	I(2), O	CMOS	PMP 地址 A1/ 地址锁存器高字节
PMA0/PALL	是	PTEN<0>	—	I(2), O	CMOS	PMP 地址 A0/ 地址锁存器低字节
PMRD/ PMWR	是	PTRDEN	—	O	CMOS	PMP 读 / 写控制
PMWR/ PMENB	是	PTWREN	—	O	CMOS	PMP 写 / 使能控制
PMD<15:0>	是	MODE16, ADRMUX<1:0>	—	I(2), O	CMOS	PMP 双向数据总线 D15 ...D0

图注： CMOS = CMOS 兼容输入或输出 ST = 带 CMOS 电平的施密特触发器输入
I = 输入 O = 输出

注 1： 根据 PMP 模式和用户应用程序，可能不需要这些引脚。如果未使能，这些引脚可以用作通用 I/O。

2： 输入缓冲器可以为施密特触发器或 TTL。

© 2010-2014 Microchip Technology Inc.

13.12 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 PIC32 器件系列而编写的，但其概念是相近的，通过适当修改并受到一定限制即可使用。当前与并行主端口 （PMP）模块相关的应用笔记有：

标题	应用笔记编号
目前没有相关的应用笔记。	N/A

> **注：** 如需获取更多 PIC32 系列器件的应用笔记和代码示例，请访问 Microchip 网站（www.microchip.com）。

13.13 版本历史

版本 A （2007 年 8 月）

这是本文档的初始版本。

版本 B （2007 年 10 月）

更新了文档 （删除了 “机密”状态）。

版本 C （2008 年 4 月）

将状态修改为“初稿”；将 U-0 修改为 r-x；修改了表 13-10；修改了第 13.3.1.6 节和第 13.3.8 节；修改了寄存器 13-5；修改了图 13-11、13-37、13-40、13-41、13-42、13-43 和 13-46；修改了图 13-16、 13-18 和 13-19 的时序图文字。

版本 D （2008 年 6 月）

修改了寄存器 13-1，为 FRZ 增加了注释；修改了图 13-4、13-6、13-8、13-10、13-36、13-37、13-38 和 13-45；修改了表 13-6；修改了例 13-6 和 13-7；将保留位从 “保持为”更改为 “写入”；为 ON 位 （PMCON 寄存器）增加了注释。

版本 E （2009 年 10 月）

该版本包括以下更新：

- 对整篇文档的文字和格式进行了少量更新
- 在主要特性列表中增加了以下项：施密特触发器或 TTL 输入缓冲器（见第 13.1 节“简介”）
- 中断寄存器汇总 （表 13-1）：
  - 删除了对清零、置 1 和取反寄存器的所有引用
  - 增加了 “地址偏移”栏
  - 增加了介绍清零、置 1 和取反寄存器的 “注 1”、“注 2”和 “注 3”
- 在以下寄存器中增加了“注 1”、“注 2”和“注 3”（它们分别介绍清零、置 1 和取反寄存器）
  - PMCON：并行端口控制寄存器 （见寄存器 13-1）
  - PMMODE：并行端口模式寄存器 （见寄存器 13-2）
  - PMADDR：并行端口地址寄存器 （见寄存器 13-3）
  - PMDOUT：并行端口数据输出寄存器 （见寄存器 13-4）
  - PMDIN：并行端口数据输入寄存器 （见寄存器 13-5）
  - PMAEN：并行端口引脚使能寄存器 （见寄存器 13-6）
  - PMSTAT：并行端口状态寄存器 （仅适用于从模式）（见寄存器 13-7）
- 删除了对中断寄存器 （IEC1、 IFS1 和 IPC7）的所有引用
- 在第 13.4.1.4 节 “传统模式中断操作”中增加了一条阴影注释
- 更新了图 13-32、图 13-33、图 13-34 和图 13-35 中 2-3 个 TPBCLK 周期的持续时间
- 在 I/O 引脚配置表 （表 13-14）中增加了 “注 2”

版本 F （2011 年 5 月）

该版本包括以下更新：

- 将所有出现的 PIC32MX 修改为 PIC32
- 更新第 13.4.1.4 节 “传统模式中断操作”中的注释
- 新增第 13.10 节 “直接存储器访问支持”
- 删除所有寄存器表的注释中关于 CLR、 SET 和 INV 寄存器的内容
- 在所有寄存器表中，将所有出现的 r-x 修改为 U-0
- 更新图 13-33 和图 13-34
- 从表 13-12 中删除 “模块控制”栏

© 2010-2014 Microchip Technology Inc.

版本 F （2011 年 5 月）（续）

- 删除第 13.6.2 节 “空闲模式下的 PMP 操作”中的注释
- 删除表 13-10 和表 13-11
- 对整篇文档的文字和格式进行了少量更新

版本 G （2012 年 4 月）

该版本包括以下更新：

- 更新了例 13-3
- 新增**第 13.3.7.1 节 “对大于 64K 的存储器件进行寻址”**
- 更新了**第 13.4.1.2 节 “写从端口”**中的第二句话 （删除了关于输入缓冲区满标志的内容）
- 更新了**第 13.4.2.2 节 “读从端口”**中的第二句话 （删除了关于输出缓冲区空标志的内容）
- 删除了**第 13.10 节 “直接存储器访问支持”**中的注释框并更新了步骤 2
- 更新了 16 位读操作的 PMRD/PMWR 信号 （ADRMUX = `11`，无等待状态和等待状态使能）（见图 13-28 和图 13-29）
- 删除了第 13.12 节 “设计技巧”
- 对整篇文档的文字和格式进行了少量更新

注：

© 2010-2014 Microchip Technology Inc.

请注意以下有关 **Microchip** 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 dsPIC、 FlashFlex、 KEELOQ、 KEELOQ 徽标、 MPLAB、 PIC、 PICmicro、 PICSTART、 PIC32 徽标、 rfPIC、 SST、 SST 徽标、 SuperFlash 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、 Hampshire、 HI-TECH C、 Linear Active Thermistor、 MTP、 SEEVAL 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

Analog-for-the-Digital Age、 Application Maestro、 BodyCom、 chipKIT、 chipKIT 徽标、 CodeGuard、 dsPICDEM、 dsPICDEM.net、 dsPICworks、 dsSPEAK、 ECAN、 ECONOMONITOR、 FanSense、 HI-TIDE、 In-Circuit Serial Programming、 ICSP、 Mindi、 MiWi、 MPASM、 MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 mTouch、 Omniscient Code Generation、 PICC、 PICC-18、 PICDEM、 PICDEM.net、 PICkit、 PICtail、 REAL ICE、 rfLAB、 Select Mode、 SQI、 Serial Quad I/O、 Total Endurance、 TSHARC、 UniWinDriver、 WiperLock、 ZENA 和 Z-Scale 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

GestIC 和 ULPP 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2010-2014, Microchip Technology Inc. 版权所有。

ISBN：978-1-62077-983-5

QUALITY MANAGEMENT SYSTEM CERTIFIED BY DNV

═ ISO/TS 16949 ═

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。 Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外， Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110

加拿大多伦多 Toronto
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港特别行政区
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

亚太地区

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-3019-1500

日本 Japan - Osaka
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 Japan - Tokyo
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Dusseldorf
Tel: 49-2129-3766400

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Pforzheim
Tel: 49-7231-424750

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Venice
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

波兰 Poland - Warsaw
Tel: 48-22-3325737

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

03/13/14

© 2010-2014 Microchip Technology Inc.